



INSTITUTO POLITÉCNICO NACIONAL



ESCUELA SUPERIOR DE CÓMPUTO

INGENIERIA EN SISTEMAS COMPUTACIONALES

MATERIA: DISEÑO DE SISTEMAS DIGITALES

PROFESOR: TESTA NAVA ALEXIS

PRESENTA:

RAMIREZ BENITEZ BRAYAN

GRUPO: 2CV18

PRACTICA 5:

CONTADORES Y SUS APLICACIONES

CIUDAD DE MEXICO MAYO DE 2021

Para esta práctica utilizaremos la GAL C22V10 en el Simulador Galaxy, esta práctica consistió en programar un contador con 4 Flip – Flops que muestra el nombre del alumno, el cual tiene 4 bits, además tendrá un selector para sus estados, clear asíncrono y una señal de reloj, a continuación, las salidas y entradas que ocupamos de la GAL y el código correspondiente para la práctica.

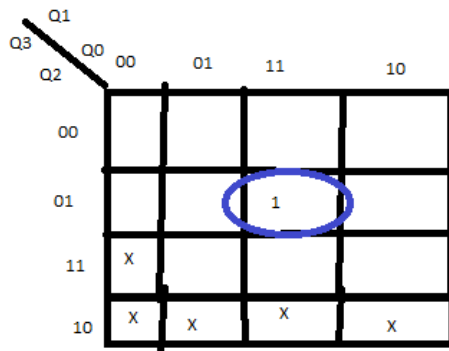
EN	OPERACIÓN
0	Retención
1	Conteo ascendente

Funcionamiento del contador.

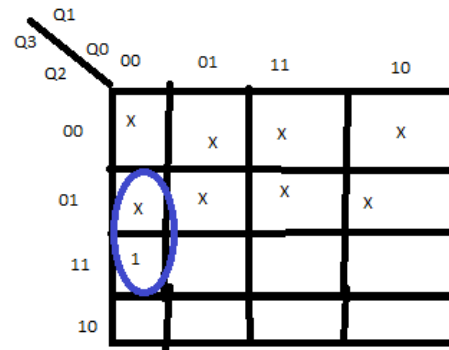
Estado	Salida	Secuencial	Display
E0	B - (b)	0000	0011111
E1	R - (r)	0001	0000101
E2	A - (A)	0010	1110111
E3	Y - (y)	0011	0111011
E4	A – (A)	0100	1110111
E5	N – (n)	0101	0010101
E6	R – (r)	0110	0000101
E7	A – (A)	0111	1110111
E8	M – (H)	1000	0110111
E9	I – (I)	1001	0000110
E10	R – (r)	1010	0000101
E11	E – (E)	1011	1001111
E12	Z – (2)	1100	1101101

Código de asignación a estados

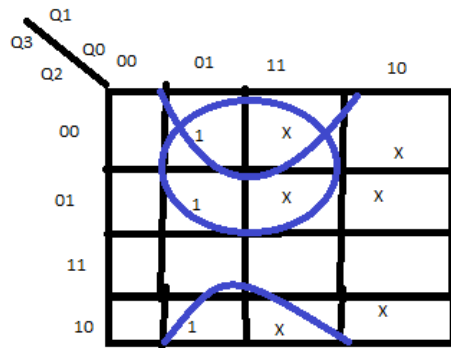
Entrada Up	Estado Actual				Estado Siguiente				J3	K3	J2	K2	J1	K1	D0
	Q3	Q2	Q1	Q0	Q3*	Q2*	Q1*	Q0*							
1	0	0	0	0	0	0	0	1	0	X	0	X	0	X	1
1	0	0	0	1	0	0	1	0	0	X	0	X	1	X	0
1	0	0	1	0	0	0	1	1	0	X	0	X	X	0	1
1	0	0	1	1	0	1	0	0	0	X	1	X	X	1	0
1	0	1	0	0	0	1	0	1	0	X	X	0	0	X	1
1	0	1	0	1	0	1	1	0	0	X	X	0	1	X	0
1	0	1	1	0	0	1	1	1	0	X	X	0	X	0	1
1	0	1	1	1	1	0	0	0	1	X	X	1	X	1	0
1	1	0	0	0	1	0	0	1	X	0	0	X	0	X	1
1	1	0	0	1	1	0	1	0	X	0	0	X	1	X	0
1	1	0	1	0	1	0	1	1	X	0	0	X	X	0	1
1	1	0	1	1	1	1	0	0	X	0	1	X	X	1	0
1	1	1	0	0	0	0	0	0	X	1	X	1	0	X	0



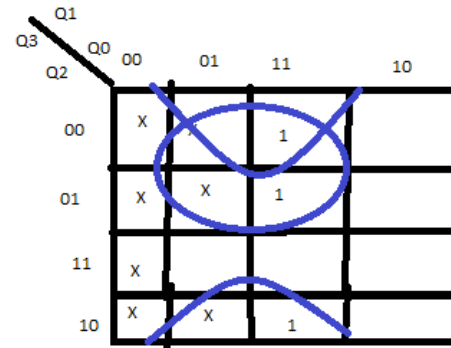
$$J3 = Q3'Q2Q1Q0$$



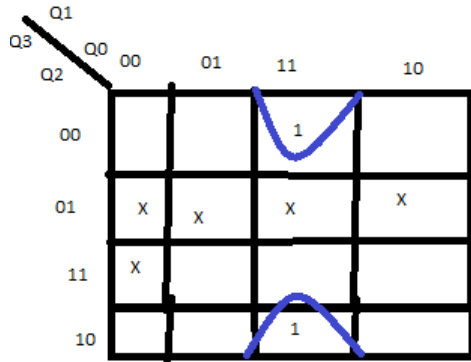
$$K3 = Q2Q1'Q0'$$



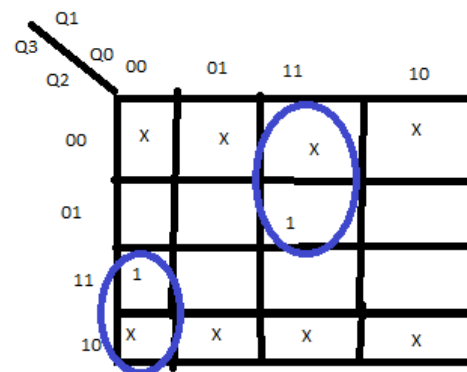
$$J1 = Q3'Q0 + Q2'Q0$$



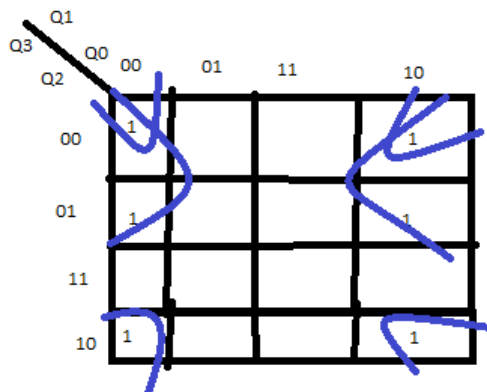
$$K1 = Q3'Q0 + Q2'Q0$$



$$J2 = Q2'Q1Q0$$



$$K2 = Q3'Q1Q0 + Q3Q1'Q0'$$



$$D0 = Q3'Q0' + Q2'Q0'$$

Para el display BCD 7 Segmentos

f $Q1, Q0$

	00	01	11	10
$Q3, Q2$ 00	0	0	0	1
01	1	0	1	0
11	1	0	0	0
10	0	0	1	0

$$a = Q3'Q2'Q1Q0' + Q2Q1'Q0' + Q3'Q2Q1Q0 + Q3Q2'Q1Q0$$

f $Q1, Q0$

	00	01	11	10
$Q3, Q2$ 00	0	0	1	1
01	1	0	1	0
11	1	0	0	0
10	1	0	0	0

$$b = Q3'Q2'Q1 + Q2Q1'Q0' + Q3'Q1Q0 + Q3Q1'Q0'$$

f $Q1, Q0$

	00	01	11	10
$Q3, Q2$ 00	1	0	1	1
01	1	1	1	0
11	0	0	0	0
10	1	0	0	0

$$c = Q2'Q1'Q0' + Q3'Q2'Q0' + Q3'Q1Q0 + Q3'Q2Q1'$$

f $Q1, Q0$

	00	01	11	10
$Q3, Q2$ 00	1	0	1	0
01	0	0	0	0
11	1	0	0	0
10	0	0	1	0

$$d = Q3'Q2'Q1'Q0' + Q2'Q1Q0 + Q3Q2Q1'Q0'$$

f $Q1, Q0$

	00	01	11	10
$Q3, Q2$ 00	1	1	0	1
01	1	1	1	1
11	1	0	0	0
10	1	1	1	1

$$e = Q3'Q2 + Q3Q2' + Q1'Q0' + Q3'Q1' + Q3'Q0'$$

f $Q1, Q0$

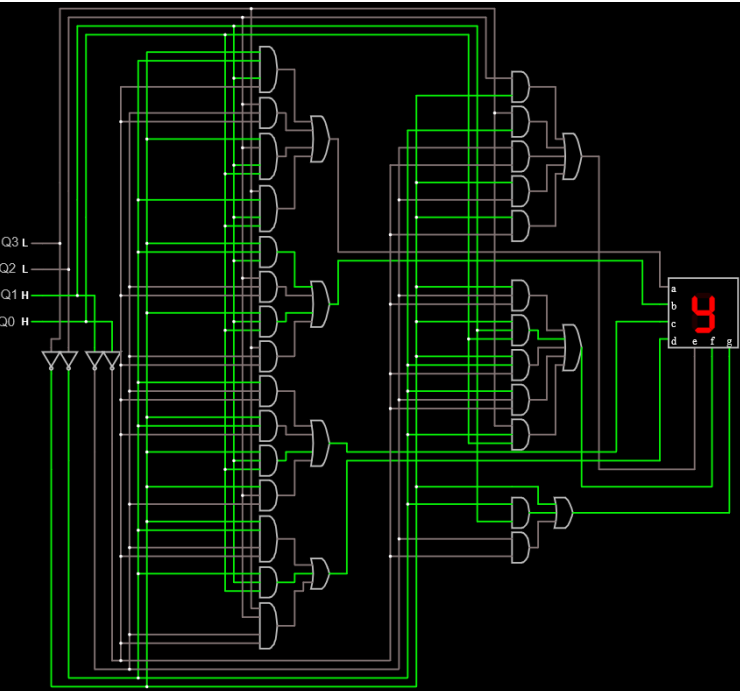
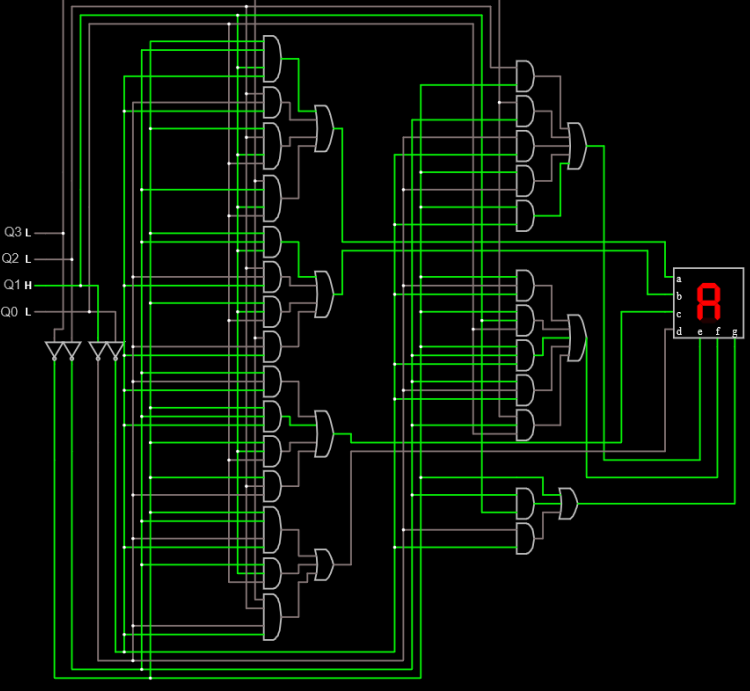
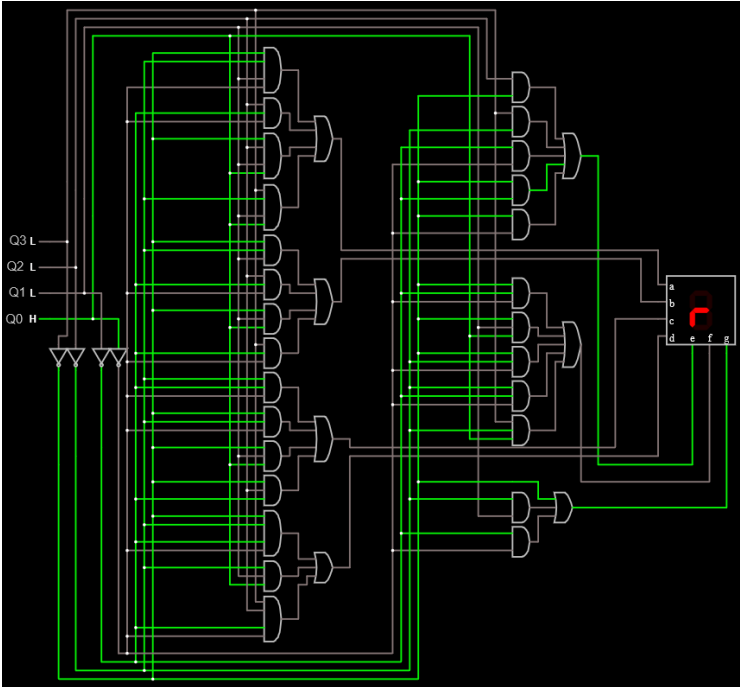
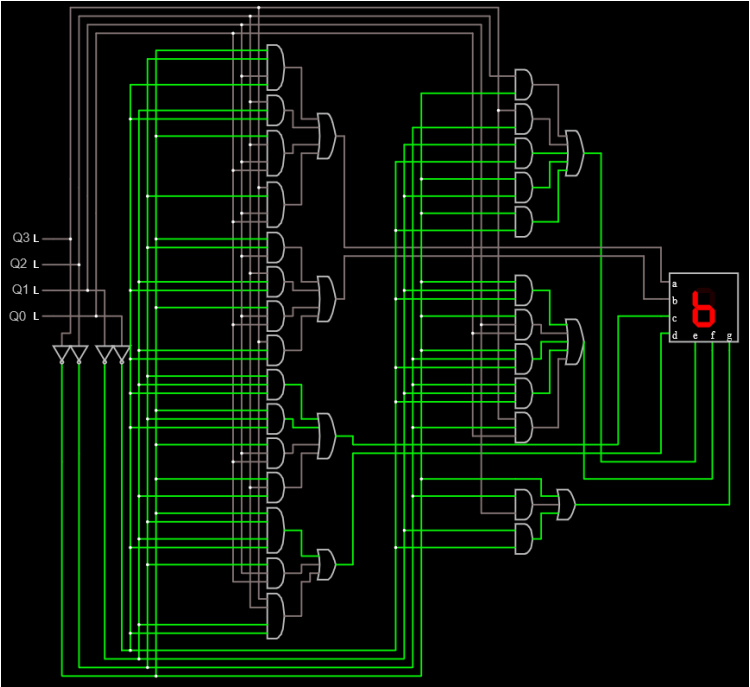
	00	01	11	10
$Q3, Q2$ 00	1	0	1	1
01	1	0	1	0
11	0	0	0	0
10	1	1	1	0

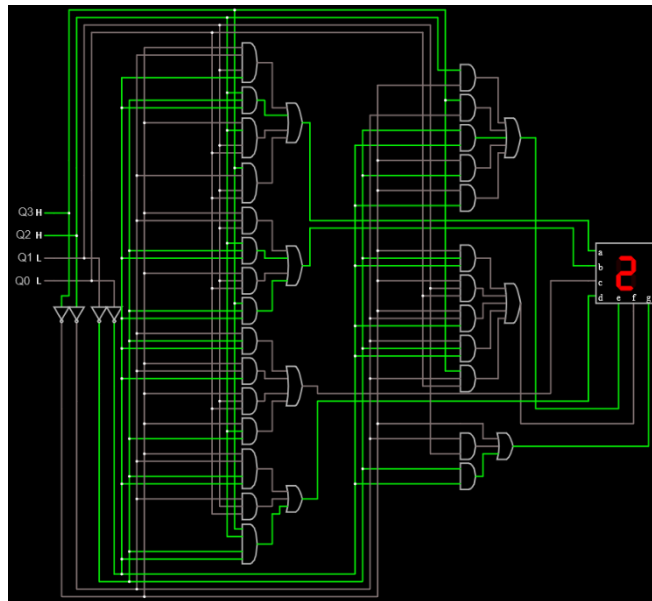
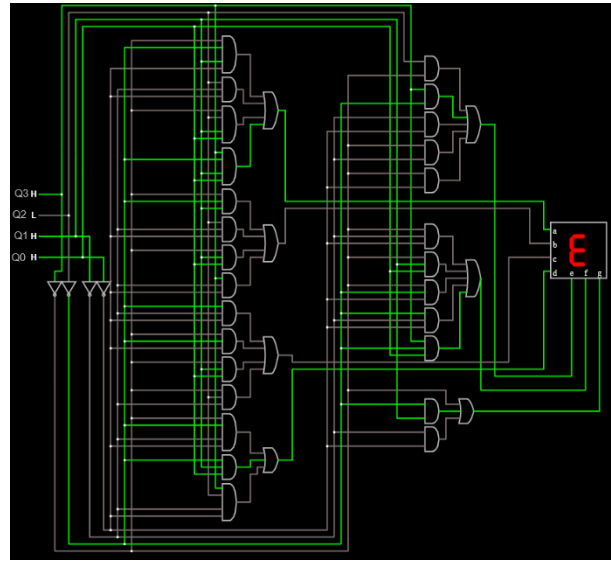
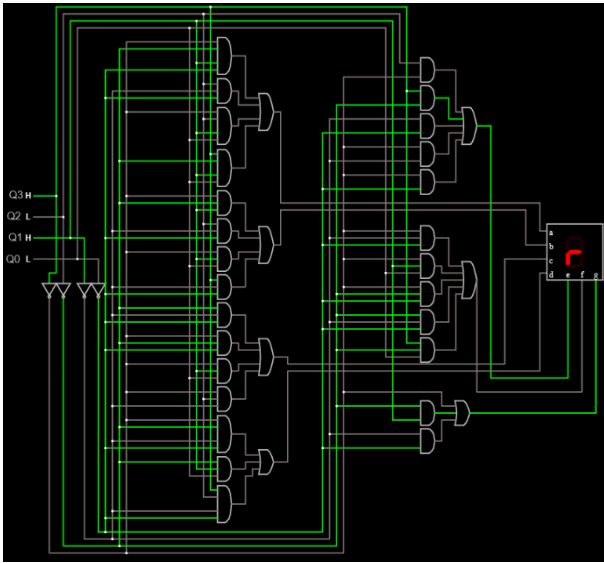
$$f = Q3'Q1'Q0' + Q3'Q1Q0 + Q3'Q2'Q0' + Q2'Q1'Q0' + Q3Q2'Q0$$

f $Q1, Q0$

	00	01	11	10
$Q3, Q2$ 00	1	1	1	1
01	1	1	1	1
11	1	0	0	0
10	1	0	1	1

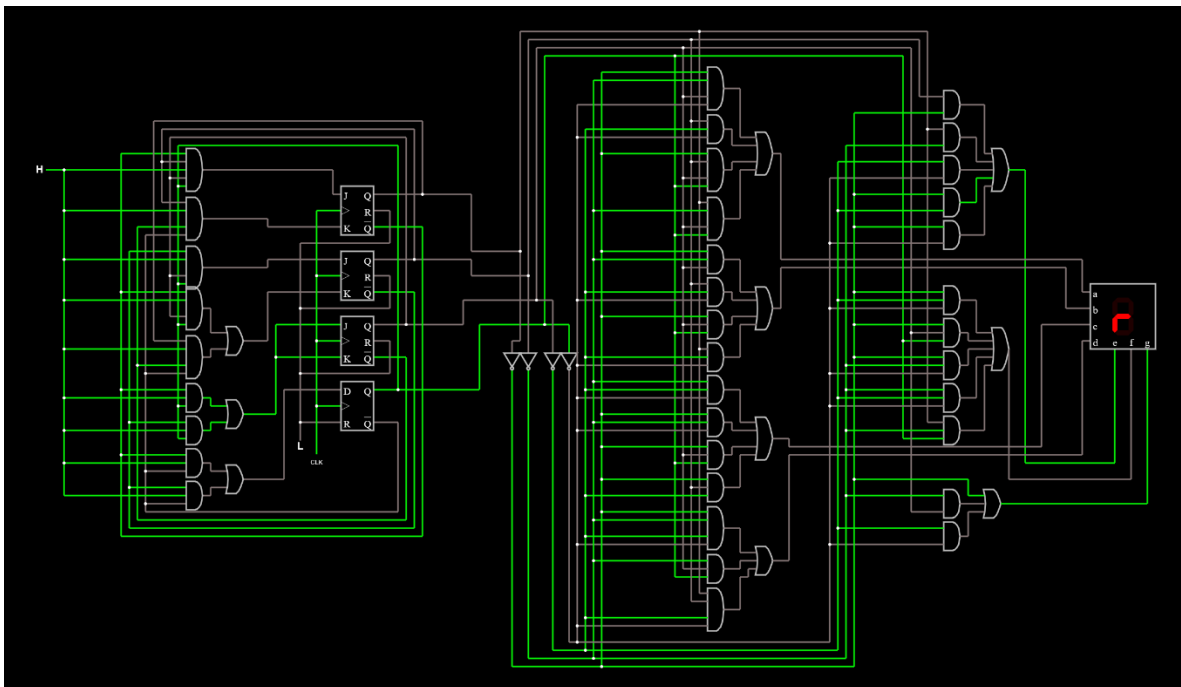
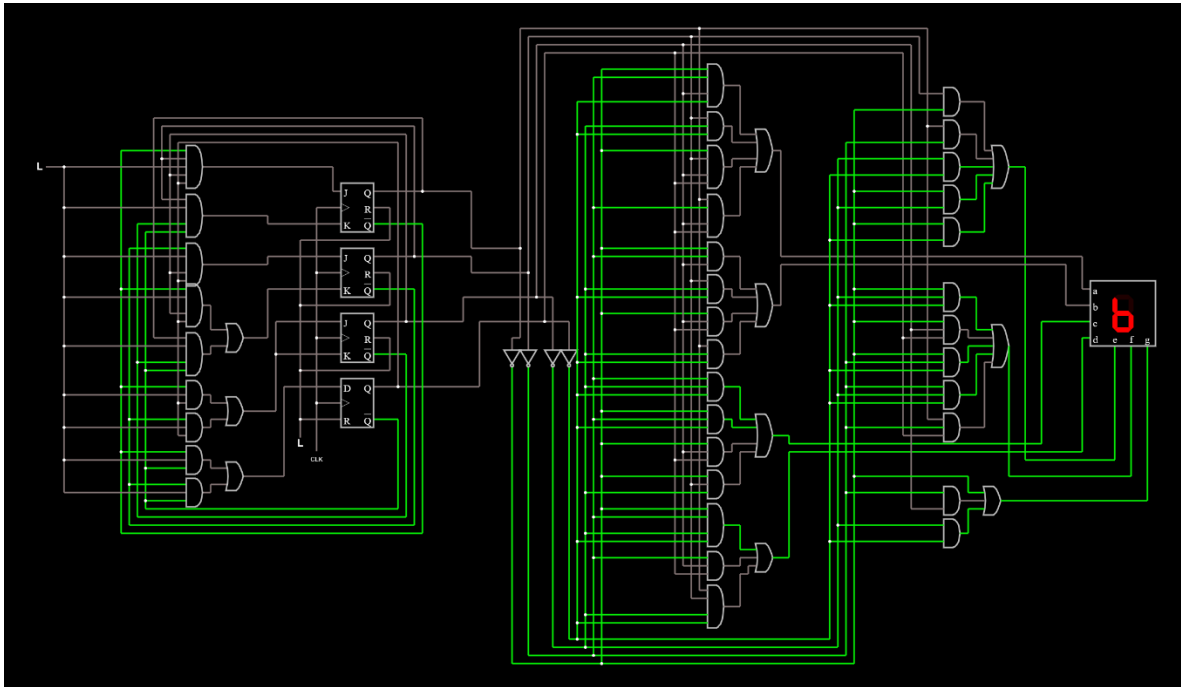
$$g = Q3' + Q2'Q1 + Q1'Q0'$$

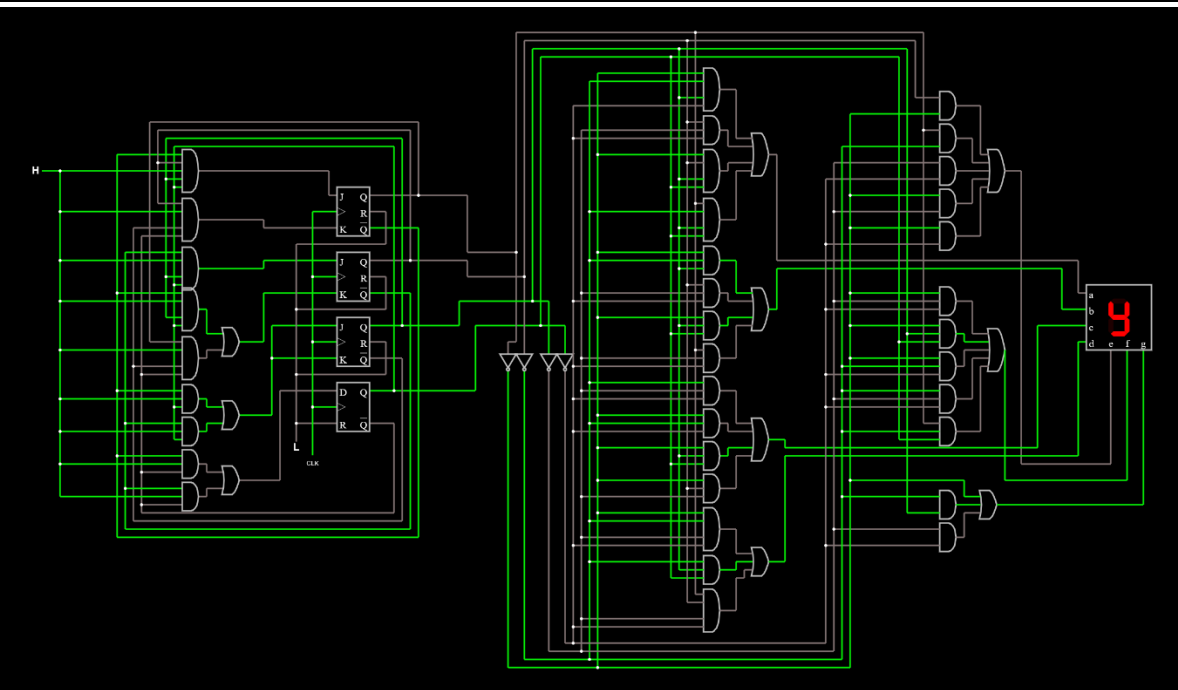
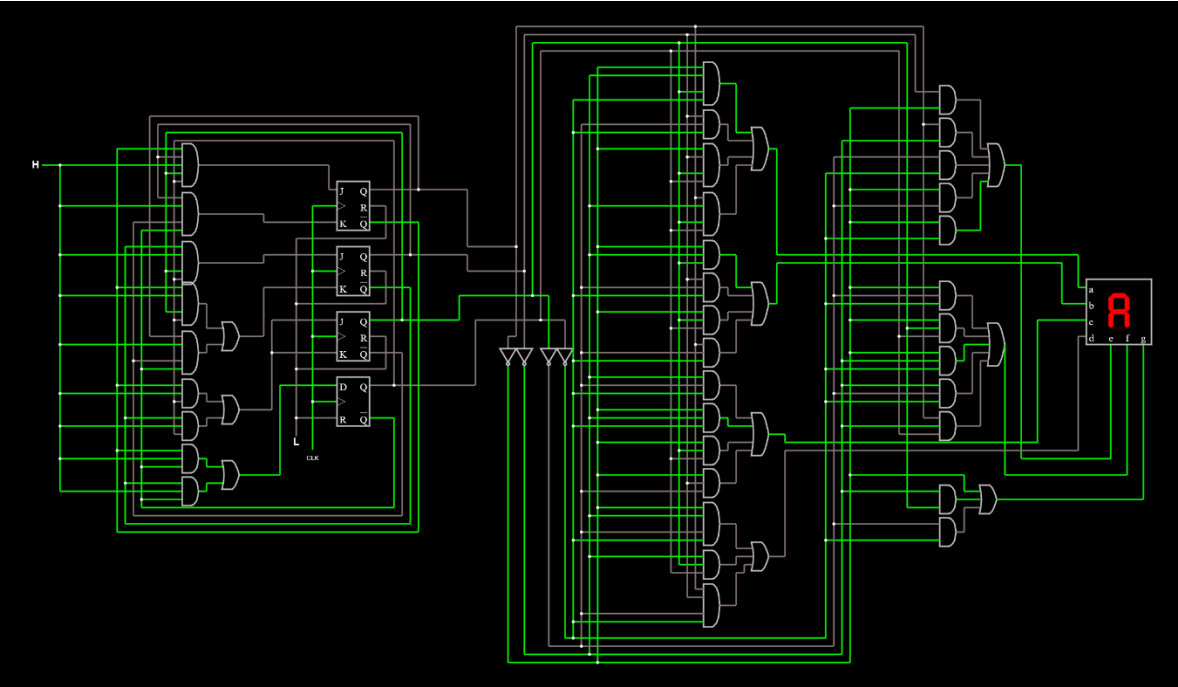


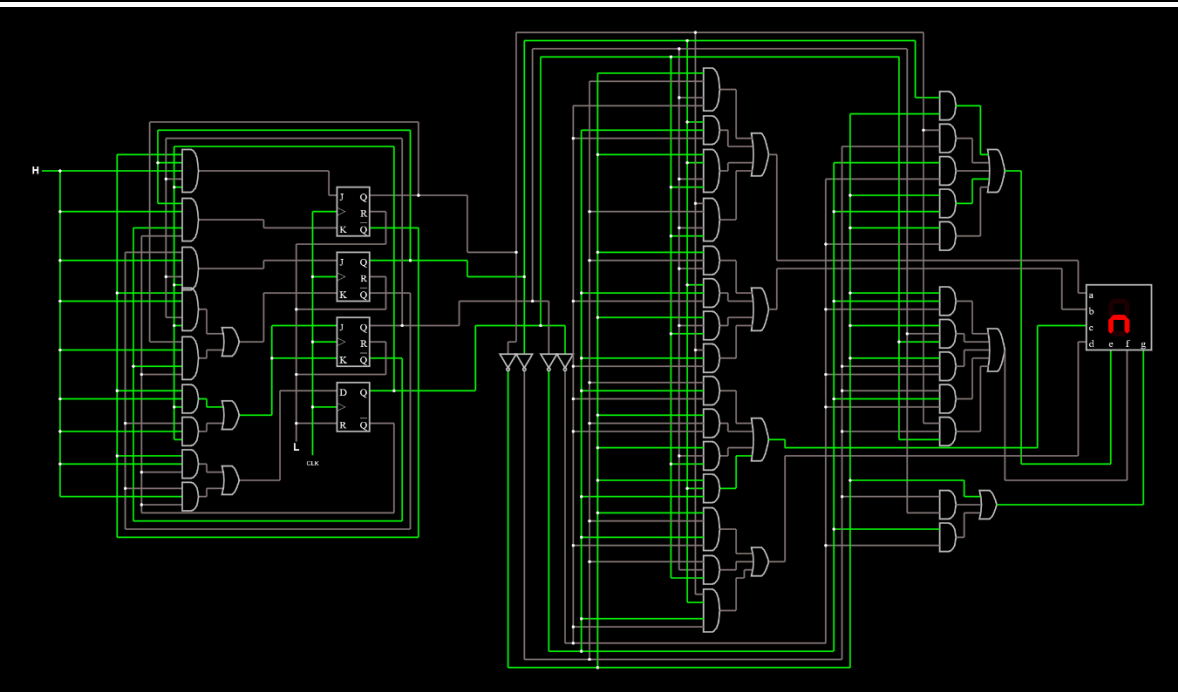
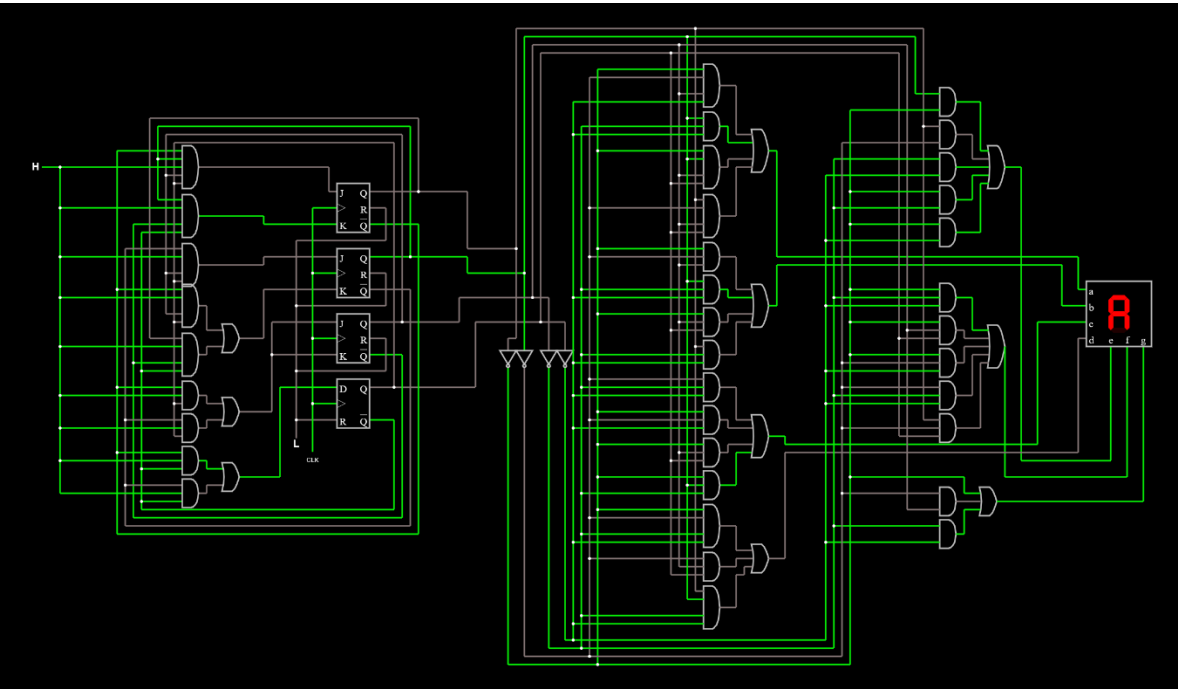


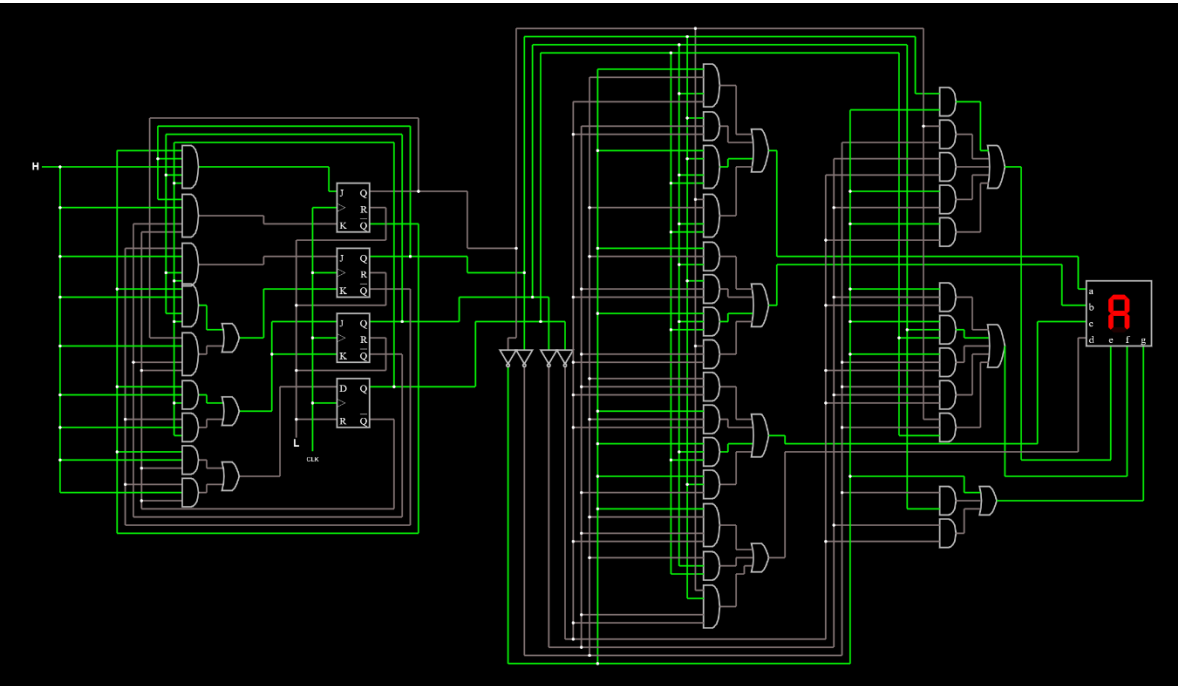
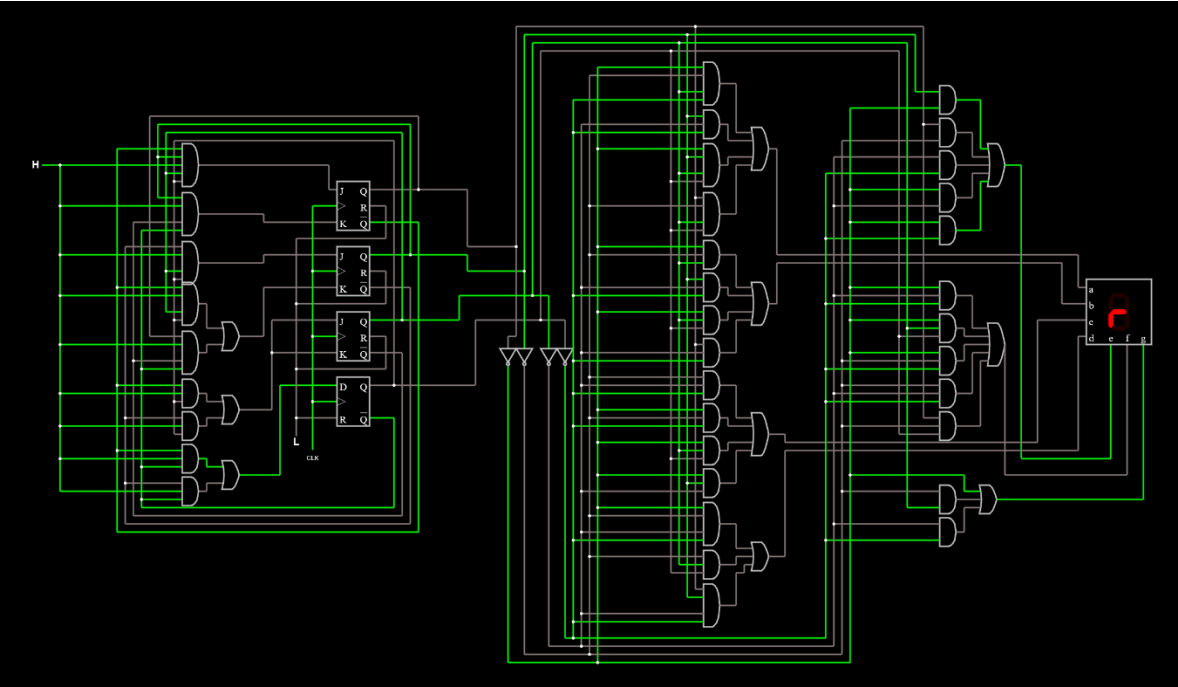
Link Falstad: <https://tinyurl.com/yztgokhg>

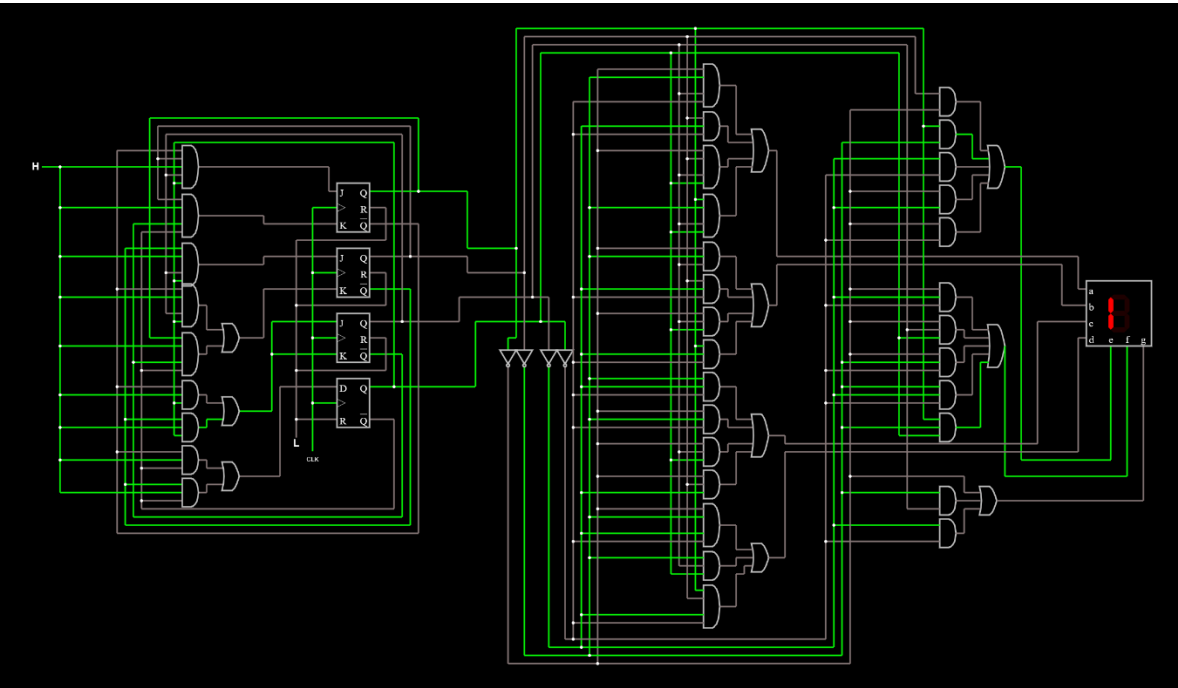
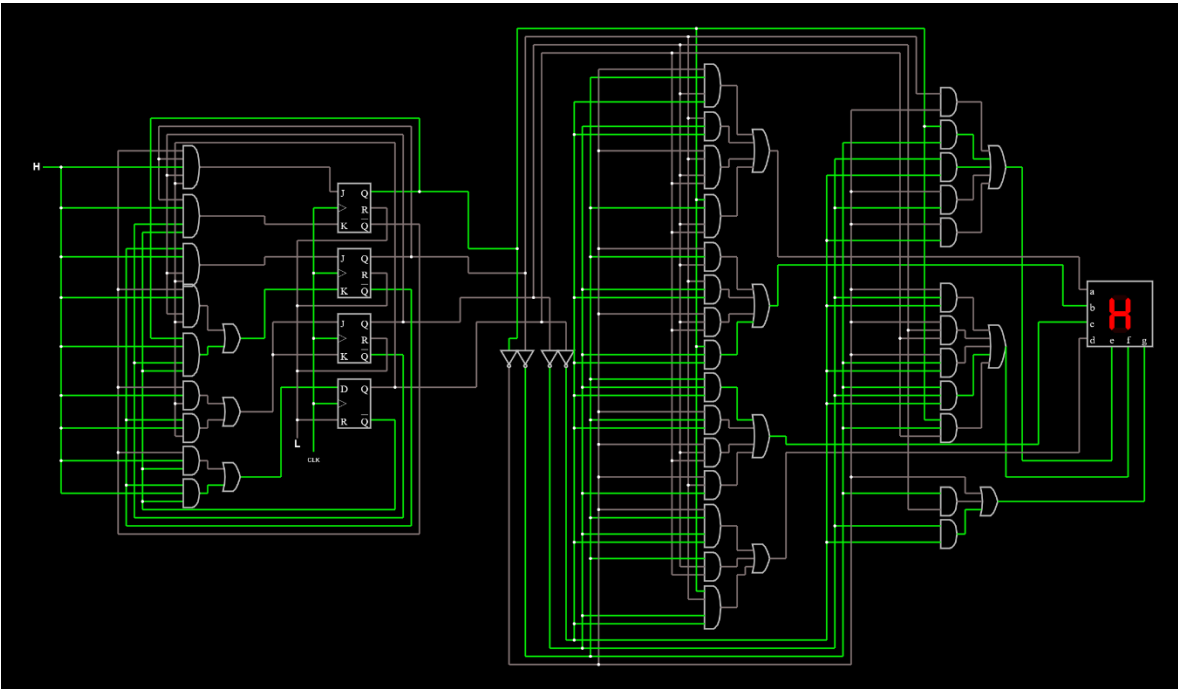
Para el contador

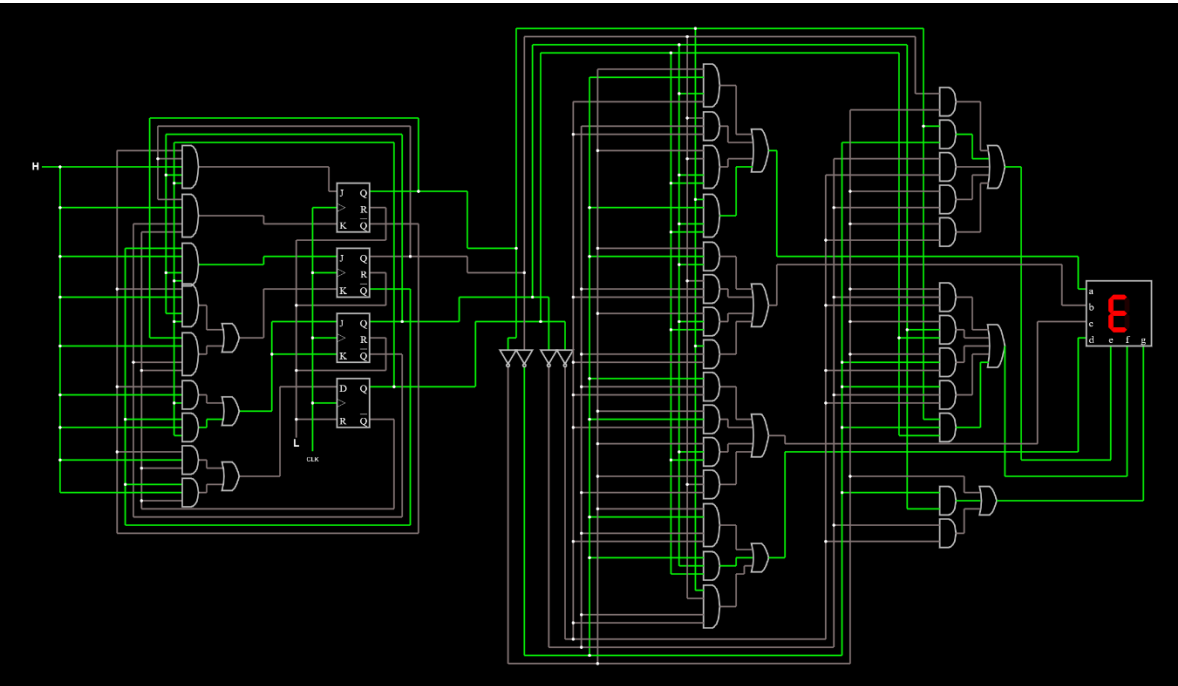
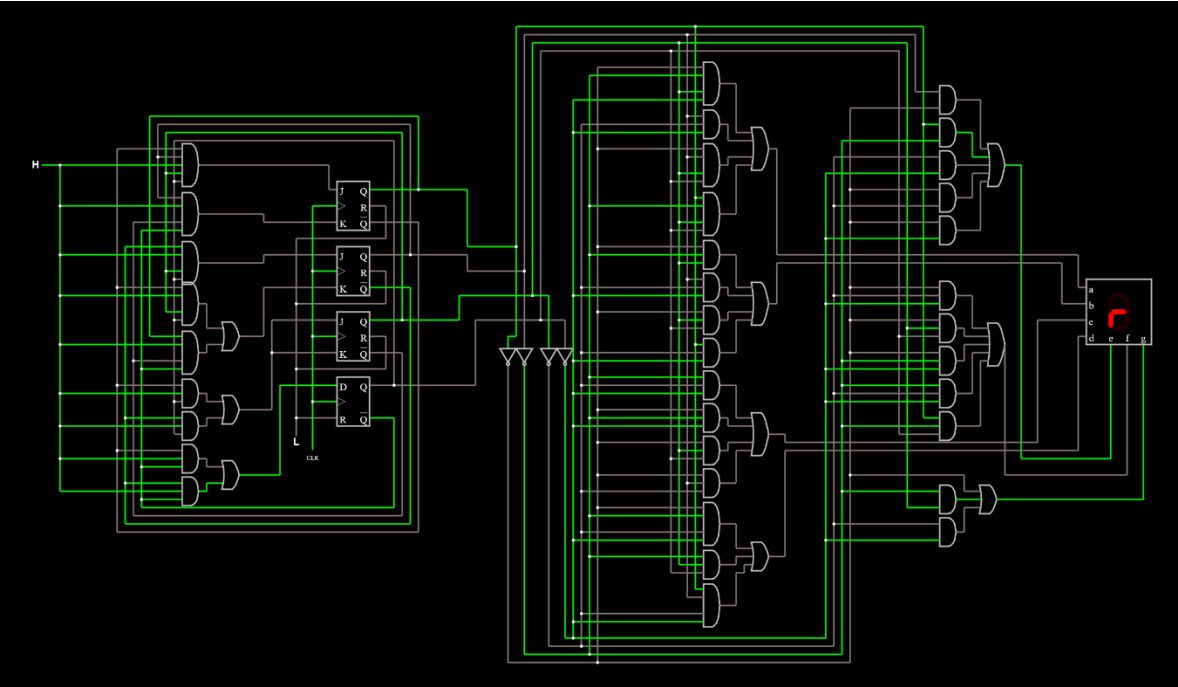


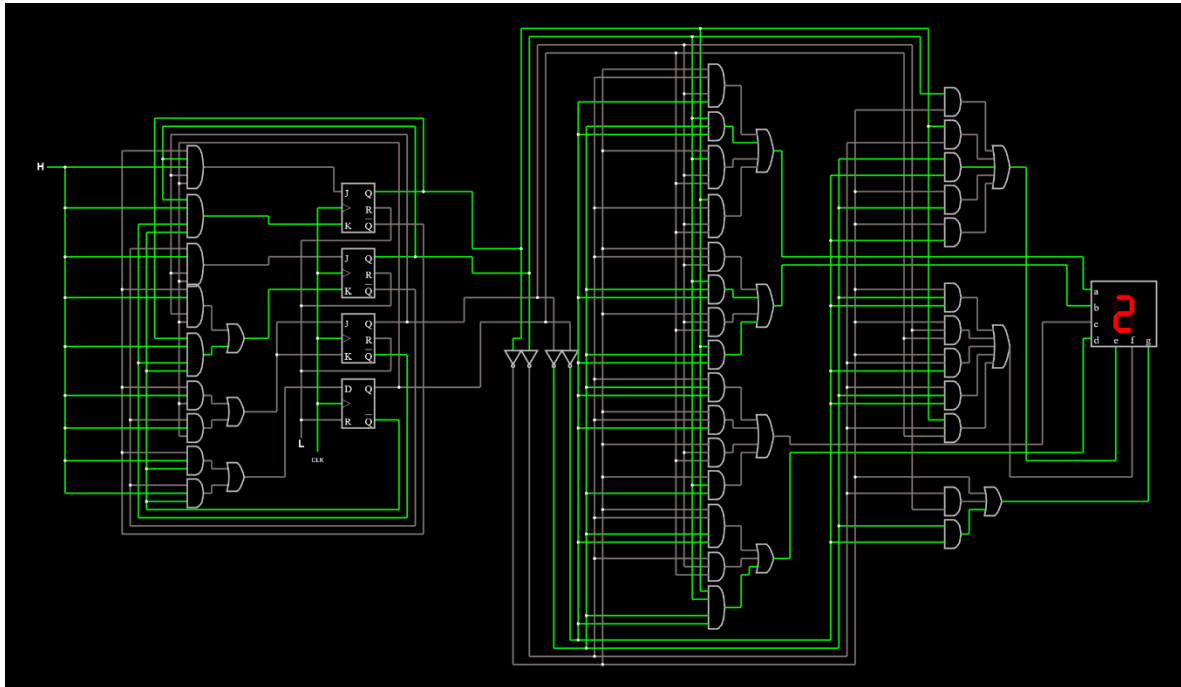












Nota: El link del contador en falstad no fue posible anexarlo ya que no me permitió generarlo puesto que excedía el número de componentes sin embargo anexo el archivo para cargar el contador en falstad, solo debe cargar el archivo en falstad.

Código y simulación

Nota: La el simulador Galaxy no me permitía agregar la salida g del display de 7 segmentos, por lo tanto, omitiré este segmento.

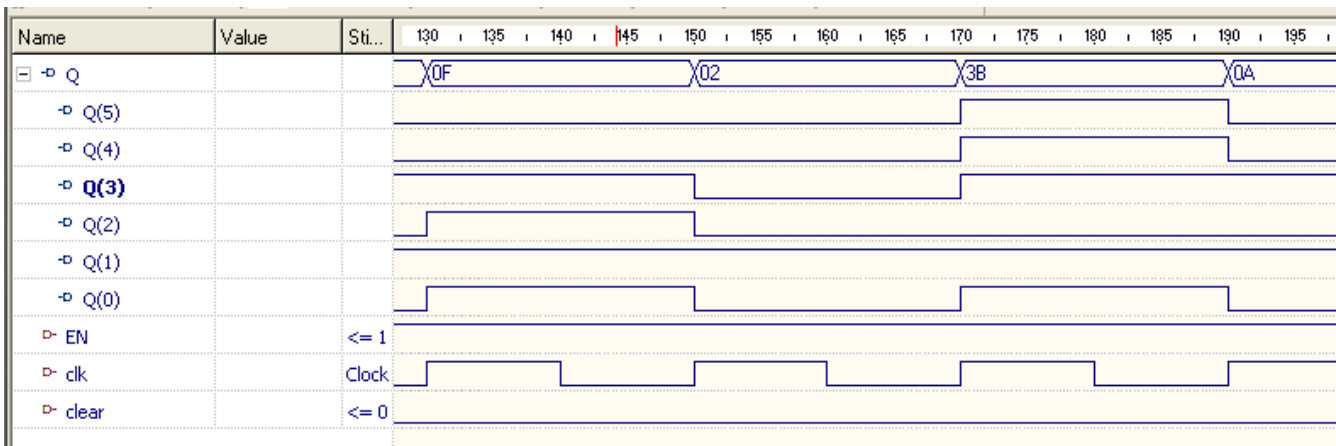
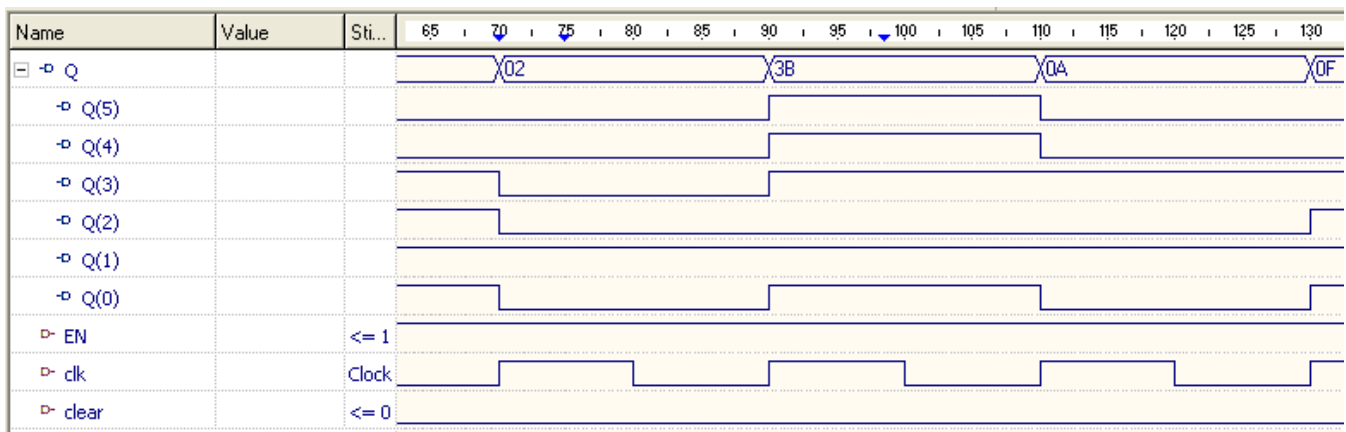
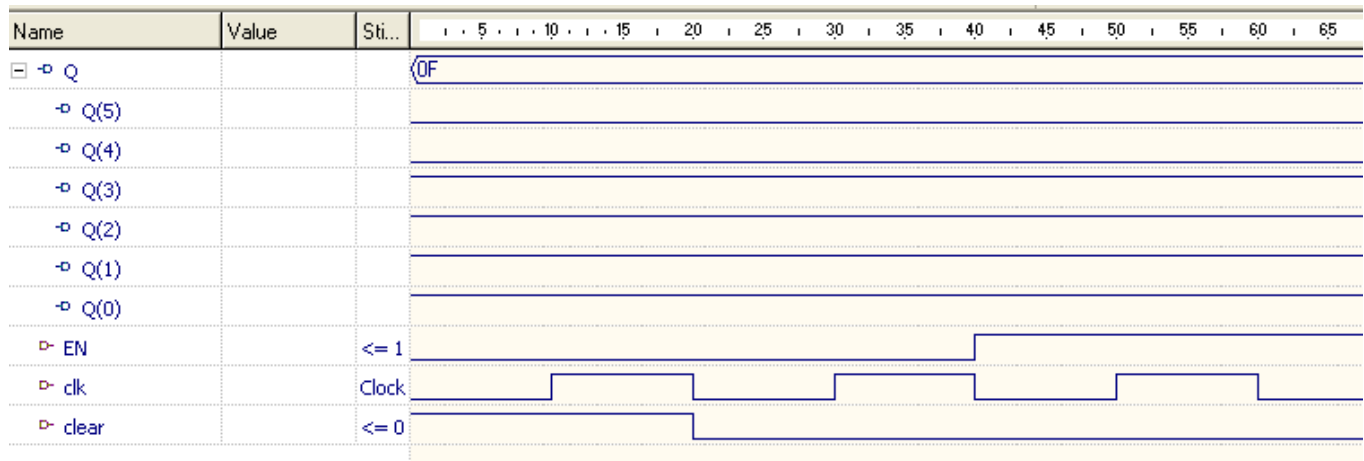
```
Device fitting (pla2jed)
  Error: Signal q(0) can not be placed on device.
-----
WARP done.
Compilation failed.
```

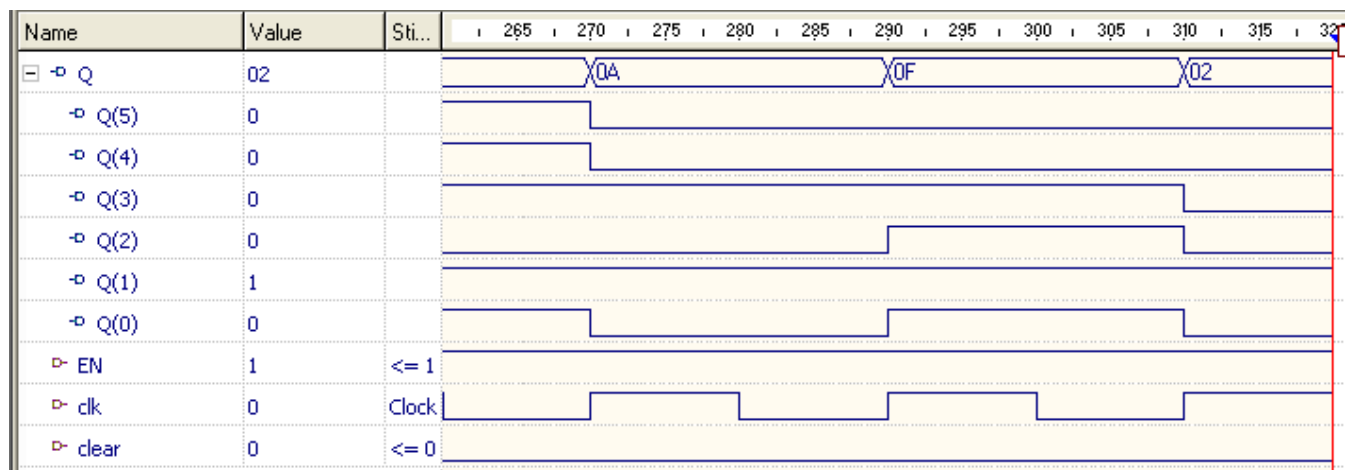
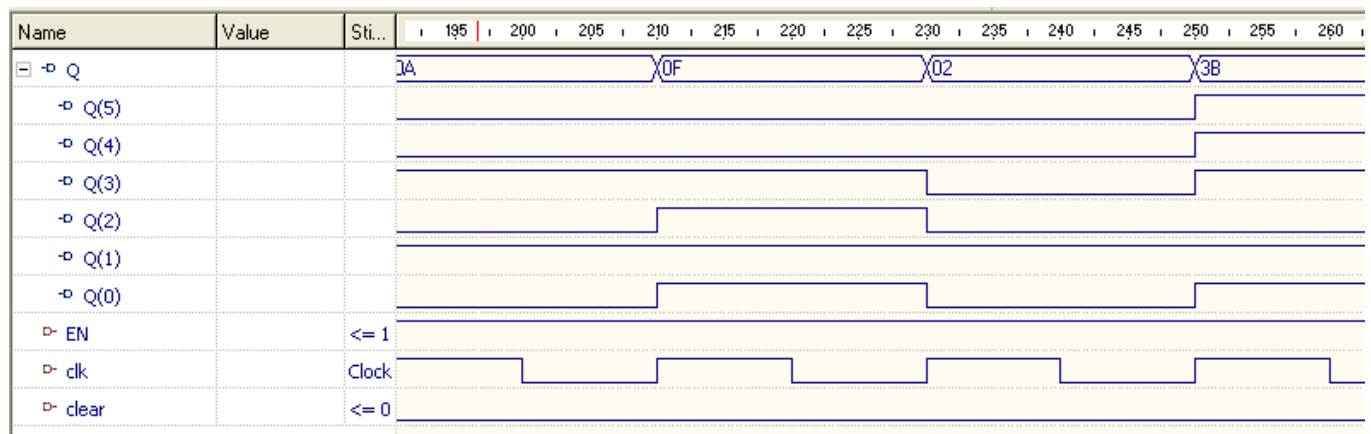
Source Files - Project
practica5.vhd
Rom Files

```
1 LIBRARY IEEE;
2
3 USE IEEE.STD_LOGIC_1164.ALL;
4
5 ENTITY pract5 IS
6
7     PORT( clk, clear, EN : IN STD_LOGIC;
8           Q : OUT STD_LOGIC_VECTOR(5 downto 0));
9
10 END pract5;
11
12 ARCHITECTURE behavior OF pract5 IS
13
14     SIGNAL Q_aux : STD_LOGIC_VECTOR(3 downto 0);
15
16 BEGIN
17     PROCESS (clk, clear)
18     BEGIN
19         IF (clear = '1') THEN
20             Q <= "001111";
21             Q_aux <= "0000";
22         ELSIF ((clk'EVENT) AND (clk = '1')) THEN
23             IF (EN = '0') THEN
24                 Q_aux <= Q_aux;
25             ELSIF (EN = '1') THEN
26                 Q_aux(3) <= (((NOT Q_aux(3)) AND (Q_aux(2)) AND (Q_aux(1)) AND (Q_aux(0))) AND (NOT Q_aux(3)));
27                 OR ((NOT ((NOT Q_aux(3)) AND (Q_aux(2)) AND (Q_aux(1)) AND (Q_aux(0)))) AND (Q_aux(3)));
28                 Q_aux(2) <= (((NOT Q_aux(3)) AND (Q_aux(0))) OR ((NOT Q_aux(2)) AND (Q_aux(0)))) AND (NOT Q_aux(2)));
29                 OR ((NOT ((NOT Q_aux(3)) AND (Q_aux(0))) OR ((NOT Q_aux(2)) AND (Q_aux(0)))) AND (Q_aux(2)));
30                 Q_aux(1) <= (((NOT Q_aux(2)) AND (Q_aux(1)) AND (Q_aux(0))) AND (NOT Q_aux(1))) OR ((NOT ((NOT Q_aux(3))
31                 AND (Q_aux(1)) AND (Q_aux(0))) OR ((Q_aux(3)) AND (NOT Q_aux(1)) AND (NOT Q_aux(0)))) AND (Q_aux(1)));
32                 Q_aux(0) <= ((NOT Q_aux(3)) AND (NOT Q_aux(0))) OR ((NOT Q_aux(2)) AND (NOT Q_aux(0)));
33             END IF;
34
35     CASE Q_aux IS
36         WHEN "0000" => Q <= "001111";
37         WHEN "0001" => Q <= "000010";
38         WHEN "0010" => Q <= "111011";
39         WHEN "0011" => Q <= "011101";
40         WHEN "0100" => Q <= "111011";
41         WHEN "0101" => Q <= "001010";
42         WHEN "0110" => Q <= "000010";
43         WHEN "0111" => Q <= "111011";
44         WHEN "1000" => Q <= "011011";
45         WHEN "1001" => Q <= "000011";
46         WHEN "1010" => Q <= "000010";
47         WHEN "1011" => Q <= "100111";
48         WHEN "1100" => Q <= "100111";
49         WHEN OTHERS => Q <= "000000";
50     END CASE;
51     END IF;
52 END PROCESS;
53
54 END behavior;
55
56
```

practica5.vhd

WARP done.
Compilation successful.
genvhdl -s 1164_VHDL -i "practica5.vhd"
Running: batnova -v -f -lstd_logic practica5
genvhdl completed
Done.





Conclusiones y observaciones

Durante el desarrollo de esta practica surgieron algunos problemas, uno de ellos era debido a que la Gal no me permitía ingresar todas las salidas del display, sin embargo la lógica empleada es la misma si retiramos la salida g, además, implementar en falstad el display es un poco complicado por el alambrado, sin embargo si tenemos el análisis para cada segmento implementarlo solo requiere un poco de tiempo y paciencia, por otra parte mostrar en el display cada una de las letras necesarias para el nombre del alumno es difícil puesto que nos limita utilizar un único display, como ejemplo tenemos la letra “M” es imposible mostrarla en el display, así es que mostrare una “H”, por ultimo no fue complicado realizar el análisis para el funcionamiento del contador ya que en anteriores practicas y clases ya habíamos realizado análisis similares.

Anexos y bibliografía

Referencias bibliográficas:

Floyd, T. L. (2021). *Fundamentos De Sistemas Digitales* (9.^a ed.) [Libro electrónico]. PRENTICE HALL/PEARSON.
https://www.academia.edu/34699883/Libro_fundamentos_de_sistemas_digitales_floyd_9ed_PDF

Maxinez, D. (2013). *Programación de sistemas digitales con VHDL* (1.^a ed.). Grupo Editorial Patria. <https://editorialpatria.com.mx/pdf/files/9786074386219.pdf>

Referencias Electrónicas:

<https://sites.google.com/site/electronicadigitalmegatec/home/deccoder-bcd-a-7-segmentos>

<https://ikastaroak.ulhi.net/edu/es/IEA/ELEC/ELEC02/es IEA ELEC02 Contenidos/website 541 decodificador bcd de 7 segmentos.html>