



INSTITUTO POLITÉCNICO NACIONAL



ESCUELA SUPERIOR DE CÓMPUTO

INGENIERIA EN SISTEMAS COMPUTACIONALES

MATERIA: DISEÑO DE SISTEMAS DIGITALES

PROFESOR: TESTA NAVA ALEXIS

PRESENTA:

RAMIREZ BENITEZ BRAYAN

GRUPO: 2CV18

PRACTICA 1:

FLIP - FLOPS

INTRODUCCIÓN

CIUDAD DE MEXICO MARZO DE 2021

Desarrollo Experimental:

Durante esta práctica programaremos 4 tipos de Flip Flop, los cuales son JK, D, T y SR donde emplearemos el simulador Galaxy para comprobar su funcionamiento, a continuación, puede observarse la información necesaria para cada uno de los Flip Flops, además el código correspondiente.

Flip - Flop JK:

El Flip-Flop JK es un dispositivo secuencial que tiene 3 entradas (J, K, CLK (señal de reloj)) y 2 salidas (Q y 'Q). Las entradas J, K son entradas de control.

A este Flip Flop también se le llama Flip Flop universal puesto que, a partir de él, se pueden obtener todos los otros tipos de Flip Flops.

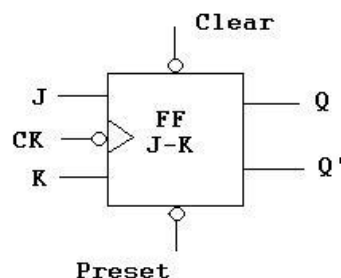
Existen dos entradas adicionales muy importantes en el biestable JK o flip flop JK.

- La entrada **PRESET**, que sirve para poner directamente en el Flip-Flop JK un "1" en la salida Q
- La entrada **CLEAR**, que sirve para poner directamente en el Flip-Flop JK un "0" en la salida Q

Tabla característica del Flip – Flop JK

Entradas					Salidas	
Preset	Clear	Reloj	J	K	Q	Q'
0	0	X	X	X	1*	1*
0	1	X	X	X	1	0
1	0	X	X	X	0	1
1	1	↓	0	0	Q ₀	Q ₀ '
1	1	↓	0	1	0	1
1	1	↓	1	0	1	0
1	1	↓	1	1	Q ₀ '	Q ₀

Diagrama de bloques del Flip – Flop JK



Flip – Flop D:

El flip-flop tipo D es un elemento de memoria que puede almacenar información en forma de un “1” o “0” lógicos. Este flip-flop tiene una entrada D y dos salidas Q y \bar{Q} . También tiene una entrada de reloj, que, en este caso, nos indica que es un FF disparado por el borde o flanco ascendente puesto que sólo aparece el triángulo en CLK.

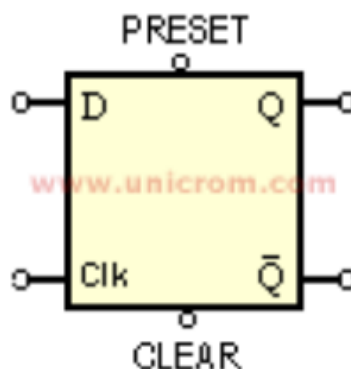
El flip-flop tipo D adicionalmente tiene dos entradas asincrónicas que permiten poner a la salida Q del flip-flop, una salida deseada sin importar la entrada D y el estado del reloj. Estas entradas son:

- PRESET
- CLEAR.

Tabla característica del Flip – Flop D

Operación	Entradas			Salidas		
	Preset	Clear	Reloj (CLK)	D	Q	\bar{Q}
Preset (preposicionado)	0	1	X	X	1	0
Clear (borrado)	1	0	X	X	0	1
Prohibido	0	0	X	X	1*	1*
Set (poner)	1	1	↑	1	1	0
Reset (reponer)	1	1	↑	0	0	1
Hold (mantener)	1	1	0	X	Q ₀	\bar{Q}_0

Diagrama de bloques del Flip – Flop D



Flip – Flop T:

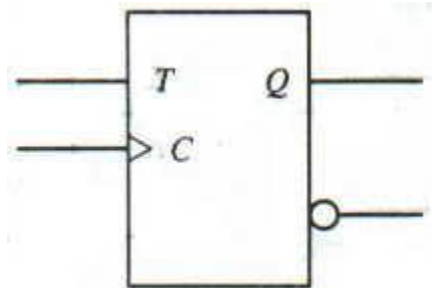
El comportamiento de un flip-flop tipo T es equivalente al de un flip-flop tipo J-K con sus entradas J y K unidas.

De este Modo, si la entrada T presenta un nivel bajo '0' el dispositivo está en su modo de memoria, y si a la entrada T se encuentra a nivel alto '1' el dispositivo cambia de estado, es decir la salida bascula.

Tabla característica del Flip – Flop T

T	$Q(t+1)$	
0	$Q(t)$	Sin cambio
1	$Q'(t)$	Complementar

Diagrama de bloques del Flip – Flop T



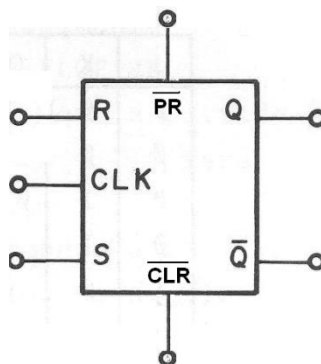
Flip – Flop SR:

El flip-flop SR síncrono opera en conjunción con un reloj, en otras palabras, opera de manera sincronizada. Cuando un pulso de reloj llega a la entrada CLK (con 0 en las entradas R y S), las salidas no cambian, permanecen igual que antes de la llegada del pulso de reloj. Este modo también puede llamarse de "inhabilitación" del FF. La línea 2 es el modo de reset. La salida normal Q se borrará cuando un nivel ALTO active la entrada R y un pulso de reloj active la entrada de reloj CLK. Si R=1 y S=0, el FF no se pone a 0 inmediatamente, esperará hasta que el pulso del reloj pase del nivel BAJO al ALTO, y entonces se pone a 0. La línea 3 de la tabla describe el modo set del flip-flop. Un nivel ALTO activa la entrada S (con R=0 y un pulso de reloj en el nivel ALTO), poniendo la salida Q a 1. La línea 4 de la tabla de verdad es una combinación "prohibida" todas las entradas están en 1, no se utiliza porque activa ambas salidas en el nivel ALTO.

Tabla característica del Flip – Flop SR

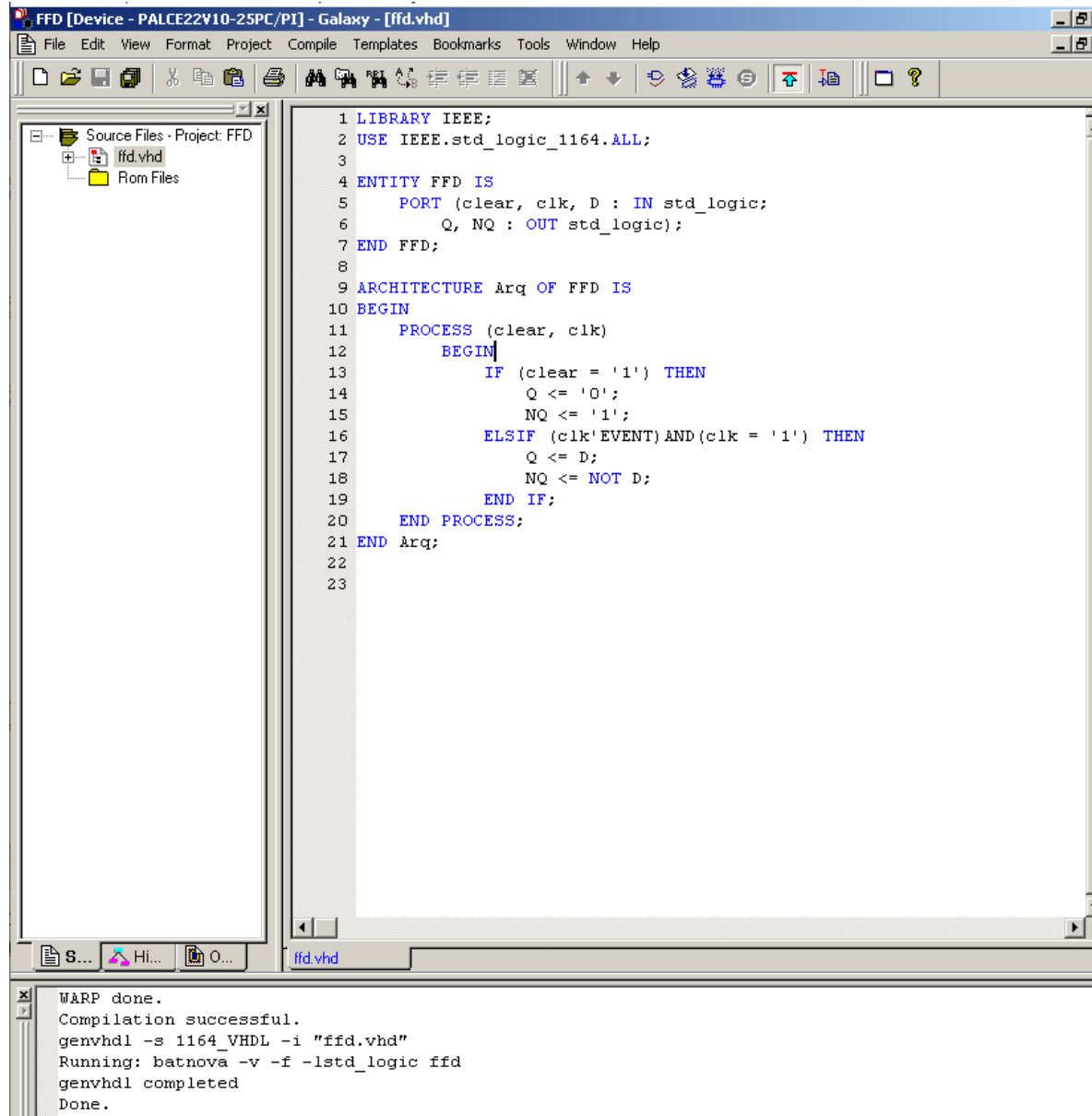
Entradas			Salidas		Comentario
S	R	CLK	Q	\bar{Q}	
0	0	X	X	X	Permanece en el mismo estado.
0	1	↑	0	1	RESET.
1	0	↑	1	0	SET.
1	1	↑	NC	NC	Condición no válida (funcionamiento inapropiado).

Diagrama de bloques del Flip – Flop SR



En esta parte comprobaré el funcionamiento individual de cada uno de los Flip – Flop.

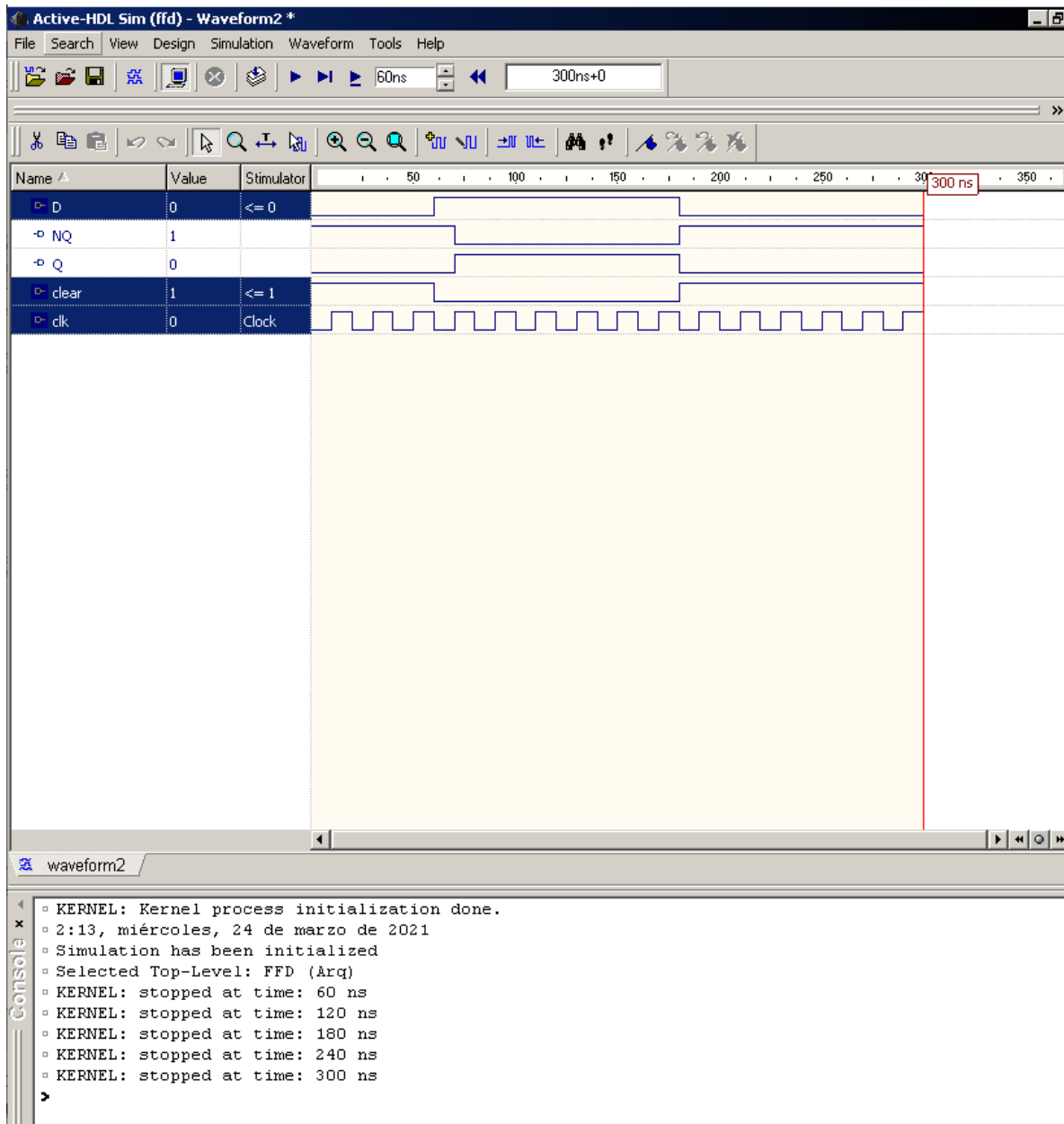
Código y simulación para el Flip – Flop D:



```
1 LIBRARY IEEE;
2 USE IEEE.std_logic_1164.ALL;
3
4 ENTITY FFD IS
5     PORT (clear, clk, D : IN std_logic;
6           Q, NQ : OUT std_logic);
7 END FFD;
8
9 ARCHITECTURE Arq OF FFD IS
10 BEGIN
11     PROCESS (clear, clk)
12     BEGIN
13         IF (clear = '1') THEN
14             Q <= '0';
15             NQ <= '1';
16         ELSIF (clk'EVENT) AND (clk = '1') THEN
17             Q <= D;
18             NQ <= NOT D;
19         END IF;
20     END PROCESS;
21 END Arq;
22
23
```

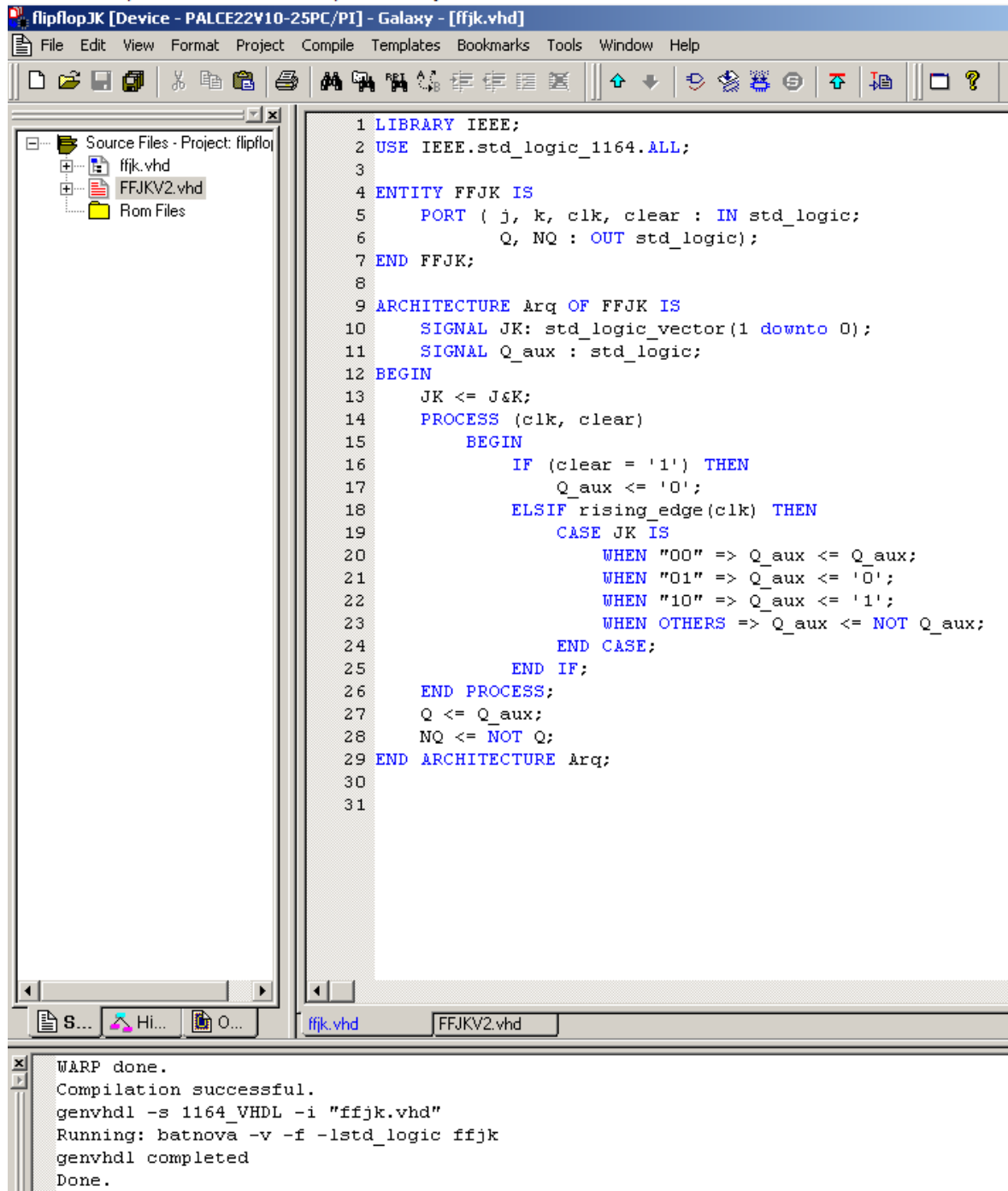
WARP done.
Compilation successful.
genvhdl -s 1164_VHDL -i "ffd.vhd"
Running: batnova -v -f -lstd_logic ffd
genvhdl completed
Done.

En la imagen podemos observar el código para el Flip – Flop D, donde tenemos como entradas “clk”, “clear”, y “din” además las salidas “Q” y “NQ”, note que el código fue compilado exitosamente.

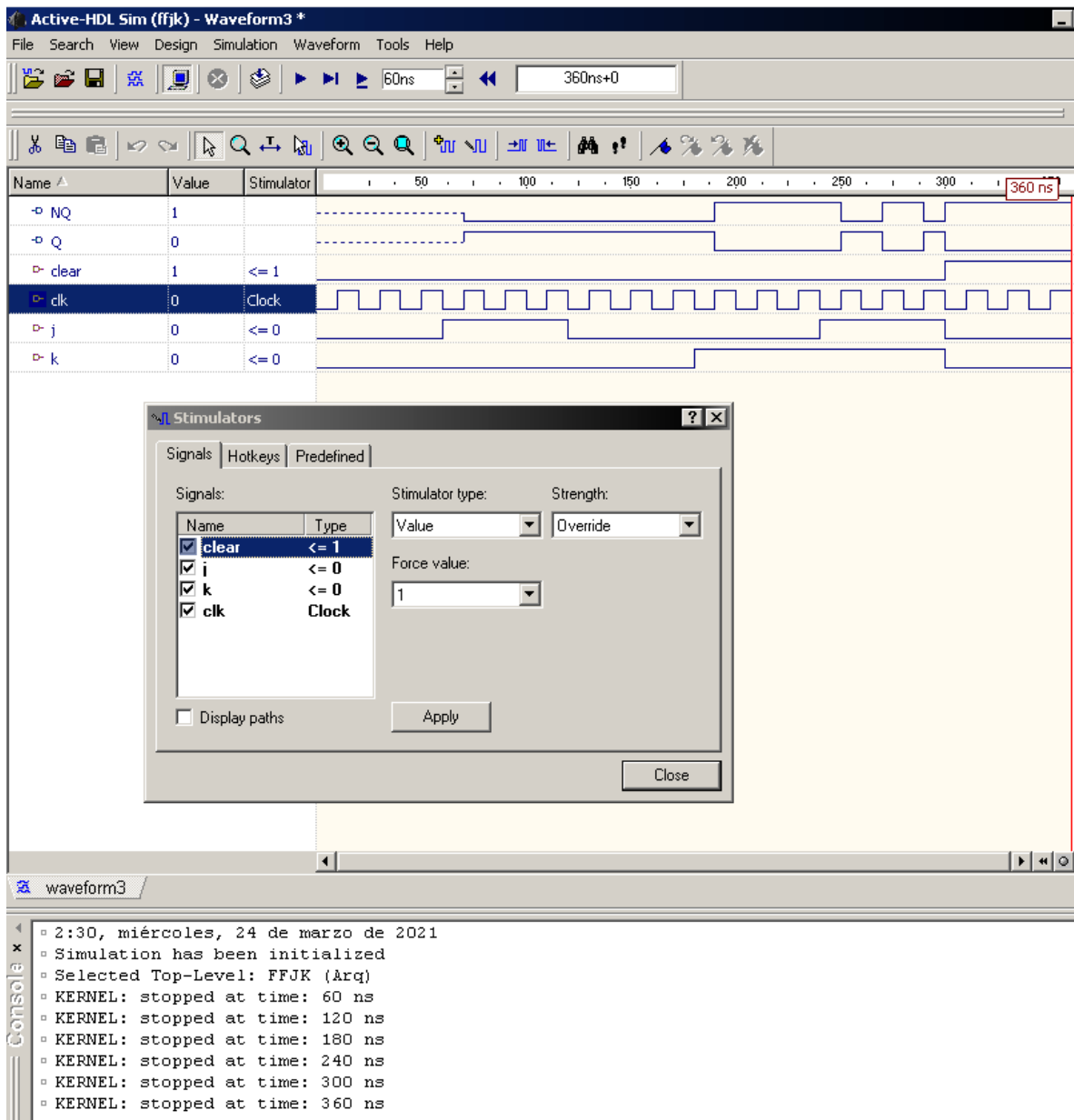


En la imagen anterior podemos observar la simulación del Flip – Flop D, donde ingresamos los valores correspondientes para las entradas, de esta manera es claro que el comportamiento de la salida “Q” es correcto ya que cumple con la tabla característica del Flip – Flop D.

Código y simulación para el Flip – Flop JK:

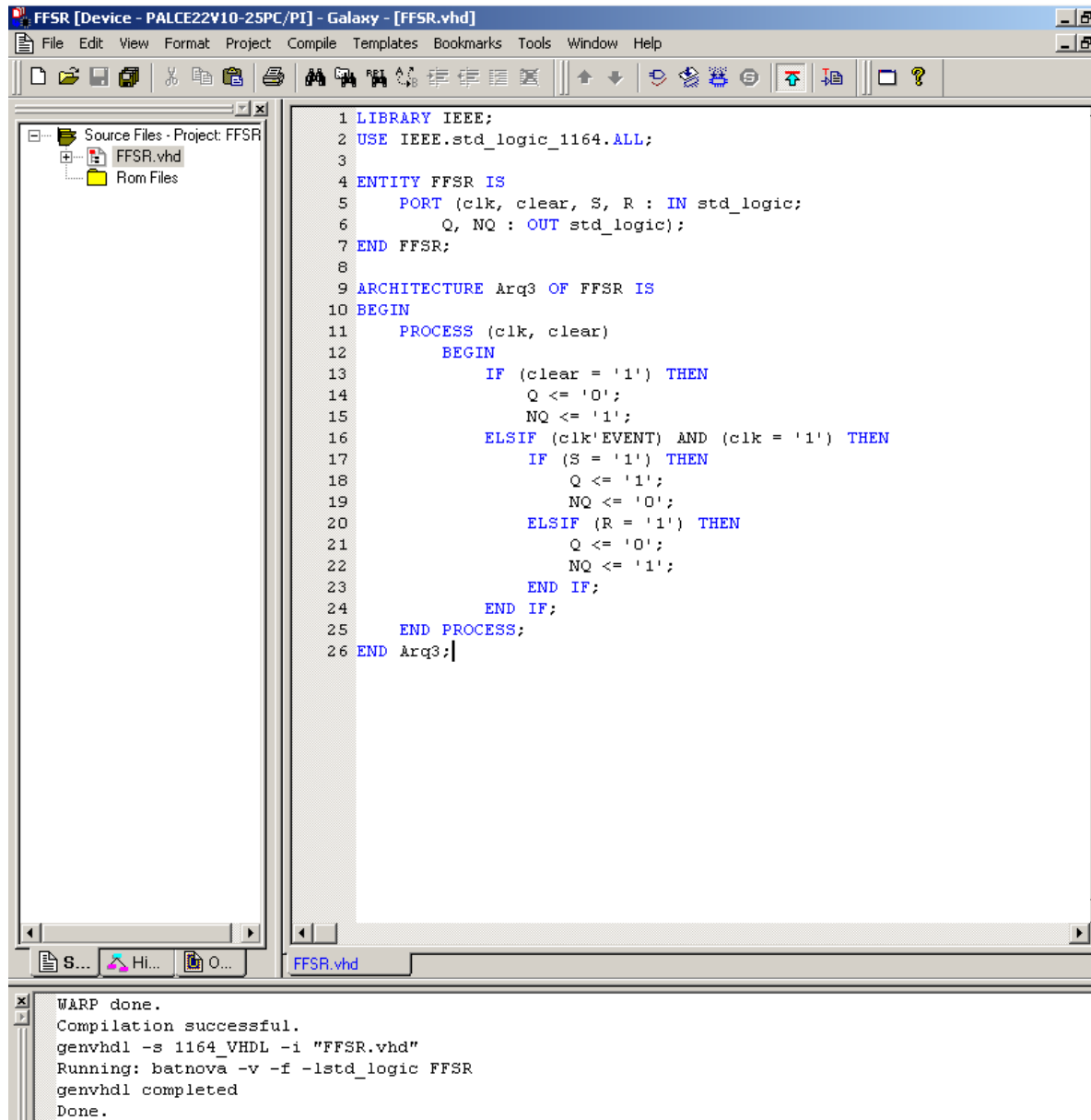


En la imagen podemos observar el código para el Flip – Flop JK, donde tenemos como entradas “clk”, “clear”, “J” y “K” seguido de las salidas “Q” y “NQ”, además hacemos uso de 2 señales adicionales “JK” que es un vector y “Q_aux” la cual nos servirá como una señal auxiliar, note que el código fue compilado exitosamente



En la imagen anterior podemos observar la simulación del Flip – Flop JK, donde ingresamos los valores correspondientes para las entradas, de esta manera es claro que el comportamiento de la salida “Q” es correcto ya que cumple los valores de la tabla característica para el Flip – Flop JK.

Código y simulación para el Flip – Flop SR:

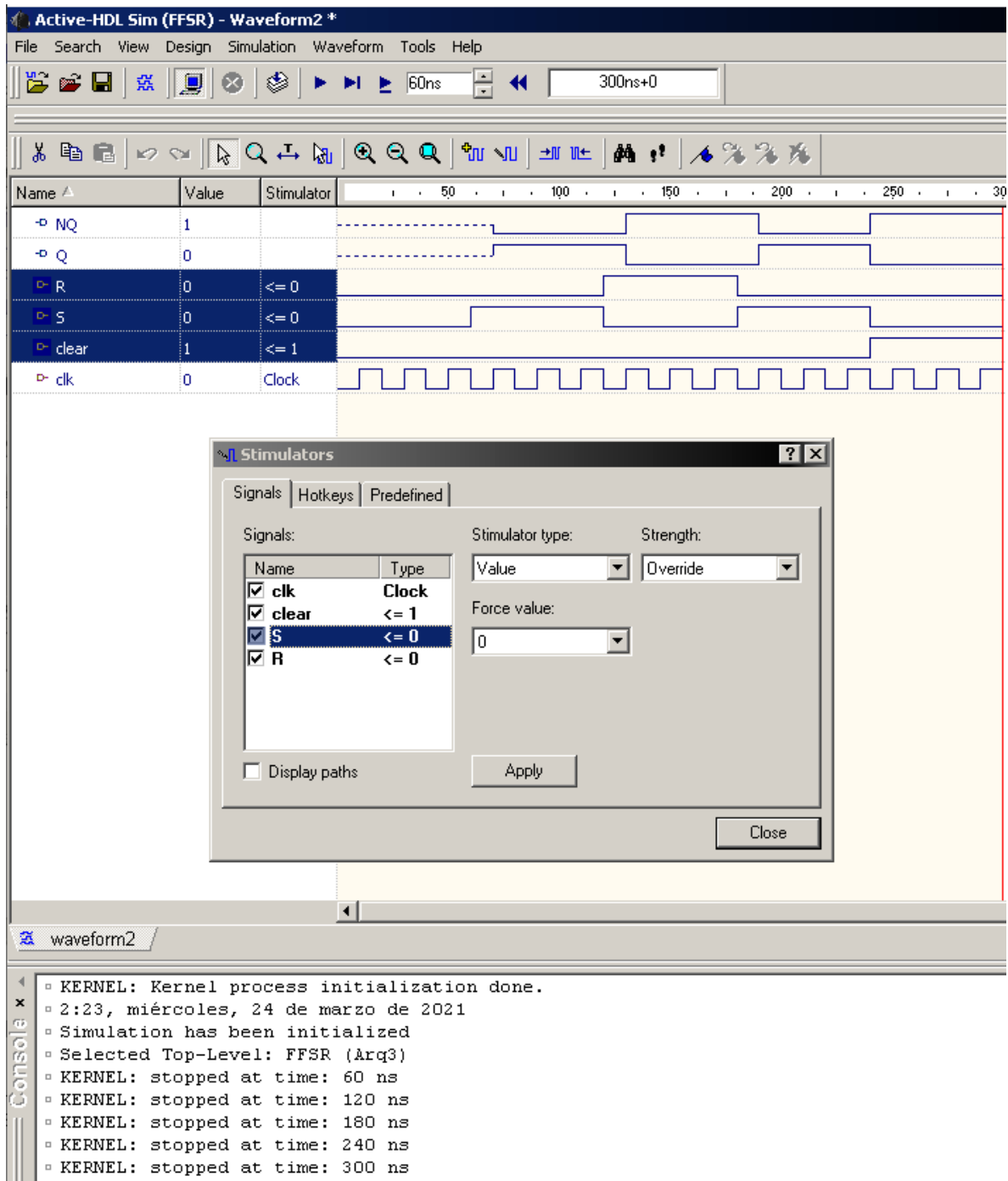


The image shows a screenshot of a VHDL editor window titled "FFSR [Device - PALCE22V10-25PC/PI] - Galaxy - [FFSR.vhd]". The editor displays the VHDL code for an SR Flip-Flop. The code includes a library declaration, port declarations, and a process block that implements the flip-flop logic. The output window at the bottom shows the compilation results, indicating that the code was compiled successfully.

```
1 LIBRARY IEEE;
2 USE IEEE.std_logic_1164.ALL;
3
4 ENTITY FFSR IS
5     PORT (clk, clear, S, R : IN std_logic;
6           Q, NQ : OUT std_logic);
7 END FFSR;
8
9 ARCHITECTURE Arq3 OF FFSR IS
10 BEGIN
11     PROCESS (clk, clear)
12     BEGIN
13         IF (clear = '1') THEN
14             Q <= '0';
15             NQ <= '1';
16         ELSIF (clk'EVENT) AND (clk = '1') THEN
17             IF (S = '1') THEN
18                 Q <= '1';
19                 NQ <= '0';
20             ELSIF (R = '1') THEN
21                 Q <= '0';
22                 NQ <= '1';
23             END IF;
24         END IF;
25     END PROCESS;
26 END Arq3;
```

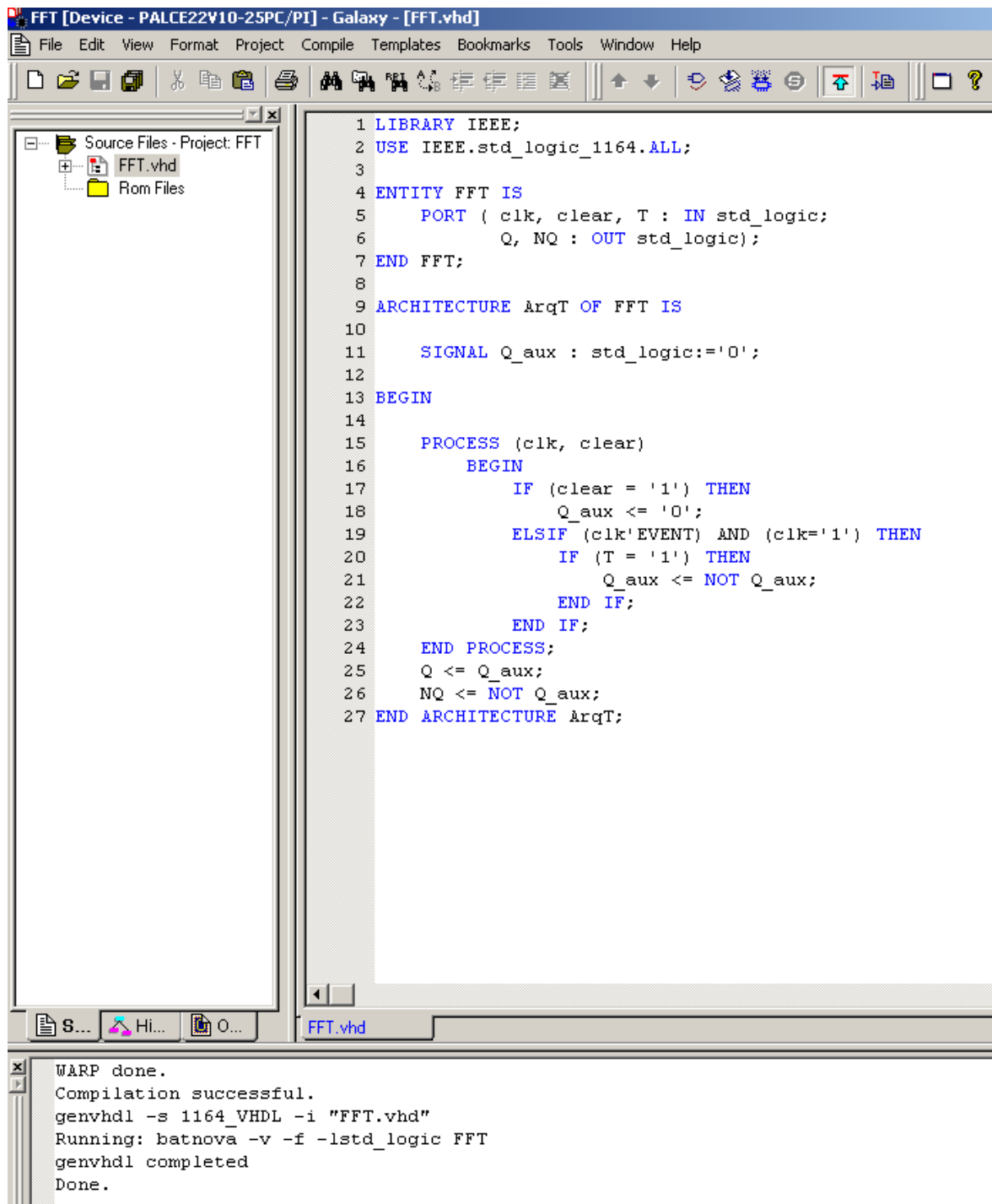
WARP done.
Compilation successful.
genvhdl -s 1164_VHDL -i "FFSR.vhd"
Running: batnova -v -f -lstd_logic FFSR
genvhdl completed
Done.

En la imagen podemos observar el código para el Flip – Flop SR, donde tenemos como entradas “clk”, “clear”, “S” y “R” posteriormente las salidas “Q” y “NQ”, note que el código fue compilado exitosamente.

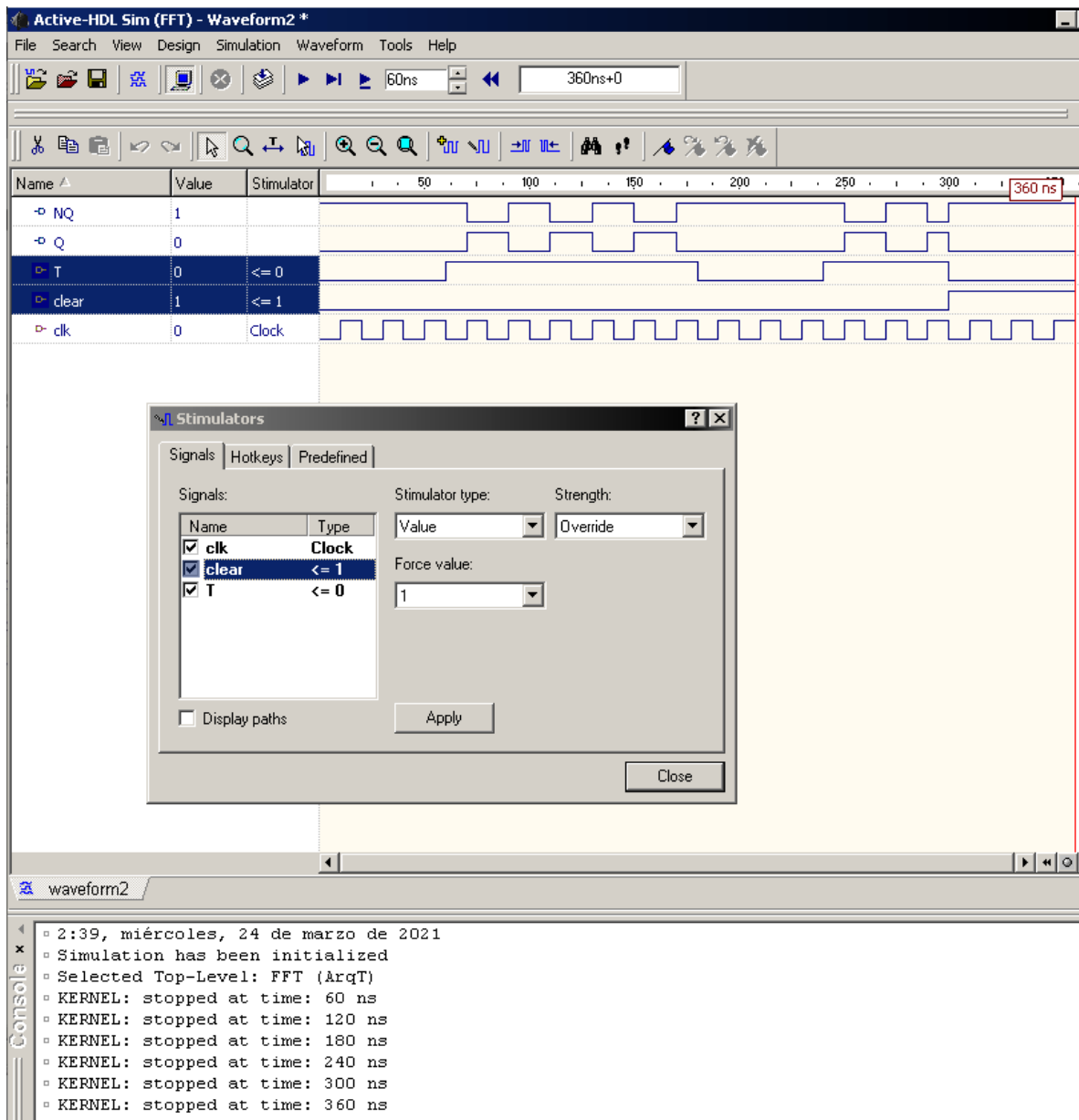


En la imagen anterior podemos observar la simulación del Flip – Flop SR, donde ingresamos los valores correspondientes para las entradas, de acuerdo con los resultados de la salida “Q”, observamos que el comportamiento del Flip – Flop SR es correcto ya que cumple con la tabla característica correspondiente.

Código y simulación para el Flip – Flop T:



En la imagen podemos observar el código para el Flip – Flop T, donde tenemos como entradas “clk”, “clear”, y “T” posteriormente la salida “Q” y “NQ”, además hacemos uso de 1 señales adicional “Q_aux” la cual nos servirá como una señal auxiliar, note que el código fue compilado exitosamente.



En la imagen anterior podemos observar la simulación del Flip – Flop T, donde ingresamos los valores correspondientes para las entradas, de esta manera es claro que el comportamiento de la salida “Q” es correcto ya que cumple con la tabla característica del Flip – Flop T.

Una vez que comprobamos el funcionamiento de los Flip – Flop, diseñaremos la entidad solicitada en la práctica.

Nota: En las capturas no aparece la entrada preset puesto que generaba errores en la compilación

Para seleccionar el Flip – Flop correspondiente hacemos uso de la entrada “SEL “, donde:

SEL = “00” corresponde al Flip – Flop D

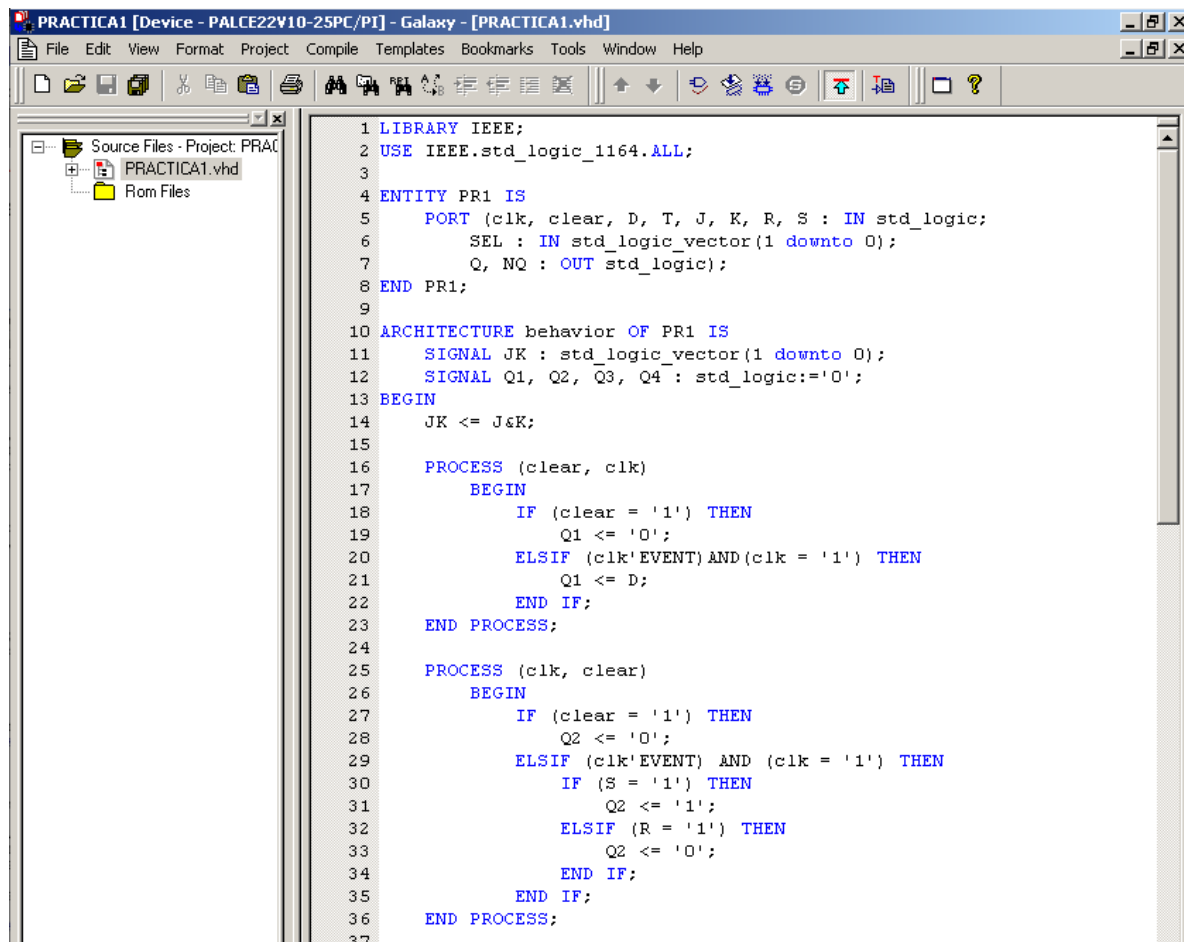
SEL = “01” corresponde al Flip – Flop SR

SEL = “10” corresponde al Flip – Flop JK

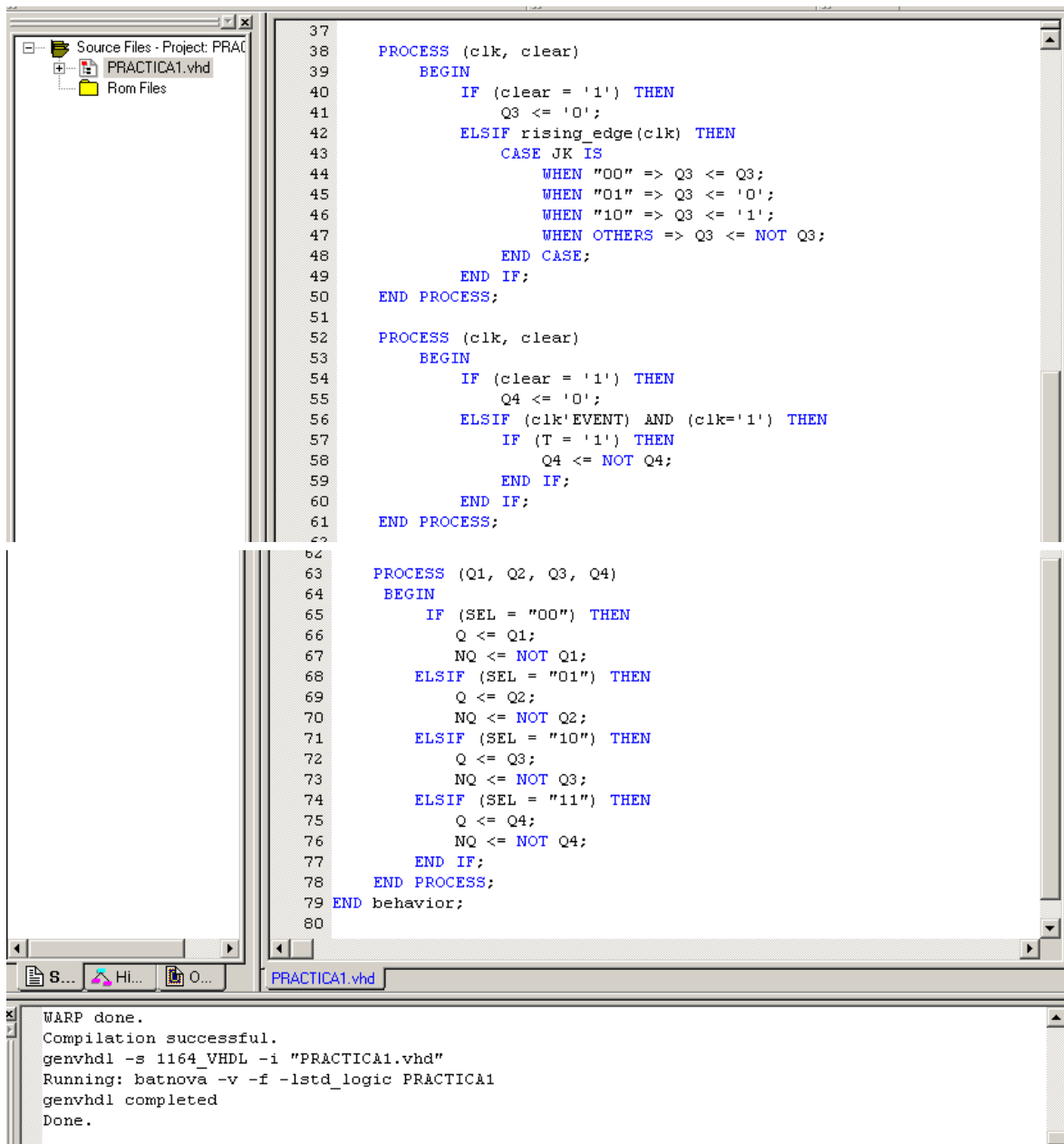
SEL = “11” corresponde al Flip – Flop T

Utilizaremos sentencias IF – ELSE para la asignación de la salida “ Q “ en cada Flip – Flop.

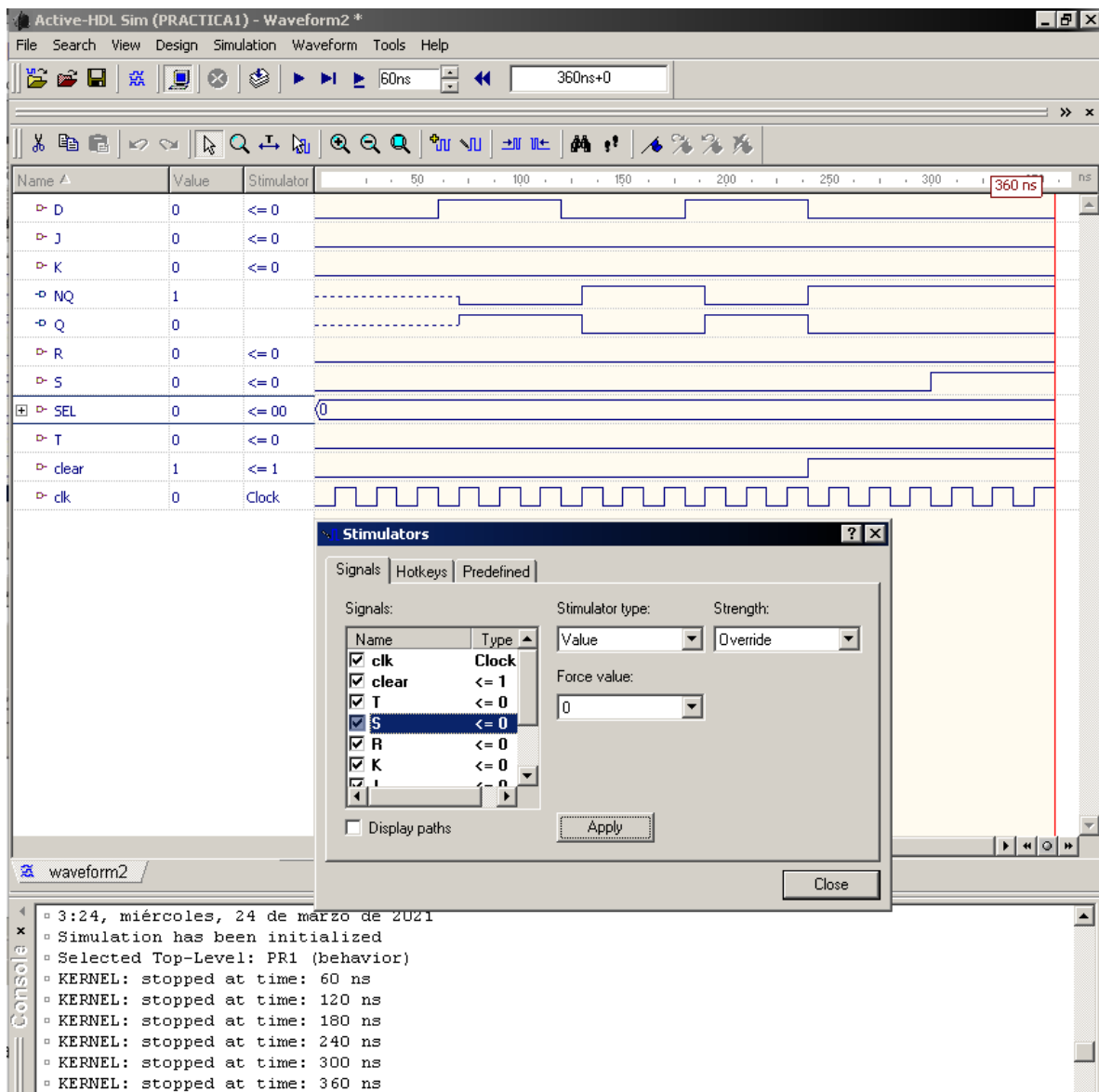
Código y simulación de la práctica:



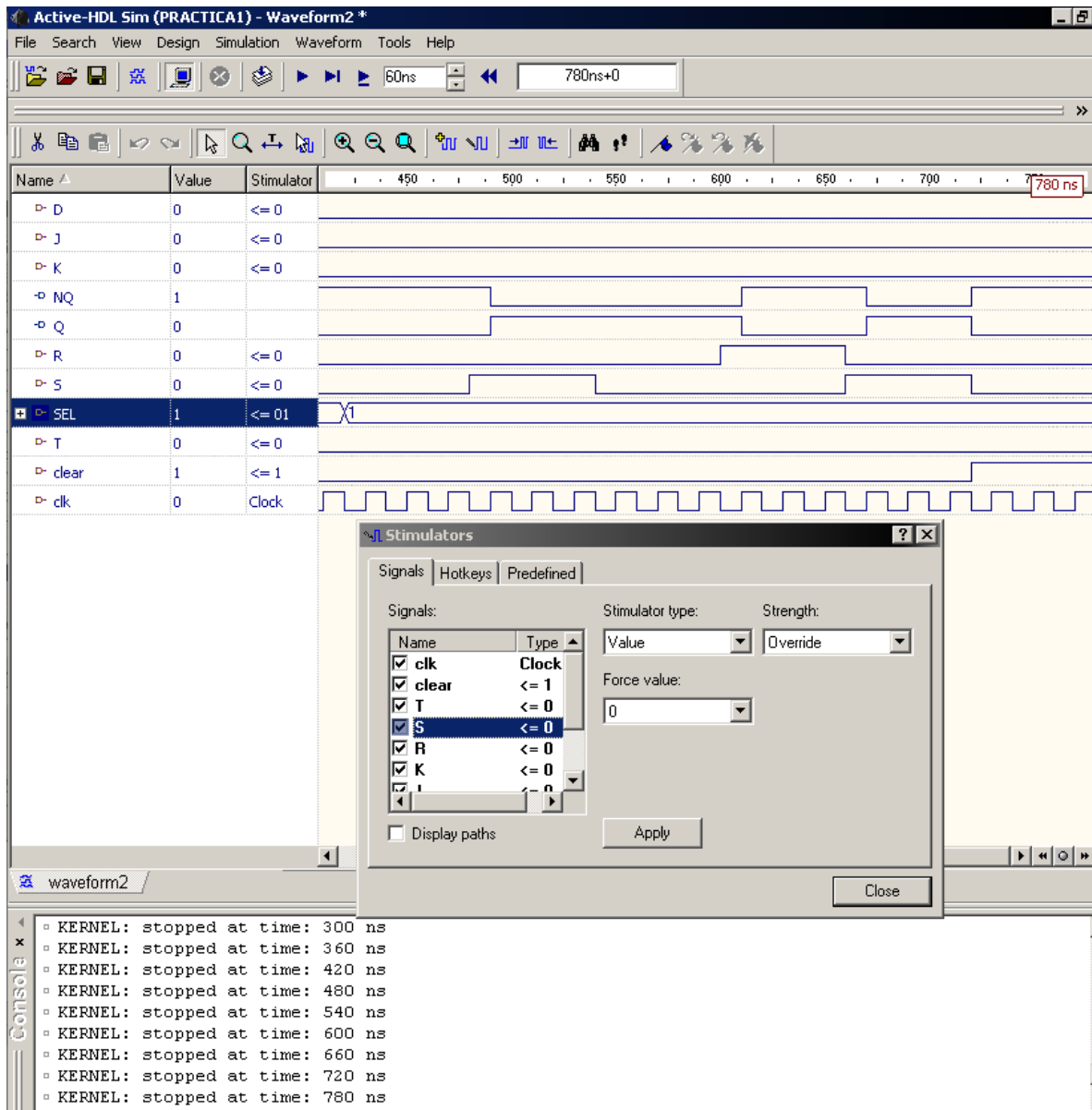
```
1 LIBRARY IEEE;
2 USE IEEE.std_logic_1164.ALL;
3
4 ENTITY PR1 IS
5     PORT (clk, clear, D, T, J, K, R, S : IN std_logic;
6           SEL : IN std_logic_vector(1 downto 0);
7           Q, NQ : OUT std_logic);
8 END PR1;
9
10 ARCHITECTURE behavior OF PR1 IS
11     SIGNAL JK : std_logic_vector(1 downto 0);
12     SIGNAL Q1, Q2, Q3, Q4 : std_logic := '0';
13 BEGIN
14     JK <= J&K;
15
16     PROCESS (clear, clk)
17     BEGIN
18         IF (clear = '1') THEN
19             Q1 <= '0';
20             ELIF (clk'EVENT) AND (clk = '1') THEN
21                 Q1 <= D;
22             END IF;
23     END PROCESS;
24
25     PROCESS (clk, clear)
26     BEGIN
27         IF (clear = '1') THEN
28             Q2 <= '0';
29             ELIF (clk'EVENT) AND (clk = '1') THEN
30                 IF (S = '1') THEN
31                     Q2 <= '1';
32                 ELIF (R = '1') THEN
33                     Q2 <= '0';
34                 END IF;
35             END IF;
36     END PROCESS;
37
```



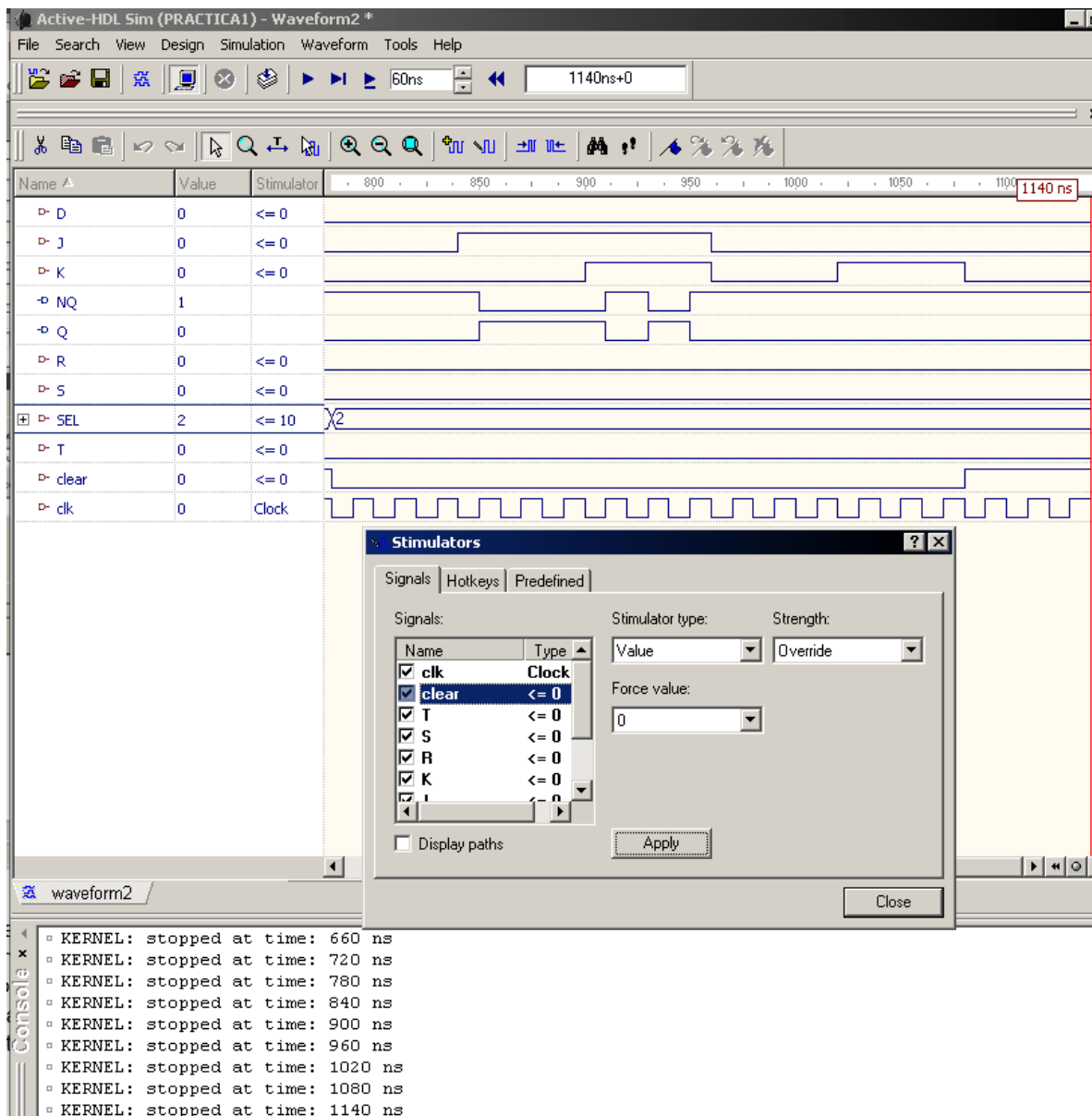
En la imagen podemos observar el código para la práctica, donde tenemos como entradas “clk”, “clear”, “D”, “S”, “R”, “J”, “K” y “T” posteriormente la salida “Q”, además la entrada “SEL” que servirá para seleccionar el Flip – Flop por ultimo las señales auxiliares “Q1”, “Q2”, “Q3” y “Q4”, note que el código fue compilado exitosamente.



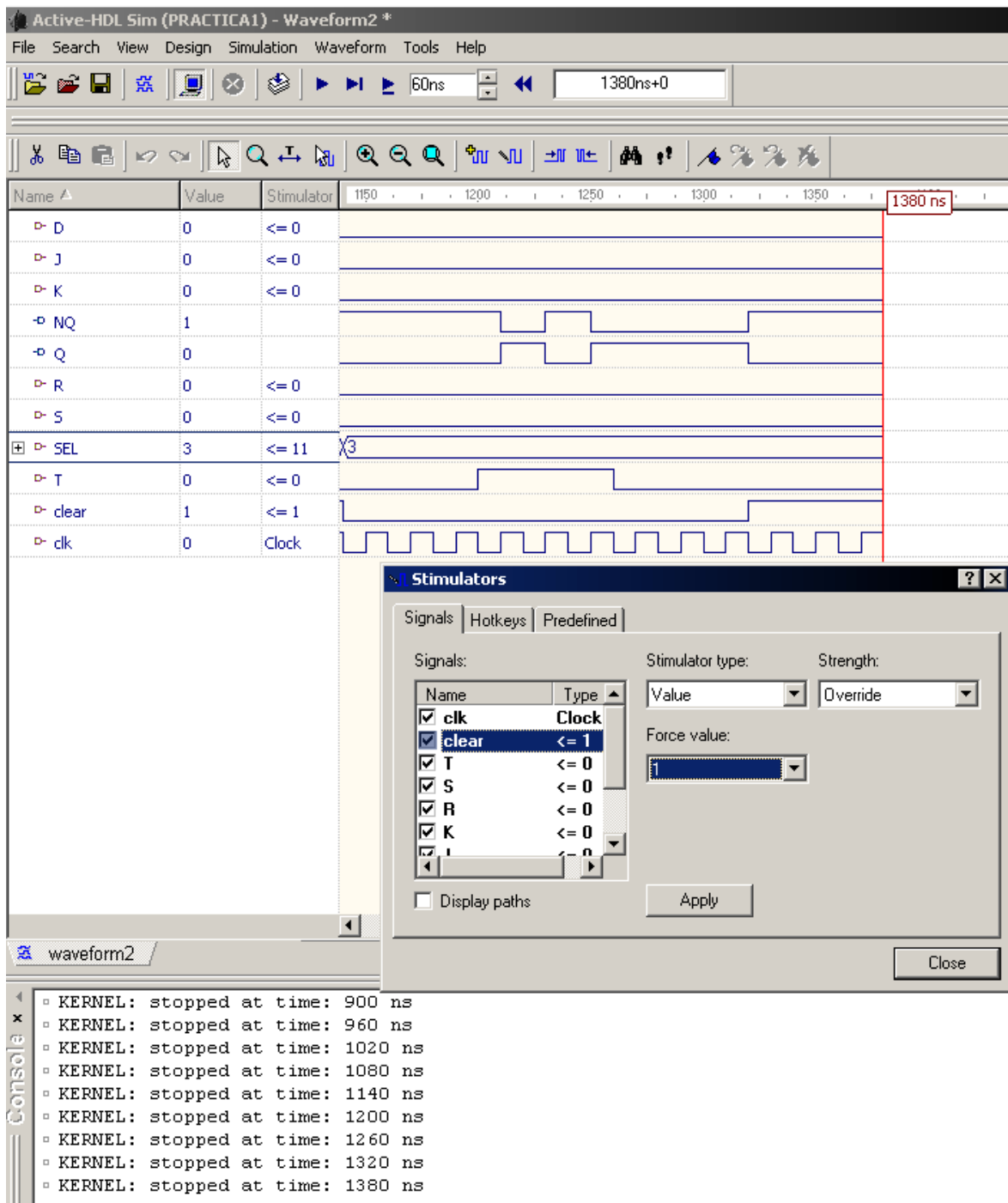
En la imagen anterior podemos observar la simulación de la práctica, donde tenemos seleccionado el Flip – Flop D, además, ingresamos los valores correspondientes para las entradas de esta manera es claro que el comportamiento de la salida “Q” es correcto ya que cumple con la tabla característica del Flip – Flop D, note que a pesar de haber otras entradas estas no afectan a la salida Q ya que esta seleccionado el Flip – Flop D.



En la imagen anterior podemos observar la simulación, donde tenemos seleccionado el Flip – Flop SR, además, ingresamos los valores correspondientes para las entradas de esta manera es claro que el comportamiento de la salida “Q” es correcto ya que cumple con la tabla característica del Flip – Flop SR, de manera similar a pesar de haber otras entradas estas no afectan a la salida Q, ya que está seleccionado el Flip – Flop SR.



En la imagen anterior podemos observar la simulación, donde tenemos seleccionado el Flip – Flop JK, además, ingresamos los valores correspondientes para las entradas de esta manera es claro que el comportamiento de la salida “Q” es correcto ya que cumple con la tabla característica del Flip – Flop JK, de manera similar a pesar de haber otras entradas estas no afectan a la salida Q, ya que está seleccionado el Flip – Flop JK.



En la imagen anterior podemos observar la simulación, donde tenemos seleccionado el Flip – Flop T, además, ingresamos los valores correspondientes para las entradas de esta manera es claro que el comportamiento de la salida “Q” es correcto ya que cumple con la tabla característica del Flip – Flop T, de manera similar a pesar de haber otras entradas estas no afectan a la salida Q, ya que está seleccionado el Flip – Flop T.

Conclusiones y observaciones.

A través de esta práctica retroalimentación sobre lo previamente visto acerca de los flip flop, los cuales están conformados por las entradas y salidas, donde para esta práctica se marcan como D, J, K, R, S y T, por otro lado, sus salidas marcadas como Q y Q', además están integrados por una entrada de reloj, así como por el clear y preset.

Durante el desarrollo de la practica ocurrieron algunos problemas puesto que el simulador Galaxy marcaba errores en las salidas Q y 'Q, sin embargo, este problema pudo solucionarse al reestructurar el código para los Flip – Flop donde retire la entrada "Preset", además haciendo uso de señales auxiliares para la asignación de las salidas, también durante el desarrollo requerí el uso de la función "rising_edge" la cual utilicé para detectar los flancos de subida y de esta manera tener una correcta salida para los Flip – Flop.

Anexos y bibliografía

Referencias bibliográficas:

Floyd, T. L. (2021). *Fundamentos De Sistemas Digitales* (9.^a ed.) [Libro electrónico]. PRENTICE HALL/PEARSON.
https://www.academia.edu/34699883/Libro_fundamentos_de_sistemas_digitales_floyd_9ed_PDF

Maxinez, D. (2013). *Programación de sistemas digitales con VHDL* (1.^a ed.). Grupo Editorial Patria. <https://editorialpatria.com.mx/pdf/files/9786074386219.pdf>

Referencias electrónicas:

<https://unicrom.com/biestable-flip-flop-jk-entradas-set-clear-tabla-verdad/>

http://kali.azc.uam.mx/erm/Media/Practicas/1121040/Tocci/lab07_Tocci.pdf

<https://unicrom.com/flip-flop-tipo-d-descripcion-y-simbolo/>

https://www2.uned.es/71012018/Files/ejercAuto/ic3_solucion_ejerc1.pdf

http://solano.orgfree.com/DD_VHDL/PRACTICA_9%20LATCHS%20Y%20FLIP%20FLOPS.pdf

<https://catedra.ing.unlp.edu.ar/electrotecnia/islyd/Tema%2012b%20Logica%20Programable%20VHDL%202015.pdf>

<http://circuitossecuenciales.weebly.com/flip-flop-tipo-t.html>

<http://www.ladelec.com/teoria/electronica-digital/364-flip-flop-flip-flop-rs>

<http://tutorialesdeelectronica basica.blogspot.com/2020/02/conversion-de-flip-flops-de-un-flip.html>

<https://www.cartagena99.com/recursos/alumnos/apuntes/3-8 Elementos de memoria.pdf>