

实验九 总线实验

- 数据通路见附图
- 系统由三个 74377 寄存器 (U1,U2,U3), 一片 RAM (U4) 一个 2:1 多路器(U5),一个 4: 1 多路器(U6)及时钟分频电路 (U0) 组成
- 按附图要求, 用 Verilog 结构模型描述上述系统
- 演示: 用 SW 开关演示微操作: 把 x 存入 U2,把 y 存入 U3;以 U4 为暂存处, 实现 U2 及 U3 寄存器内容的交换。

