

实验四 加法器及快速进位电路的设计

实验背景

基础知识

加法器是产生数的和的装置。加数和被加数为输入，和数与进位为输出的装置为半加器。若加数、被加数与低位的进位数为输入，而和数与进位为输出则为全加器。加法器常用作计算机算术逻辑部件，执行逻辑操作、移位与指令调用。在电子学中，加法器是一种数位电路，其可进行数字的加法计算。

输入信号

一位全加器的输入信号为：本位输入A、B，低进位信号Cin

输出信号

一位全加器的输出信号为：本位输出S，进位输出Co

真值表

A	B	Cin	S	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

实验内容

- 设计一个一位全加器。
- 以上述一位全加器为模块，设计一个4位行波进位加法器。
- 设计一个含超前进位电路的4位加法器。