

1. 参考上述真值表，设计一个 4-16 译码器。

-思路：首先将 out 输出全部置零，然后利用使能位 en 判断是否需要进行循环；使用case语句罗列 16 种情况，不同情况给 out 不同的位置成 1

2. 利用实验内容 1 中设计的 4-16 译码器模块，设计一个 5-32 译码器。

-思路：第一个 4-16 用来处理输出低位，第二个 4-16 处理输出高位；把输入的 0~3 位传给两个 4-16，输出端分别接入前半段与后半段（前半段的输出自动加 16），把输入的第 4 位当做 4-16 的使能位，用于判断是否需要输出。

-注意模块实例化的时候，变量要一一对应，先声明的变量在前面

3. 设计一个 16-4 普通编码器。

-思路：用 case 直接罗列，out 直接输出对应的值，不依靠置 1 的方法。

4. 设计一个 16-4 优先编码器。

-思路：因为有检测顺序，故从高位开始，一遇到 1 就输出对应位的编号（位置）。

5. 总结：最大的收获是知道了如何使用两个低级的原件“合成”高级的原件。实验过程中在模块实例化部分卡了很久，主要是语法句式不太清晰，现在已经完全清楚了。