

实验三 算数逻辑单元的设计

实验背景

算数逻辑单元，简称ALU（Arithmetic & Logical Unit），是CPU的核心部件，能实现多组算术运算和逻辑运算的组合逻辑电路。

实验简介

本次实验是在实验二的基础上所做，用实验二的部分输出信号作为本次实验的输入信号，进而设计一个算数逻辑单元，所以需要用到实验二的模块。

算数逻辑单元模块共有四个输入，分别为实验二中输出的ALU相关的4位信号，8位的imm1，8位的imm2，以及3位的shamt，共有一个输出，为经ALU计算后的8位运算结果。在本次实验之中，不需要考虑类似加法溢出等各种特殊情况，正常计算即可。

下表为示例：

ALU相关4位信号	需要进行的操作	输出（8位）
0000	利用imm1,imm2,shamt中的一个或几个进行A运算（即实验二中0000所编码的运算）	运算后的结果，例如加法的结果则为imm1+imm2

实验内容

1、在实验二的基础上，利用System Verilog语言实现上述算数逻辑单元。