**Arhitekture i algoritmi DSP II**

Projektni zadatak:

Realizovanje algoritma i kombinovanje kanala na Cirrus Logic DSP platformi

Student: Božidar Krunić RA160-2019

Mentor: Nenad Pekez

Novi Sad, 2022.

Sadržaj

[Opis zadatka 3](#_Toc120720939)

[Opis realizacije zadatka 4](#_Toc120720940)

[Ispitivanje i verifikacija 6](#_Toc120720941)

# Opis zadatka

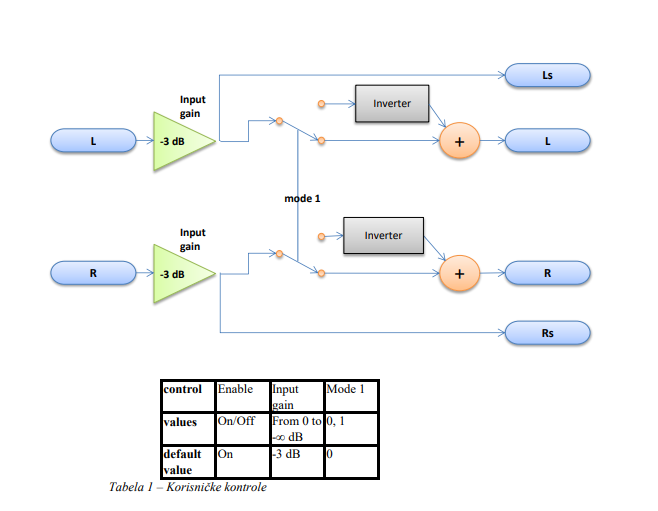
Moj zadatak je bio da se implementiram algoritam obrade zvuka koji je zadat na prvoj slici ***slika1***, i to je bilo potrebno na kraju pokrenuti na simulatoru za Cirrus Logic DSP platformu.

Bilo je potrebno implementirati odredjene parametre koji se koriste u modelu. Na osnovu slike može da se primeti da se sistem sastoji od dva ulazna signala **L** i **R.**

Sistem poseduje kontrolu aktivacije zvuka **Enable.** Enable poseduje dva moguća stanja 0 ili 1. Osnovno tj. Početno stanje je 1 i znači da na izlazu imamo izmenjen signal u odnosu na naš sistem. U slučaju kada je na 0 naš izlaz je u stvari pass-through.

Kontrola ***input gain*** nam odredjuje koji će ulazni gain biti zadat i poseduje vrednost od 0 do minus beskonacne vrednosti.

Kontrola **mode** predstavlja prekidač na osnovu kojeg se odredjuje šta će biti na izlaznim kanalima. Osnovno stanje je 0 tj. da se ne primenjuje inverter na levi i desni kanal, a slučaj kada je 1 prosledjujemo invertovan signal na izlaz L i R.

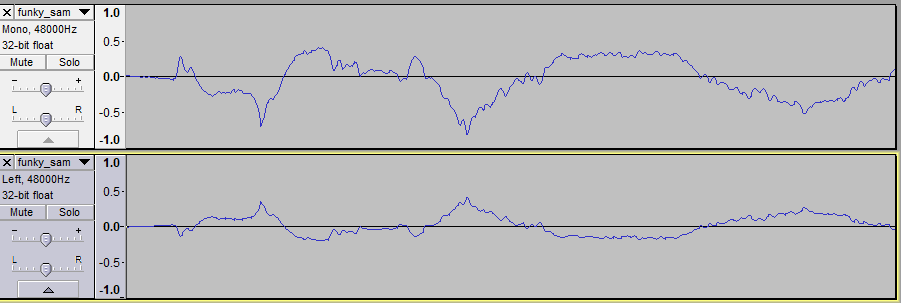
 ***Inverter*** je predstavljen tako da kao parametre prima inverter gain i inverter degree, i na osnovu toga vrši transformaciju signala. Kao vrednosti degree može da primi vrednosti od 0 do 1, a pošto je gain linearan kao dogovor smo uzeli da može da primi vrednosti od 0 do 1.

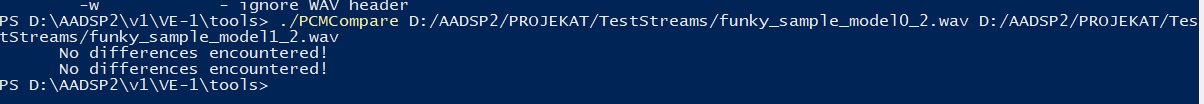
Slika1

# Opis realizacije zadatka

Zadatak je urađen postupno ravojem različitih modela dok nismo došli do modela koji se pokreće na ciljanoj platformi, u našem slučaju Cirrus Logic DSP.

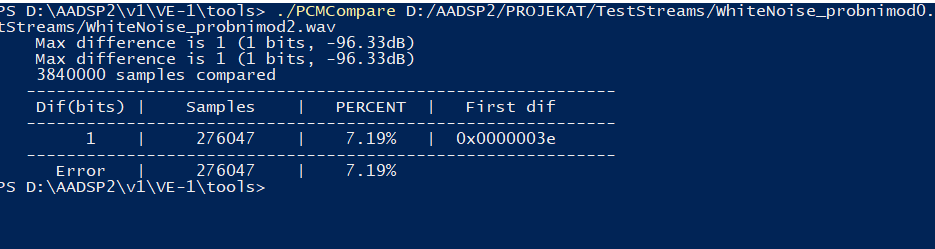
**Model 0** nam predstavlja referentni model, u odnosu na njega poredimo sve naredne modele. Nama prilikom ravoja ovog modela fokus nije bio na performansam izvršavanja ili utroška memorije. Cilj je bio da model dobro predstavi naš sistem i ispoštuje sve zahteve zadate u zadatku. Verifikacija ovog modela se radila ručno uz pomoć Audacity programa. Poredio se ulazni signal i očekivani izlazni. Testirali su se svi mogući ishodi sistema, tj. vrednosti za mode i enable. Za input gain sam zadavao nekoliko vrednosti i onu graničnu koja je predstavljena sa 1.0 tj 0dB, a za inverter sam takodje zadao granične parametre.

 Na **slika2** možemo da vidimo da je levi kanal nakon primene invertera i primene gaina od -3dB, invertovan u odnosu na ulazni levi kanal od funky\_sample i utišan. Na sličan način sam odradio provere za ostale kanale, parametre i semplove.

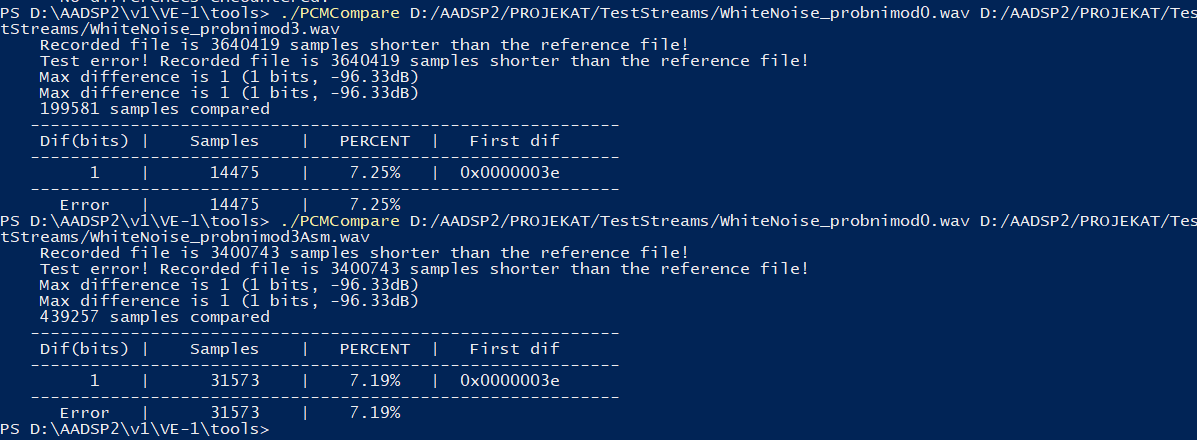
 **Model 1** je zasnovan na optimizaciji modela 0. Optimizacija se ogledala u tome da se smanji što je više moguće broj parametara procesing funkcije. Prelazi se sa pristupa elementima indeksiranjem kroz nizove na pristup preko pokazivača. Prvom optimizacijom smo sve bitnije promenljive izmestili u globalne promenjlive. Izlaz ovog modela treba da bude verna predstava nultog modela i ne sme da postoji razlika između izlaza. U ovom stadijumu razvoja počinjemo da koristimo alat PCMcomapre koji poredi izlaz iz nultog i prvog modela. Na **slika3** može da se vidi izlaz pcm compare.

Slika 2

Slika3

**Model 2** se ogleda u poboljšanju i boljem prilagođavanju našoj platformi. Sa ovim modelom smo korak bliže funkcionisanju platforme. Bilo je potrebno preći sa aritmetike pokretnog zareza u aritmetiku nepokretnog zareza. Korišćene su klase koje emuliraju dsp tipove podataka koji se koriste. Prilikom testiranja i verifikacije ovog modela granične vrednisti inverterovih parametara koje su 1.0, predstavljene su kao fract tip od 1.0, pošto se ove vrednosti zaokružuju na najveći broj fract\_num tipa one nisu unele promenu u izlazu modela 2. Jedina promena koja se unosi u izlaz modela 2 je prilikom graničnog pojačanja od 0dB, linearno predstavljen kao 1.0, i ona iznosi maksimalno 1bit. Na **slika4** se vidi izlaz iz PCMcompare alata poređenjem modela 0 i modela 2.

Slika4

 **Model 3** predstavlja prelazak u Clide okruženje i korišćenje ugrađenih dsp veličina. Podaci se dele u dve memorije X i Y memoriju. Kod se prebacuje i cpp u c. Proverava se izlaz ovog modela sa izlazom iz modela 2, i nse smeju da se razlikuju. Na **slika5** se vidi izlaz PCMcompare koji je za 0dB pojačanje koje jedino unosi bitsku razliku između modela 0 i 2, a model 2 i 3 su isti.

Slika5

Optimizacija modela 3 se ugleda na prelasku iz c jezika u asembler. U asembleru su implementirane funkcije koje su najzahtevnije a to je processing funkcija i funkcija invertera. Primećena razlika je u mipsima gde je za c kod bila 2699 a za asemblerski kod 850. Ukupno memorijsko zauzeće je 473 reči.

**Finalni model** predstavlja celokupnu implementaciju programa u asmebleru, i kao spuštanju na simuliranu ploču. Konkretno sam odradio ceo prelazak na asembler. Struktura inverter je predstavljena kao niz od dva elementa. Kod je pokrenut par puta i na izlaze L i R dobro izvršava zadatak a Ls i Rs ne izbacuje na izlaz. Nije bio dobro konfigurisan example\_app za izlaz.

# Ispitivanje i verifikacija

Prilikom prezentacije svih modela, na stranicama iznad su objašnjeni moetodi verifikacije i ispitivanja svih modela.Moram još jednom da napomenem, da celokupni zadatak prolazi sve zahteve i ne postoji razlika veća od 1bita između modela 1 i 2. Jedini granični parametri koji unose tu razliku su za pojačanje od 0dB, a to je bilo i očekivano jer se vrednost od 1.0 zaokružuje na maksimalnu fract vrednost. Ispod su neki od izlaza txt formata koje sam kopirao iz PCMcompare i py skripte. U zipu ovog projekta biće dostavljeni txt izlali iz različitih modela.

Pokretanjem py skripte su bili zadati neki granični uslovi za inverterov gain i degree, takođe različite vrednosti pojačanja, i mod i enable.

./PCMCompare D:/AADSP2/PROJEKAT/TestStreams/WhiteNoise\_probnimod0.wav D:/AADSP2/PROJEKAT/TestStreams/WhiteNoise\_probnimod2.wav

Max difference is 1 (1 bits, -96.33dB)

Max difference is 1 (1 bits, -96.33dB)

3840000 samples compared

-----------------------------------------------------------

Dif(bits) | Samples | PERCENT | First dif

-----------------------------------------------------------

1 | 276047 | 7.19% | 0x0000003e

-----------------------------------------------------------

Error | 276047 | 7.19%

./PCMCompare D:/AADSP2/PROJEKAT/TestStreams/WhiteNoise\_probnimod0.wav D:/AADSP2/PROJEKAT/TestStreams/WhiteNoise\_probnimod3.wav

Recorded file is 3640419 samples shorter than the reference file!

Test error! Recorded file is 3640419 samples shorter than the reference file!

Max difference is 1 (1 bits, -96.33dB)

Max difference is 1 (1 bits, -96.33dB)

199581 samples compared

-----------------------------------------------------------

Dif(bits) | Samples | PERCENT | First dif

-----------------------------------------------------------

1 | 14475 | 7.25% | 0x0000003e

-----------------------------------------------------------

Error | 14475 | 7.25%

PS D:\AADSP2\v1\VE-1\tools> ./PCMCompare D:/AADSP2/PROJEKAT/TestStreams/WhiteNoise\_probnimod2.wav D:/AADSP2/PROJEKAT/TestStreams/WhiteNoise\_probnimod3.wav

Recorded file is 3640419 samples shorter than the reference file!

Test error! Recorded file is 3640419 samples shorter than the reference file!

No differences encountered!

No differences encountered!