

Appunti Architettura

Brendon Mendicino

December 11, 2022

Contents

1	Introduzione	3
1.1	Addressing Mode	3
1.2	MIPS	4
2	Pipeline	5
2.1	Pipeline Hazards	6
2.2	Floating Point	8
2.3	Exceptions	10
3	Chache Memories	12
3.1	Organizzazione della cache	12
3.2	Mappatura	13
3.3	Update della Memoria	14
4	Branch Prediction	15
5	Schedulazione Dinamica	19
6	Pipelining	20
6.1	Static Scheduling	20
6.2	Dynamic Scheduling	20
7	ARM	22
7.1	Register	23
7.2	Instruction Set	23
7.3	Stack	26
8	Application Binary Interface	29
8.1	Supervisor Calls (SVC)	29
9	ASM+C	32
10	Scheda	34
10.1	Interrupt	35
10.2	System Timing	37
10.3	Controllo del clock e della potenza	40
10.4	Debuoncing	42

1 Introduzione

Nell'introduzione si parla di roba, tipo evoluzione dei processori e del mercato intorno ad essi... Si parla della **legge di Amdahl** che calcola lo speedup di un processore con dei miglioramenti.

$$\text{speedup} = \frac{\text{performance with enhancement}}{\text{performance without enhancement}}$$

Oppure:

$$time_{new} = time_{old} \cdot \left((1 - fraction_{enhanced}) + \frac{fraction_{enhanced}}{speedup_{enhanced}} \right)$$

$$speedup_{overall} = \frac{time_{new}}{time_{old}} = \frac{1}{\left((1 - fraction_{enhanced}) + \frac{fraction_{enhanced}}{speedup_{enhanced}} \right)}$$

An enhancement makes one machine 10 times faster for 40% of the programs the machine runs. Which is the overall speedup?

$$\begin{aligned} fraction_{enhanced} &= 0.4 \\ speedup_{enhanced} &= 10 \end{aligned}$$

$$speedup_{overall} = \frac{1}{(1 - 0.4) + \frac{0.4}{10}} = 1.56$$

Figure 1: Amdahl Example

1.1 Addressing Mode

Esistono modi di indirizzamento che si possono usare quando si progetta un ISA:

- register mode: add r4, r3;
- immediate mode: add r4, #4;
- displacement mode: add r4, 100(r3);
- register deferred mode: add r4, (r3);
- indexed mode: add r4, (r3 + r2);

- direct mode: add r4, (1001);
- memory indirect mode: add r1, @(r3);
- autoincrement mode: add r1, (r3)+;
- autodecrement mode: add r1, -(r3);
- scaled mode: add r1, 100(r3)[r2];

1.2 MIPS

Tipi di istruzioni nel mips sono:

- immediate;
- register;
- jump;

2 Pipeline

Per misurare le prestazioni di una pipeline si usa il **throughput**. Il throughput è il numero di istruzioni che escono dalla pipeline in un intervallo di tempo.

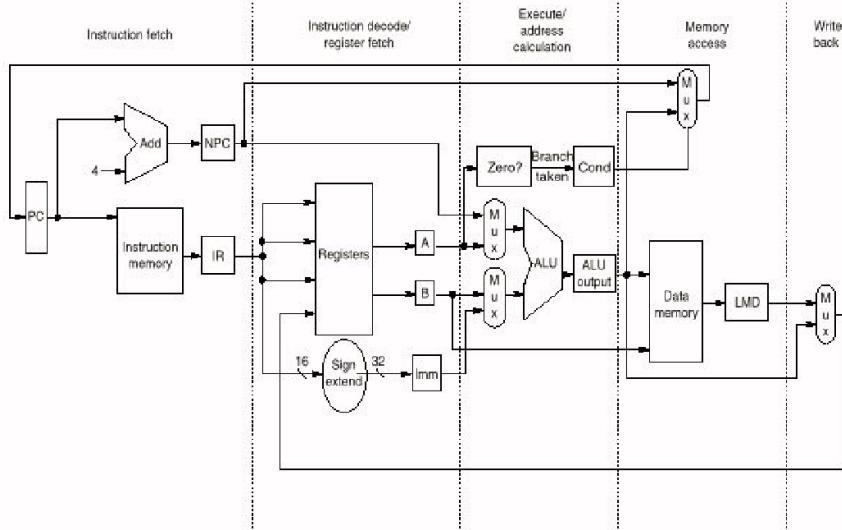


Figure 2: Datapath

Il datapath è composto da:

- instruction fetch: si prende dalla memoria la prossima istruzione putnatata dal PC e si incrementa quest'ultimo di 4;
- decode: si decodifica l'istruzione, attivando il datapath in modo adeguato, a prescindere dal tipo di operazione carico i due registri rs ed rt, ed il campo immediato, anche nel caso l'istruzione non fosse immediata, risparmio del tempo aumentando leggermente il consumo di potenza;
 - $A \leftarrow \text{Reg}[rs]$;
 - $B \leftarrow \text{Reg}[rt]$;
 - $\text{Imm} \leftarrow (IR_{16..31})$;
- execution/effective address cycle:
 - memory reference: $\text{ALUoutput} \leftarrow A + \text{Imm}$;
 - register-register: $\text{ALUoutput} \leftarrow A \text{ op } B$;
 - register-immediate: $\text{ALUoutput} \leftarrow A \text{ op } \text{Imm}$;
 - brach: $\text{ALUoutput} \leftarrow \text{NPC} + \text{Imm}$; $\text{Cond} \leftarrow (A \text{ op } 0)$;

- memory access/branch completion cycle:
 - $LMD \leftarrow Mem[ALUoutput]$; or $Mem[ALUoutput] \leftarrow B$;
 - branch: if (cond) $PC \leftarrow ALUoutput$ else $PC \leftarrow NPC$;
- write-back cycle:
 - register-register: $Reg[IR_{16..20}] \leftarrow ALUoutput$;
 - register-immediate: $Reg[IR_{11..15}] \leftarrow ALUOutput$;
 - load instruction: $Reg[IR_{11..15}] \leftarrow LMD$;

L'assunzione molto forte sarà che tutti i dati e le istruzioni saranno sempre nelle memoria cache, quindi si avrà un delay di un solo colpo di clock. Il register file potrà sia essere letto che scritto, ci sarà dunque bisogno di soddisfare queste richieste in un solo colpo di clock, la scrittura avviene nella prima parte del colpo di clock mentre la lettura avviene nella seconda parte del colpo di clock.

Si aggiungono dei registri (detti pipeline register),

Aggiungere i registri della pipeline aggiunge un overhead, inoltre il clock del processore comporta un rallentamento causato dallo skew, ma questo garantisce l'utilizzo istantaneo dei registri per la pipeline.

2.1 Pipeline Hazards

Sono dei casi in cui l'istruzione non può essere eseguita in modo corretto nel suo slot temporale di esecuzione:

- structural hazards: dipendono da conflitti su risorse;
- data hazards: dipende dal risultato di istruzioni precedenti;
- control hazards: dependi dai branch e da istuzioni che modificano il PC;

Stall Un modo di gestire gli hazards è di mandare la CPU in stall.

Structural hazards Gli hazard strutturali possono essere:

- un'istruzione non riesce a completare un'unità in un solo colpo di clock (come l'unità di divisione);
- la pipeline ha un accesso a memoria con un singola porta, e più istruzioni vorrebbero accedere contemporaneamente alla memoria;

Risolvere gli hazard strutturali comporta un costo, in termini di nuovo hardware e di migliorare quello esistente. Un processore con hazard strutturali avrà un clock più veloce ma problemi di accesso alla memoria, un processore senza hazard strutturali avrà un clock più lento ma nessuna limitazione di accesso alla memoria.

Data hazards Generati dalle dipendenze dei dati generati all'interno della pipeline.
Esempio:

```

1 add r1, r2, r3
2 sub r4, r1, r5
3 and r6, r1, r7
4 or  r8, r1, r9
5 xor r10, r1, r11

```

Il registro r1 viene inizializzato nella prima istruzione e poi utilizzato nel resto del codice, ma l'operazione di scrittura in si trova alla fine della pipeline, l'istruzione successiva (sub) dovrebbe aspettare che r1 sia scritto prima che possa essere letto, se tuttavia si tenta di leggere r1 il risultato sarà non deterministico. Per risolvere questo problema si hanno due soluzioni:

- mandare in stall il processore;
- implementiamo un forwarding che permette di non attendere la scrittura del registro, ma di leggere direttamente il valore dei registri della pipeline;

Situation	Example code sequence	Action
No dependence	LD R1,45(R2) DADD R5,R6,R7 DSUB R8,R6,R7 OR R9,R6,R7	No hazard possible because no dependence exists on R1 in the immediately following three instructions.
Dependence requiring stall	LD R1,45(R2) DADD R5,R1,R7 DSUB R8,R6,R7 OR R9,R6,R7	Comparators detect the use of R1 in the DADD and stall the DADD (and DSUB and OR) before the DADD begins EX.
Dependence overcome by forwarding	LD R1,45(R2) DADD R5,R6,R7 DSUB R8,R1,R7 OR R9,R6,R7	Comparators detect use of R1 in DSUB and forward result of load to ALU in time for DSUB to begin EX.
Dependence with accesses in order	LD R1,45(R2) DADD R5,R6,R7 DSUB R8,R6,R7 OR R9,R1,R7	No action required because the read of R1 by OR occurs in the second half of the ID phase, while the write of the loaded data occurred in the first half.

Figure 3: Load Interlock Detection

Control Hazards I control hazard sono causati da istruzioni di branch, il loro effetto in caso di salto positivo è quello di svuotare l'intera pipeline per portare rimuovere le istruzioni successive al branch e inserire quelle del nuovo PC. I modi per migliorare gli effetti dei branch sono:

- freezing the pipeline: stall o flush della pipeline;
- predict untaken: considera il branch come non preso;

- predict taken: considera il branch come sempre preso;
- delayed branch;

2.2 Floating Point

Le operazioni floating point sono molto complesse, se si cerca di implementarle in un solo colpo di clock allora il processore diventa troppo complicato dal punto di vista logico, un'altra soluzione potrebbe essere quello di rallentare il clock, per far entrare tutte le operazioni in un singolo colpo, ma entrambe le soluzioni non sono fattibili, allora si prende un approccio di suddivisione della pipeline in unità. Per supportare le operazioni di floating point in pipeline, si è optato per una separazione dalla execute in diverse unità:

- integer unit;
- fp/integer multiply;
- fp adder;
- fp/integer divider;

Questa ramificazione della pipeline va a convergere nella sezione di MEM.

Si dovrà definire la latenza, ovvero il numero di colpi di clock che una unità usa per avere un risultato, ed un intervallo di inizializzazione, ovvero il numero di colpi di clock che la seconda istruzione dovrà attendere per entrare nella sezione desiderata (come somma o divisione). Un esempio:

- add: lat: 1, int: 1;
- mult: lat: 8, int: 1;
- fadd: lat: 4: 1;
- div: lat: 24, int: 24;

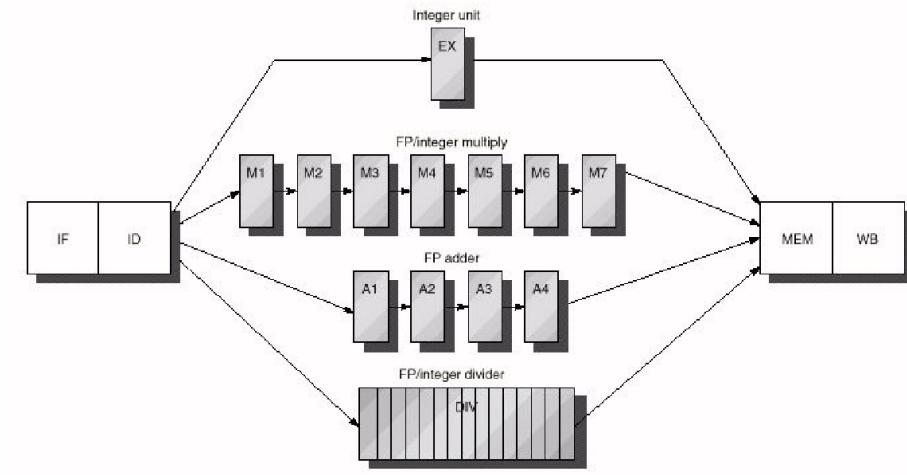


Figure 4: Pipeline Units

Solitamente la divisione ha la latenza identica all'intervallo di inizializzazione. Se un'unità è **pipelined** allora ha un colpo di clock come intervallo di inizializzazione, se l'unità non è pipelined allora il suo intervallo di inizializzazione è uguale alla latenza.

Un altro problema dato dagli hazard strutturali è il fatto che: più istruzioni non possono accedere in contemporanea alla fase di MEM o di WB, solitamente il criterio è FIFO, oppure si potrebbe dare maggiore priorità alle istruzioni con il maggiore numero di clock.

Adesso che le istruzioni non hanno più il WB in ordine, si creare un nuovo tipo di data hazard detto **write after write** e **read after write**.

Instruction	Clock cycle number										
	1	2	3	4	5	6	7	8	9	10	11
MUL.D F0,F4,F6	IF	ID	M1	M2	M3	M4	M5	M6	M7	MEM	WB
...		IF	ID	EX	MEM	WB					
...		IF	ID	EX	MEM	WB					
ADD.D F2,F4,F6		IF	ID	A1	A2	A3	A4	MEM	WB		
...		IF	ID	EX	MEM	WB					
...		IF	ID	EX	MEM	WB					
L.D F2,0(R2)				IF	ID	EX	MEM	WB			

Figure 5: Write After Write

In questo caso l.d e add.d scrivono nello stesso momento sul registro f2, essendo che add.d si trova prima della l.d l'operazione non può essere eseguita, una soluzione è: prima di schedulare un'istruzione al EX stage, si deve controllare che non si stia scrivendo su un registro già presente nelle istruzioni in EX, se è vero si stalla l'istruzione corrente in ID.

2.3 Exceptions

Le eccezioni sono classificate in:

- **sincrone e asincrone;**
- **user requested** (l'utente potrebbe creare un'eccezione) o **coerced** (data da fattori esterni);
- **maskable o non-maskable:** alcune eccezioni non sono mascherabili ovvero forzare l'hardware a non rispondere all'exception;
- **within instructions o between instructions:** within all'interno delle istruzioni (mette un'istruzione fa IF, ID, ...) oppure tra due istruzioni (ld, add);

Le macchine moderne sono chiamate **restartable machines** ovvero fanno ripartire il processore dallo stato in cui si trovava prima dell'eccezione. Quando una exception arriva al processore deve fermare l'IF, fermare la scrittura della pipeline e riuscire a tornare dalla procedura da dove è stata chiamata l'exception.

Example 2.1 – Interrupt protocol in 80x86

Quando la CPU rileva un interrupt, legge il tipo di interrupt dal bus, salva lo stato del processore

Example 2.2 – Interruttp protocol in ARM

La CPU salva lo Status Register, il PC ed i registri nello stack, aggiorna i flag, link register e PC e salta al valore dell'exception.

Le eccezioni possono essere gestite in modo **preciso** o in modo **impreciso**:

- preciso: quando arriva un'interruzione, tutte le istruzioni che si trovano all'interno della pipeline devono essere completate e tutte quelle dopo devono essere rimandate, gestire questo tipo di istruzioni è molto oneroso;
- impreciso: un esempio di eccezioni imprecise:

```

1 div.d f0, f1, f2
2 sub.d f12, f12, f13

```

se sub.d causa un'eccezione allora viene detta imprecisa, perché un'istruzione precedente (div.d) si trova ancora nella pipeline. Per risolvere questo problema ci sono diverse scelte:

- forzare l'unità di FP a non schedulare nuove istruzioni se pensa che una corrente possa causare un'eccezione;

- bufferizzare il risultato finché tutte le istruzioni precedenti non siano terminate;
- implementare una soluzione precisa solo per una unità (tipo FP);

Nel MIPS le possibili exception sono:

- IF: page fault, accesso a memoria protetta;
- ID: opcode illegale;
- EX: exception aritmetiche;
- MEM: stesse della IF;
- WB: nessuna;

Se due exception arrivano nello stesso momento si può creare un flag di status associato ad ogni istruzione, guardando se l'istruzione può causare un'eccezione o meno, quando l'istruzione termina l'exception viene scatenata, così si crea un coda evitando exception simultanee, infatti ogni exception può essere scatenata solo al termine di ogni istruzione.

2.4 Instruction Level Parallelism

I processori cercano di sfruttare al massimo l'ILP, ovvero cercare di rischedulare le istruzioni in modo da evitare hazard il più possibile. L'ILP può essere:

- **dinamico**: gestito dall'hardware;
- **statico**: gestito a livello software, ovvero dal compilatore;

Soltanamente questi due approcci possono essere combinati.

Il primo tipo di ILP è il **basic block**, dove si sceglie un blocco di istruzioni e si cerca di rischedularle per cercare di eliminare gli hazard rispettando le dipendenze, questo blocco deve soddisfare due condizioni:

- nessun branch può entrare nel blocco;
- nessun branch può uscire dal blocco;

Il motivo è che se queste due condizioni fossero possibili il codice perderebbe consistenza.

Un altro modo di aumentare il parallelismo è il **loop-level parallelism**, si cerca di fare un unrolling di un for loop (quando possibile), questo viene fatto per ridurre l'overhead causato dalle istruzioni di controllo.

```
for (i=0;i<N;i++)          for (i=0;i<N;i=i+4 )  
{  
    x[i] = x[i]+ y[i];      x[i] = x[i]+ y[i];  
}  
    x[i+1] = x[i+1]+ y[i+1];  
    x[i+2] = x[i+2]+ y[i+2];  
    x[i+3] = x[i+3]+ y[i+3];  
}
```

Figure 6: Loop Unrolling

Il problema con questo approccio è che si aumenta la dimensione del codice.

3 Chache Memories

Le cache volocizzano l'accesso al memoria secondaria che è il collo di bottiglia dell'intero sistema. Si è creata un gerarchia di memorie molto più veloci quanto più vicine si trovano al processore.

- reigistri: 500 bytes, 500ps;
- L1: 64 KB, 2ns;
- L2: 256 KB, 10-20ns;
- Memoria primaria: 512 MB, 50-100ns;
- Memoria secondaria flash: 8 GB, 50 μ s;

La cache funzionano grazie ai principi di località:

- temporale: in un tempo $t_0 + \Delta t$ dal momento in cui ho letto un elemento, è probabile che il dato venga o l'istruzione venga riusato;
- spaziale: in un spazio $x + \Delta x$ vicino all'elemento letto, è probabile che gli elementi vicini vengano letti;

Theorem 3.1 – Cache Performance

- h: cache ratio;
- C: cache access time;
- M: memory access time;

Media del tempo di accesso:

$$t_{ave} = h * C + (1 - h) * M$$

Valori soliti per h sono 0.9.

3.1 Organizzazione della cache

Soltamente la cache è formata da una **parte di controllo** contenente il **cache controller** che controlla se accedendo alla cache è stato fatto un hit o un miss e in caso recupera la porzione di memoria, ed una **parte di dati** che contiene le **cache line** fatte da:

- validity bit: il bit ci dice se la riga è valida o meno;

- tag: identifica il blocco di memoria presente nella riga;
- data array: contiene i dati presi dalla memoria;

A partire dall'indirizzo la cache si calcola un nuovo indirizzo di accesso alle righe, formato da:

- tag: identifica il blocco di memoria (bit dell'indirizzo - bit index - bit offset);
- index: riga della cache;
- offset: byte offset all'interno della riga;

Per regolare l'accesso alla cache il controllore identifica la riga attraverso l'index e comparando i due tag decide se è un hit o un miss, se è un hit ed il validity bit è a 1, allora attraverso l'offset viene prelevato il dato.

La cache si trovano tra il bus ed il processore, per evitare conflitti di utilizzo con periferiche esterne o DMA.

Le cache moderne più vicine al processore sono separate in **Instruction-Cache** e **Data-cache**, per evitare la lettura contemporanea di istruzioni e dati (structural hazard).

3.2 Mappatura

I tipi di mappatura (**associativity models**) sono:

- **direct mapped**: la posizione nella riga è uguale a: $\#block_memory \bmod \#cache_block$;
- **set associative**: la cache viene partizionata in set di righe (i blocchi hanno tutti la stessa lunghezza, tipicamente 2 o 4), la posizione è determinata da: $\#memory_block \bmod \#sets$, quando un altro blocco viene assegnato ad un set viene rimossa la riga meno utilizzata;
- **fully associative**: ogni blocco di memoria può essere salvato in qualsiasi riga della cache, questo ha come malus la perdita del campo index e l'indirizzo del blocco viene salvato per intero;

Algoritmi di rimpiazzamento Gli algoritmi usati per decidere quale riga rimpiazzare sono:

- LRU (last recently used): il più usato;
- FIFO: il meno caro in termini di prestazioni;
- LFU (least frequently used): teorico, il più efficace;
- random: semplice ed efficace;

3.3 Update della Memoria

Quando un'operazione di scrittura è fatta sulla cache deve anche essere propagata sulla memoria, le due possibili soluzioni a questo problema sono:

- **write back**: per ogni riga della cache è introdotto un flag detto **dirty bit**, che indica quando i dati all'interno sono cambiati;
- **write through**: ogni volta che la CPU effettua un'operazione di scrittura, i dati vengono scritti sia in cache sia in memoria, questa è la soluzione più usata per due motivi:
 - le operazioni di scrittura sono meno frequenti di quelle di lettura, quindi ci si può permettere un po' di overhead;
 - in questo modo si risolvono tutti i problemi relativi alla gestione di scrittura in concorrenza, senza implementare altro hardware per la gestione di tale problematica;

;

4 Branch Prediction

Per effettuare delle predizioni esistono due tipi di approcci: prediction statici e prediction dinamici. Un esempio prediction statico è prendere tutti i salti come presi, oppure facciamo un filtro su quali tipi di branch prendere come presi (prendere i salti all'indietro come sempre presi).

Per avere delle predizioni più accurate è usare un branch prediction dinamico (speculazione). I metodi di predizione sono:

- branch history table;

Branch History Table Il BHT ha una memoria in cui sono contenute le informazioni relative ai salti. Si accede a questa tabella quando nella fase di fetch si prende un salto, si guarda l'informazione relativa al salto e si legge la predizione del salto.

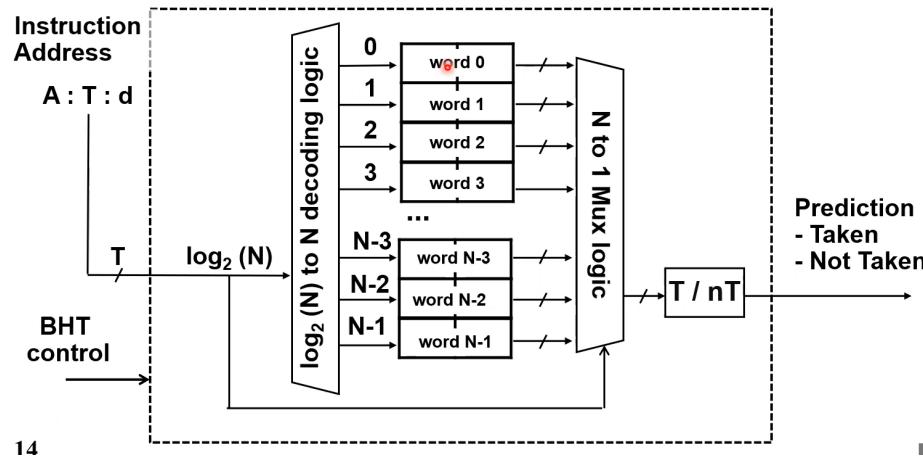


Figure 7: Bht Implementation

Solitamente il valore che indica se il branch deve essere preso o meno solitamente è rappresentato da due bit.

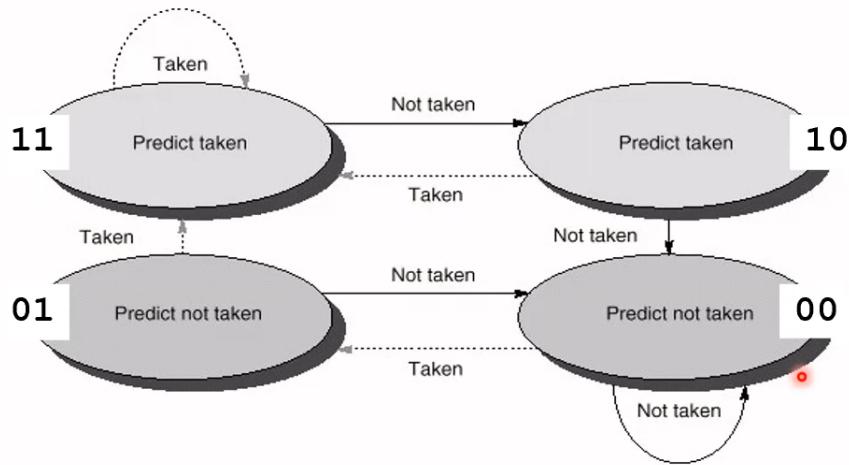


Figure 8: Two Bits Prediction Scheme

Questi tipi di predittori sono stati evoluti, usando dei contatori (**n-bit saturating counter**), quando un salto viene preso il contatore aumenta altrimenti diminuisce, se il bit più significativo è settato ad 1 allora il branch viene preso, questo tipo di contatore di saturazione è molto facile da implementare.

Altri tipi di predittori sono i (**m, n**) predictors guardano agli m-salti precedenti, date le 2^m possibili salti ognuno ha un predittore da n bit.

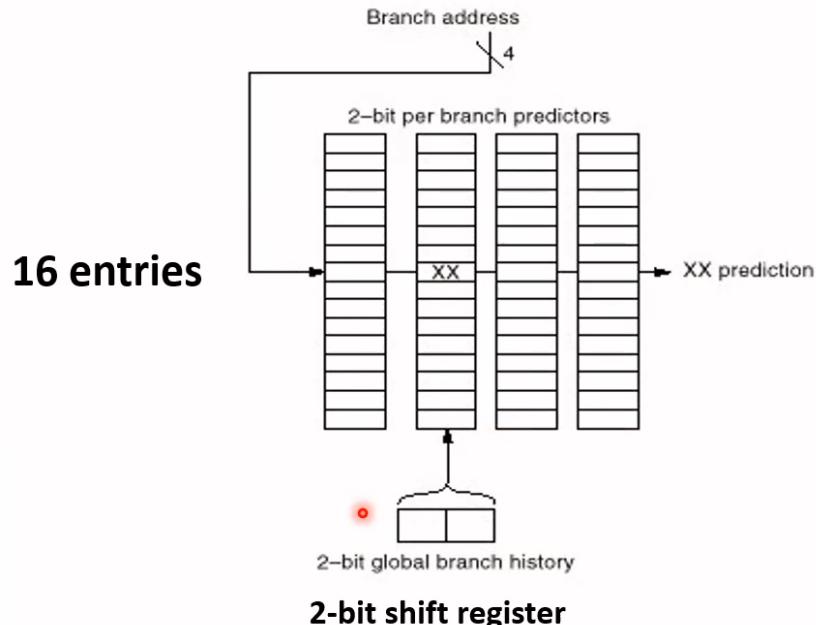


Figure 9: (2,2) Predictor

Questi tipi di predittori non danno informazioni su dove saltare.

Un altro predittore è il **Branch Target Buffer** (usato dal MIPS), questo tipo di predettore ha a disposizione dei registri in cui sono contenuti gli indirizzi di salto, questo struttura contiene l'indirizzo del salto attuale, viene interrogata durante la fase di fetch e sarà poi disponibile al secondo colpo di clock, nel colpo di clock successivo l'indirizzo viene letto, se l'istruzione è un branch e l'istruzione corrente si trova nella tabella, allora il salto deve essere preso, per ogni linea si deve salvare 30bit per indirizzo (vengono tagliati gli ultimi 2 essendo degli indirizzi). Il problema con questo predittore è che è molto costoso, infatti si deve avere un numero di entry non piccolo che sono onerose in termini di memoria.

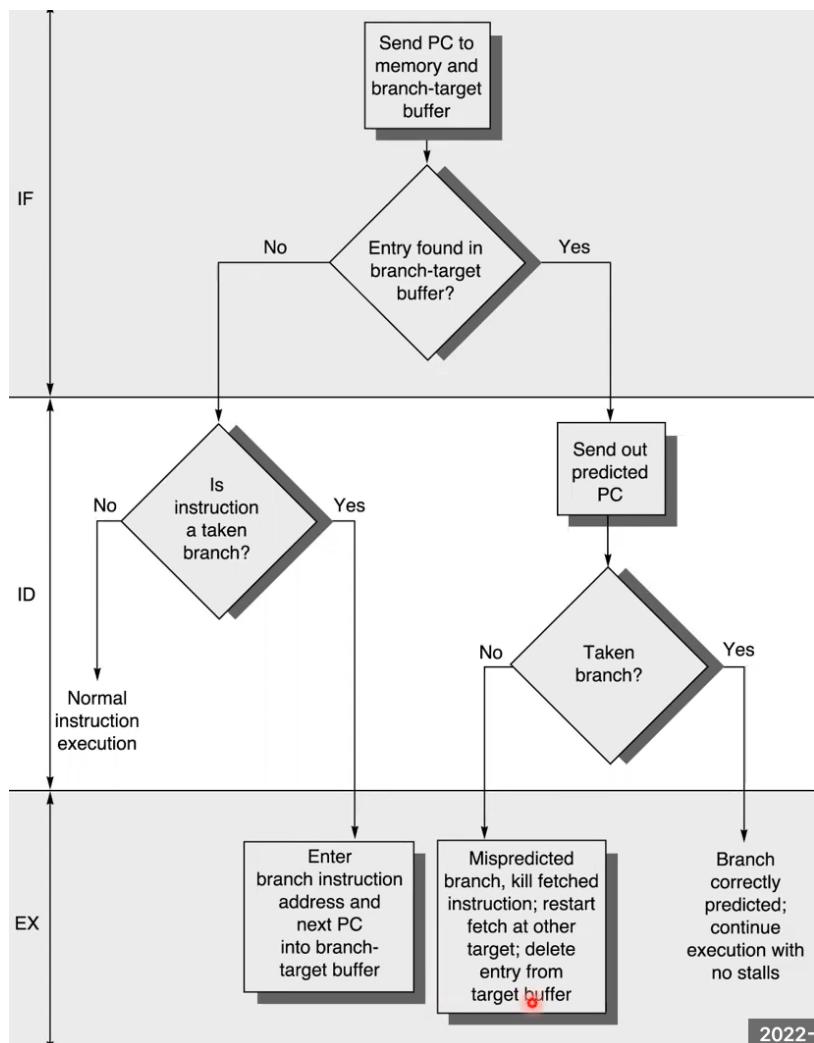


Figure 10: Comportamento Branch Target Buffer

Esistono anche due tipi di predittori chiamati **gselect** e **gshare**.

Example 4.1 – BHT

5 Schedulazione Dinamica

6 Pipelining

Esistono delle tecniche per portare le CPI sotto il numero 1, questo è possibile farlo attraverso il fetch di più istruzioni. Esistono due tipi di processori che possono farlo:

- **superscalari**: hanno uno scheduling statico o dinamico;
- **very long instruction word (VLIW)**;

6.1 Static Scheduling

Per implementare un processore superscalare viene creato un **issue packet**, dove viene fatto il fetch di due (o più) istruzioni contemporaneamente se in modo statico: una è load, store, branch o operazioni ALU e l'altra è una qualsiasi operazione FP, queste due istruzioni vengono chimate issue packet.

Instruction type	Pipe stages					
	IF	ID	EX	MEM	WB	
Integer instruction	IF	ID	EX	MEM	WB	
FP instruction	IF	ID	EX	EX	WB	
Integer instruction	IF	ID	EX	MEM	WB	
FP instruction	IF	ID	EX	EX	WB	
Integer instruction		IF	ID	EX	MEM	WB
FP instruction		IF	ID	EX	EX	WB
Integer instruction			IF	ID	EX	MEM
FP instruction			IF	ID	EX	EX

Figure 11: Issue Packet Example

In un caso ideale si eseguiranno 0.5 istruzioni per colpo di clock. L'issue packet conterrà sempre una sola istruzione di branch. In questo caso l'unità FP sarà pipelined o indipendente, in qualche modo è possibile ottere degli hazard, come: fare un un istruzione di load e subito dopo un'istruzione di write, oppure dei possibili RAW (read after write).

Nei sistemi moderni si utilizza una strategia statica in alcuni processori embedded con MIPS.

6.2 Dynamic Scheduling

Si può ottenere una schedulazione dinamica Si ha un Common Data Bus (sistema di forwarding) comune, quindi viene duplicato. Supponiamo di avere le seguenti istruzioni:

```

1 loop:
2   ls r2, 0(r1)
3   daddiu r2, r2, 1
4   sd r2, 0(r1)
5   daddiu r1, r1, 4
6   bne r2, r3, loop

```

Supponiamo che:

- non ci sia speculazione:

Iteration number	Instructions	Issues at clock cycle number	Executes at clock cycle number	Memory access at clock cycle number	Write CDB at clock cycle number	Comment
1	LD R2,0(R1)	1	2	3	4	First issue
1	DADDIU R2,R2,#1	1	5		6	Wait for LW
1	SD R2,0(R1)	2	3	7		Wait for DADDIU
1	DADDIU R1,R1,#4	2	3		4	Execute directly
1	BNE R2,R3,LOOP	3	7			Wait for DADDIU
2	LD R2,0(R1)	4	8	9	10	Wait for BNE
2	DADDIU R2,R2,#1	4	11		12	Wait for LW
2	SD R2,0(R1)	5	9	13		Wait for DADDIU
2	DADDIU R1,R1,#4	5	8		9	Wait for BNE
2	BNE R2,R3,LOOP	6	13			Wait for DADDIU
3	LD R2,0(R1)	7	14	15	16	Wait for BNE
3	DADDIU R2,R2,#1	7	17		18	Wait for LW
3	SD R2,0(R1)	8	15	19		Wait for DADDIU
3	DADDIU R1,R1,#4	8	14		15	Wait for BNE
3	BNZ R2,R3,LOOP	9	19			Wait for DADDIU

Figure 12: Dynamic Scheduling Senza Speculazione

- con speculazione:

Iteration number	Instructions	Issues at clock number	Executes at clock number	Read access at clock number	Write CDB at clock number	Commits at clock number	Comment
1	LD R2,0(R1)	1	2	3	4	5	First issue
1	DADDIU R2,R2,#1	1	5		6	7	Wait for LW
1	SD R2,0(R1)	2	3			7	Wait for DADDIU
1	DADDIU R1,R1,#4	2	3		4	8	Commit in order
1	BNE R2,R3,LOOP	3	7			8	Wait for DADDIU
2	LD R2,0(R1)	4	5	6	7	9	No execute delay
2	DADDIU R2,R2,#1	4	8		9	10	Wait for LW
2	SD R2,0(R1)	5	6			10	Wait for DADDIU
2	DADDIU R1,R1,#4	5	6		7	11	Commit in order
2	BNE R2,R3,LOOP	6	10			11	Wait for DADDIU
3	LD R2,0(R1)	7	8	9	10	12	Earliest possible
3	DADDIU R2,R2,#1	7	11		12	13	Wait for LW
3	SD R2,0(R1)	8	9			13	Wait for DADDIU
3	DADDIU R1,R1,#4	8	9		10	14	Executes earlier
3	BNE R2,R3,LOOP	9	13			14	Wait for DADDIU

Figure 13: Dynamic Scheduling Con Speculazione

7 ARM

Nei lab verrà usato il **Coretex M3** che fa parte di ARM9. ARM sviluppa architetture per tre categorie:

- architetture embedded (SoC: system on a chip);
- sistemi operativi;
- compilazione - supporto - debug tools

Uno dei moduli è il **Memory BIST**: questi parti del SoC servono per il collaudo del sistema, infatti durante la produzione sul silicio le memorie potrebbero avere dei problemi fisici (quando si scrive in un registro il valore salvato non è corretto o potrebbe intaccare quello dei registri vicini), infatti questi moduli non interagiscono direttamente con la logica del processore.

In un dispositivo ARM compliant la prima parte di codice che viene eseguita è il bootloader, per poi far partire il sistema operativo. Guadando la chain, si parte dal codice assembly ARM, e dal codice C/C++, questi verranno compilati da un CROSS COMPILER, il risultato finale sarà un codice compilato con un ISA per ARM. Il risultato sarà un eseguibile, con questo eseguibile sarà possibile usarlo in un simulatore di una scheda oppure caricarlo direttamente sulla scheda.

ARM cortex-M3 contiene 16 registri, tra cui il 15 è il PC. Il **barrel shifter** si avrà la possibilità di creare valori immediati fino a 32 bit, solo se il valore contiene in qualche modo un replicazione all'interno di sé stesso, inoltre ci permette di fare uno shift automatico del secondo registro su cui stiamo operando salvando un'istruzione.

Esistono alcuni casi particolari:

- istruzioni **registro-registro**: dati i due registri Rn ed Rm, il primo entra direttamente nell'ALU, il secondo può essere modificato, al termine dell'operazione il risultato viene riportato in un registro;
- ...

I vari moduli sono:

- nested vectored interrupt controller;
- wake up interrupt controller interface: permette di mandare il dispositivo in sleep;
- memoria: interface code, memory protection unit;
- SRAM e interfaccie periferiche: possibilità di parlare con i timer;
- debug access port: permette di effettuare il debug anche attraverso il codice;

- ITM trace, ETM trace, data watchpoint, flash patch: moduli che permettono di fare il debug;

La pipeline è formata da: ...

Le istruzioni di branch comportano una perdita di due cicli. Quando si legge dalla memoria si perde un colpo di clock.

7.1 Register

Non tutti i registri sono general purpose, infatti:

- 15: PC;
- 14: link register;
- 13: stack pointer: l'sp ha due versini;

L'instruction set utilizzato sarà il **thumb 2**, che prende le caratteristiche positive del thumb (a 16 bit) e dell'ARM, in thumb 2 esistono istruzioni a 16 e 32 bit, in questo modo i programmi sono più piccoli e le prestazioni sono simili all'ARM.

...

Ogni istruzione può essere eseguita in modo condizionato. L'architettura load e store si può utilizzare un formato di tre operandi.

7.2 Instruction Set

In questa architettura il PC è immagazzinato in r15, questo registro è modificabile, modificare il PC è importante quando ad esempio si ritorna da un subroutine, il registro r14 link register salva il valore di memoria di ritorno che andrà copiato nel PC. Il registro r13 è lo stack pointer, che permette di avere il valore dell'ultimo oggetto inserito, questo registro ha un valore iniziale, al termine del programma il valore dello stack pointer varrà ricaricato con il suo valore iniziale che si trova all'interno della **interrupt vector table**, la posizione dello stack precedente si trova nell'index 0. Esiste anche il program status register è deviso in 3 registri, a seconda dell'operazione che si sta facendo si potrebbe accedere solo ad un parte del registro, vi sono dei flag delle operazioni aritmetiche, questo registro è diviso in:

- application program status register (apsr);
- execution program status register (epsr);
- interrupt porgram status register (ipsr);

I flag sono:

- Z zero;

- N negative;
- C carry;
- V overflow;

L'esecuzione condizionata delle istruzioni non vale solo per i salti, ma per ogni istruzione, nei 32 bit delle istruzioni ARM (comprese nella versione thumb 2), si hanno 4 bit che indicano il tipo di condizione che determina se l'istruzione viene eseguita oppure no, questo viene fatto leggendo i flag o secondo certe condizioni. Se si vuole che un'istruzione modifichi un flag dobbiamo chiederlo esplicitamente, aggiungendo un **S** alla fine dell'istruzione.

v5.36 di Keil

Quando si organizza il codice si dovranno avere delle sezioni di codice. Nella memoria di codice readonly (quello che va in ROM) si possono definire delle costanti. Per salvare delle costanti in memoria esistono delle direttive per definire un tipo di dato (le direttive iniziano con DC**).

```

1 my_matrix    DCD  1, 2, 3, 4
2             DCD  3, 4, 5, 6
3             DCD  7, 8, 9, 1
4             DCD  8, 9, 6, 3
5
6 my_const     DCD  10

```

Come ad esempio il salvataggio di una matrice e di una costante con dati.

Un'altra direttiva molto importante è quella di LTORG, ovvero dei **literal pool**, che permette al compilatore di accedere direttamente ad alcune costanti che non sono accessibili direttamente, ad esempio se un valore immediato è troppo grande (quando si fa un'operazione come LDR r1, =0x12345678) viene salvato in questa zone dalla quale si può accedere.

Una volta fatte delle operazioni si possono valer salvare le variabili in memoria RAM, per fare questo si utilizza direttiva AREA, questa direttiva perende dei parametri:

- —*nome della sezione*—;
- DATA / CODE: definisce se la zona è e di codice o di dati;
- READONLY / READWRITE: definisce se si può leggere o scrivere;
- align=x: definisce l'allineamento dei dati ...;

Per caricare un registro in memoria si utilizza un valore **pre-indicizzamento**: **load/store Rd, [Rt, <offset>]!**, se si usa ! il valore del registro viene incrementato prima di essere letto e quindi viene salvato se non si mette il ! il valore del registro viene incrementato dopo esser stato letto. L'offset può essere anche un valore salvato

in un registro. Oppure usando si può usare un valore **pre-indicizzato**: `load/store Rd, [Rt], <offset>`

La direttiva **EQU** ci permette di definire delle macro, avvero associare un valore ad un nome, esiste anche la **RN** che chi permette di definire un alias per un registro.

Esempio di moltiplicazione di matrice, ogni elemento va moltiplicato per una costante e poi salvato:

```

1      AREA    MY_DATA , DATA , READWRITE , align=3
2 NEW_MATRIX     SPACE      5 * 4 * 4
3
4
5      AREA      | .text | , CODE , READONLY
6
7
8 ROW        EQU      5
9 COL        EQU      4
10
11 ELEMENTS    EQU      ROW * COL
12
13 matrix      RN      0
14 new_matrix   RN      1
15 i           RN      2
16 j           RN      3
17 const       RN      4
18
19
20 ; Reset Handler
21
22 Reset_Handler    PROC
23     EXPORT    Reset_Handler          [WEAK]
24
25
26     LDR matrix, =MATRIX
27     LDR new_matrix, =NEW_MATRIX
28     LDR const, =CONSTANT
29     LDR const, [const]
30     MOV i, #0
31     MOV j, #0
32
33
34 ciclo_riga    MOV j, #0
35
36 ciclo_colonna MOV r6, #COL
37     MUL r6, i, r6
38     ADD r6, r6, j
39     LDR r7, [matrix, r6, LSL #2]
40
41     MUL r7, r7, const
42     STR r7, [new_matrix, r6, LSL #2]
43

```

```

44    ADD j, j, #1
45    CMP j, #COL
46    BNE ciclo_colonna
47
48    ADD i, i, #1
49    CMP i, #ROW
50    BNE ciclo_riga
51
52    ENDP
53
54 MATRIX      DCD 1, 2, 3, 4
55     DCD 3, 4, 5, 6
56     DCD 7, 8, 9, 1
57     DCD 8, 9, 6, 3
58
59 CONSTANT     DCD 10
60
61     LTORG

```

7.3 Stack

Nel thumb2 lo stack è discendente, infatto quando si fa un push di un dato il valore dello stack decresce. Esistono anche gli stack ascendenti, entrambi si differenziano per essere full o empty, che differenziano il modo in cui lo SP si muove.

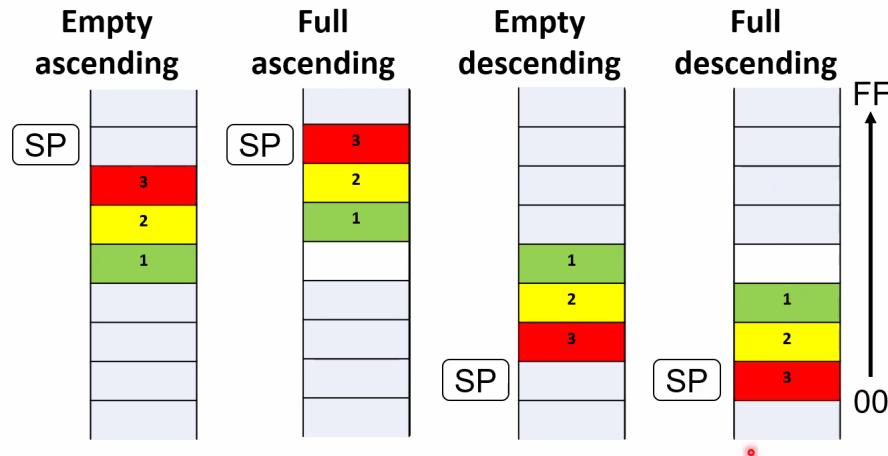


Figure 14: Tipi Di Stack

Per inserire dei dati nello stack si utilizzano.

```
1 LDM {xx} / STM {xx} <Rn>!, <regList>
```

Dovremmo fornire la lista dei registri, ad esempio r0-r4, r10, LR, il compilatore ordina tutto e poi vengono salvati. Il modo in cui avviene è salvano il registro più

basso nella posizione più bassa dello stack. Lo SP non si può aggiungere nella lista, mentre il PC ed il LR sono mutuamente esclusivi.

I modi di indirizzamento sono IA (increment after, di default), DB (decrement before). Esistono delle istruzioni che implementano la PUSH e la POP nel caso di full descending o emp DESCENDING. Nel nostro caso: PUSH <regList> = STMDB SP!, <regList>; POP <regList> = LDMIA SP!, <regList>.

Tutto questo serve per implementare delle **subroutine**, esistono delle istruzioni che mi permettono di saltare e linkare (BL <label>, BLX <Rn>). Per determinare che un segmento di codice è una subroutine si utilizzano le keyword PROC/FUNCTION, ENDP/ENDFUNC. Esiste il problema del passaggio dei parametri, esistono 3 approcci:

- dai registri;
- by reference;
- dallo stack;

Esistono comunque degli standard di chiamata, il motivo è che potremmo chiamare delle subroutine da codice C.

Esempi di codice che fa la sottrazione ed il valore assoluto passando i 3 tipi di argomenti:

```

1 Reset_Handler
2     PROC
3
4         ; registri
5         mov r0, #42
6         mov r1, #37
7
8         BL sub1
9
10
11        ; by reference
12        mov r0, #42
13        mov r1, #37
14        LDR r3, =mySpace
15        STAMIA r3, {r0, r1}
16        BL sub2
17        LDR r2, [r3]
18
19
20        ; stack
21        mov r0, #42
22        mov r1, #37
23
24        PUSH {r0, r1, r2} ;r2 = valore di ritorno
25        BL sub3
26        POP {r0, r1, r2}
27

```

```
28     ENDP  
29  
30 sub1  
31     PROC  
32     PUSH {lr}  
33  
34     CMP r0, r1  
35     SUBGE r2, r0, r1  
36     SUBLO r2, r1, r0  
37  
38     POP {pc}  
39  
40     ENDP  
41  
42 sub2  
43     PROC  
44     PUSH {r2, r4, r5, LR}  
45     LDMIA r3, {r4, r5}  
46     CMP r4, r5  
47     SUBHS r2, r4, r5  
48     SUBLO r2, r5, r4  
49     STR r2, [r3]  
50  
51     POP {r2, r4, r5, PC}  
52     ENDP  
53  
54 sub 3  
55     PROC  
56     PUSH {r4, r5, r6, lr}  
57     LDR r4, [sp, #16]  
58     LDR r5, [sp, #20]  
59  
60     CMP r4, r5  
61     SUBGE r6, r4, r5  
62     SUBLO r6, r5, r4  
63  
64     STR r6, [sp, #24]  
65  
66     POP {r4, r5, r6, pc}  
67     ENDP
```

8 Application Binary Interface

Un ABI sono un insieme di standard per definire la comunicazione tra due moduli di programmi binari, nel nostro caso quando in C deve essere chiamata una procedura assembler, vengono definiti come dovranno essere passati i parametri. L'interesse sarà relativo alla chiamate a procedure e alla gestione delle eccezioni. Un esempio di ABI per i nomi dei registri:

Register	Synonym	Special	Role in the procedure call standard
r15		PC	The Program Counter.
r14		LR	The Link Register.
r13		SP	The Stack Pointer.
r12		IP	The Intra-Procedure-call scratch register.
r11	v8	•	Variable-register 8.
r10	v7		Variable-register 7.
r9		v6 SB TR	Platform register. The meaning of this register is defined by the platform standard.
r8	v5		Variable-register 5.
r7	v4		Variable register 4.
r6	v3		Variable register 3.
r5	v2		Variable register 2.
r4	v1		Variable register 1.
r3	a4		Argument / scratch register 4.
r2	a3		Argument / scratch register 3.
r1	a2		Argument / result / scratch register 2.
r0	a1		Argument / result / scratch register 1.

Figure 15: Register Abi

8.1 Supervisor Calls (SVC)

Sono i Software Interrupt. Si dividono in Exception per le interruzioni software e Interrupt che sono le interruzioni hardware. Nell'architettura ARM si possono per sollevare un interrupt si utilizza **SVC ;id;**, dove l'id è l'identificativo dell'interrupt.

La **Interrupt Vector Table** è una lista che specifica l'handler delle procedure che gestisce l'eccezione, fa eccezione solo la prima riga che è il valore iniziale dello stack pointer. Ogni riga ha uno spazio di 4 byte.

Exception Type	Index	Vector Address
(Top of Stack)	0	0x00000000
Reset	1	0x00000004
NMI	2	0x00000008
Hard fault	3	0x0000000C
Memory management fault	4	0x00000010
Bus fault	5	0x00000014
Usage fault	6	0x00000018
SVcall	11	0x0000002C
Debug monitor	12	0x00000030
PendSV	14	0x00000038
SysTick	15	0x0000003C
Interrupts	≥ 16	$\geq 0x00000040$

Figure 16: Ivt

Ogni eccezione ha diverse priorità, dopo l'hard fault è possibile programmarle. Le eccezioni hanno uno stato:

- inattiva;
- attiva: un'interruzione che sta venendo servita sul processore ma non è completa;
- pending: l'eccezione sta aspettando di essere schedulata sul processore;

Quando arriva un'eccezione su un processore ARM, il processore deve saltare al suo handler, ma prima di fare ciò devono essere salvati il registro dei flag, pc, lr, r12, r3-r0, questo processo viene fatto in automatico.

La sintassi delle svc è: {label} SVC immediate, il valore dell'immediato è a 8 bit, infatti l'SVC è una istruzione del thumb a 16 bit. Dopo l'esecuzione di una SVC, oltre ad i registri salvati nello stack, il LR viene caricato con un valore (diverso da quello di ritorno) detto **EXC_RETURN**.

EXC_RETURN	Description
0xFFFFFFF1	<p>Return to Handler mode.</p> <p>Exception return gets state from the main stack.</p> <p>Execution uses MSP after return.</p>
0xFFFFFFF9	<p>Return to Thread mode.</p> <p>Exception Return get state from the main stack.</p> <p>Execution uses MSP after return.</p>
0xFFFFFFF0	<p>Return to Thread mode.</p> <p>Exception return gets state from the process stack.</p> <p>Execution uses PSP after return.</p>
All other values	Reserved.

Figure 17: Exception Return

Per leggere il valore dell'immediato si prende il valore del PC salvato nello stack, essendo che il valore viene compilato insieme all'istruzione, si può recuperare il valore leggendo l'istruzione precedente (perchè lo SP è incrementato) e facendo un BIC (bit clear) ed uno shift.

Si può utilizzare la MSR quando si è in handler mode, `MSR{cond} spec_reg, Rn.`

Le modalità di utilizzo sono:

- **thread mode:** dopo un reset o dopo un'eccezione;
- **handler mode:** quando arriva un'eccezione;

I livelli di accesso sono:

- **user level:** accesso limitato;
- **privileged level:** accesso a tutte le risorse;

Handler mode è sempre a livello privilegiato.

A seconda del valore del registro di controllo si avrà lo PSP (process stack pointer) normale o un MSP (master stack pointer) quando ci si trova in handler mode. È importante ricordare che l'esecuzione è sempre in handeler mode quando viene chiamata un'eccezione, bisogna quindi definire delle sezioni di per lo stack, ovvero un sezione per il PSP ed un per il MSP.

```

1 ; stack segment
2 StackSize    EQU 0x00000200
3             AREA STACK, NOINIT, READWRITE, ALIGN=3
4             SPACE StackSize/2
5 StackProcess SPACE StackSize/2
6 __initial_sp

```

Quando si vuole passare a thread mode ed impostare il valore del PSP, si deve:

```

1 MOV R0, #3 ; user mode
2 MSR CONTROL, R0
3 LDR SP, =StackProcess
4
5 SVC 0x10

```

L'handler andrà gestito nel seguente modo:

```

1 PUSH {r0-r12, lr}
2
3 TST lr, #2_1000
4 MSREQ r1, PSP           ; thread mode
5 LDREQ r0, [r1, #(14 + 6)*4]
6
7 MSRNE r1, MSP           ; handler mode
8 LDREQ r0, [r1, #(6)*4]
9
10 BIC r0, 0xff000000
11 LSR r0, #16
12
13 ...
14
15 POP {r0-r12, lr}
16 BX lr

```

9 ASM+C

Per usare una funzione scritta in C da ASM si usa:

```

1 Reset PROC
2     EXPORT Reset
3     IMPORT __main
4     LDR r0, =__main
5     BX r0

```

Per usare una funzione scritta in ASM da C si usa:

```

1 exter int ARM_funct(int, int, int);
2
3 int main(void)
4 {
5     int i = 0xFF, j = 2, k = 3;
6     volatile int r = 0;

```

```
7     r = ASM_funct(i, j, k);
8     return 0;
9 }
10 }
```

La funzione ASM_funct è dischiarata come:

```
1     AREA asm_functions, CODE, READONLY
2     EXPORT ASM_funct
3
4 ASM_funct
5     ; save current SP for a faster access
6     ; to parameters in the stack
7     MOV r12, sp
8     PUSH sp, {r4-r9,r10,r11,lr}
9
10    LDR r4, [r12]
11    LDR r5, [r12, #4]
12    ; prepare return value
13    MOV r0, r5
14
15    PUSH sp, {r4-r9,r10,r11,lr}
16    END
```

Se davanti ogni variabile non viene aggiunta la keyword `volatile`, il compilatore (in modalità ottimizzata) potrebbe decidere di non usare un registro perchè pensa che sia inutile.

10 Scheda

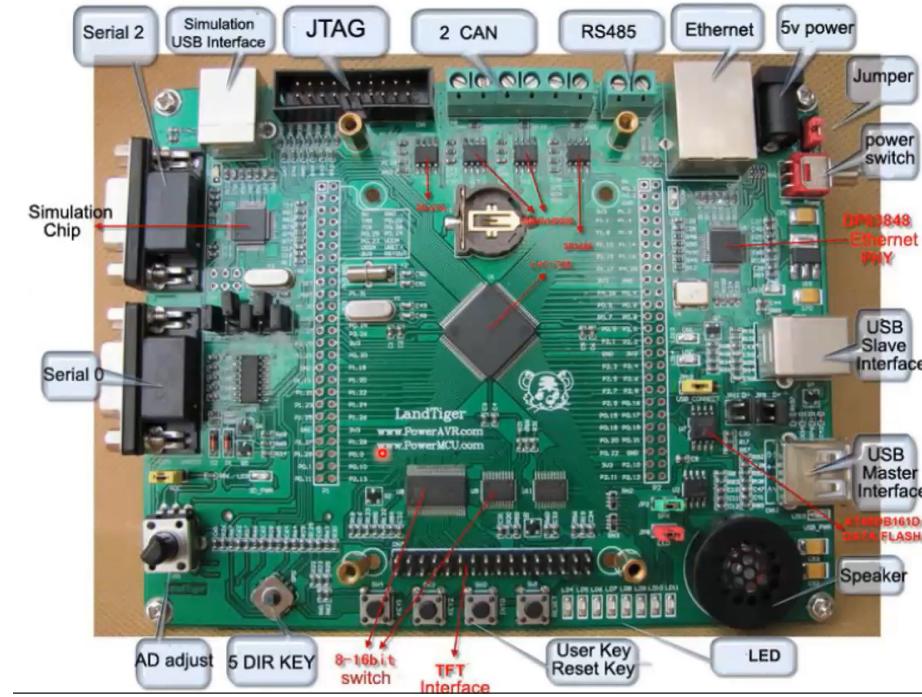


Figure 18: Landtiger

Un struttura base di configurazione di una periferica è:

```

1 PERIPHERA.h          /* prototipi */
2 lib_PERIPHERA.c      /* funzioni base */
3 IRQ_PERIPHERA.c      /* interrupt service routine */
4 funct_PERIPHERA.c    /* funzioni avanzate */

```

Le i file da includere sempre sono:

```

1 system_LPC17xx.h
2 system_LPC17xx.c
3 core_cm3.c

```

Il file `lpc17xx.c` definisce delle costanti che corrispondono alle zone di memoria dei registri di sistema. Insieme vengono definite delle strutture per poter recuperare i dati presenti in quella zona di memoria.

Table 79. Pin Connect Block Register Map

Name	Description	Access	Reset Value	Address
PINSEL0	Pin function select register 0.	R/W	0	0x4002 C000
PINSEL1	Pin function select register 1.	R/W	0	0x4002 C004
PINSEL2	Pin function select register 2.	R/W	0	0x4002 C008
PINSEL3	Pin function select register 3.	R/W	0	0x4002 C00C
PINSEL4	Pin function select register 4	R/W	0	0x4002 C010
PINSEL7	Pin function select register 7	R/W	0	0x4002 C01C
PINSEL8	Pin function select register 8	R/W	0	0x4002 C020
PINSEL9	Pin function select register 9	R/W	0	0x4002 C024
PINSEL10	Pin function select register 10	R/W	0	0x4002 C028
PINMODE0	Pin mode select register 0	R/W	0	0x4002 C040
PINMODE1	Pin mode select register 1	R/W	0	0x4002 C044
PINMODE2	Pin mode select register 2	R/W	0	0x4002 C048
PINMODE3	Pin mode select register 3.	R/W	0	0x4002 C04C
PINMODE4	Pin mode select register 4	R/W	0	0x4002 C050
PINMODE5	Pin mode select register 5	R/W	0	0x4002 C054
PINMODE6	Pin mode select register 6	R/W	0	0x4002 C058
PINMODE7	Pin mode select register 7	R/W	0	0x4002 C05C
PINMODE9	Pin mode select register 9	R/W	0	0x4002 C064
PINMODE_OD0	Open drain mode control register 0	R/W	0	0x4002 C068
PINMODE_OD1	Open drain mode control register 1	R/W	0	0x4002 C06C
PINMODE_OD2	Open drain mode control register 2	R/W	0	0x4002 C070
PINMODE_OD3	Open drain mode control register 3	R/W	0	0x4002 C074
PINMODE_OD4	Open drain mode control register 4	R/W	0	0x4002 C078
I2CPADCFG	I2C Pin Configuration register	R/W	0	0x4002 C07C

```

160 /*----- Pin Connect Blk
161 ** @brief Pin Connect Block (I
162 typedef struct
163 {
164     __IO uint32_t PINSEL0; base
165     __IO uint32_t PINSEL1; +4
166     __IO uint32_t PINSEL2; +4
167     __IO uint32_t PINSEL3; +4
168     __IO uint32_t PINSEL4; ....
169     __IO uint32_t PINSEL5;
170     __IO uint32_t PINSEL6;
171     __IO uint32_t PINSEL7;
172     __IO uint32_t PINSEL8;
173     __IO uint32_t PINSEL9;
174     __IO uint32_t PINSEL10;
175         uint32_t RESERVED[5];
176     __IO uint32_t PINMODE0;
177     __IO uint32_t PINMODE1;
178     __IO uint32_t PINMODE2;
179     __IO uint32_t PINMODE3;
180     __IO uint32_t PINMODE4;
181     __IO uint32_t PINMODE5;
182     __IO uint32_t PINMODE6;
183     __IO uint32_t PINMODE7;
184     __IO uint32_t PINMODE8;
185     __IO uint32_t PINMODE9;
186     __IO uint32_t PINMODE_OD0;
187     __IO uint32_t PINMODE_OD1;
188     __IO uint32_t PINMODE_OD2;
189     __IO uint32_t PINMODE_OD3;
190     __IO uint32_t PINMODE_OD4;
191     __IO uint32_t I2CPADCFG;
192 } LPC_PINCON_TypeDef;

```

Figure 19: Pinsel Typedef

10.1 Interrupt

Per configurare gli **switch** (bottoni) in modo far scatenare un eccezione si ha bisogno di settare i bit della porta corrispondente a 01, per abilitare l'eccezione EINT0, si fa:

```

1 void buttonInit(void) {
2     // Porta relativa all'abilatazione dell'eccezione dello switch
3     /* port P2.10 enabled with EINT */
4     LPC_PINCON->PINSEL4 |= (1 << 20);
5     // Registro gpio della direzione, definisce se la porta deve
6     // essere in input o in output
7     /* port P2.10 defined as input */
8     LPC_GPIO2->FIODIR     &= ~(1 << 10);
9
10    // ...
11
12    // Interrupt sensitivo al fronte di salita
13    LPC_SC->EXTMODE = 0x7;
14
15    // Abilitazione delle interruzioni e delle priorit\`a
16    NVIC_EnableIRQ(EINT0 IRQn);
17    NVIC_SetPriority(EINT2 IRQn, 1);
18
19    // ...
}

```

Un esempio di handler sarà:

```

1 void EINT0_IRQHandler (void)
2 {

```

```

3   LED_On(0);
4   /* clear pending interrupt          */
5   LPC_SC->EXTINT &= (1 << 0);
6 }
```

Gli eventi che si scatenano possono essere periodici o asincroni. I tipi di interruzione possono essere:

Si possono gestire le interruzioni in modo:

- **polling**: gestito dal software, ovvero si usa un ciclo infinito per controllare periodicamente se dei registri relativi alle periferiche vengono modificati, in caso di modifica vengono gestite di conseguenza;
- **interrupt**: si devono configurare i periferici in modo che quando avviene un cambiamento, viene scatenata un'interruzione, la risposta a questi eventi saranno gestite dalle loro priorità, per gestirle si usa la Nested Interrupt Vector Table;

Quando si vuole configurare un sistema con le interruzioni vanno inizializzate diverse istruzioni, come la configuraione dei periferici o dei valori iniziali da assegnare a dei registri, decidere la priorità ed i periferici che possono interrompere, in oltre va fatto un **acknowledge** che un'interruzione è avvenuta, questo consiste nel scrivere un valore in un registro (EXTINT) per non far risultare più l'interruzione come pending.

L'**interrupt controller**, che si trova all'interno del microcontrollore (solitamente), gestisce i piedini delle interruzioni e decide le priorità dei vari tipi. Il cortex può gestire fino a 35 possibili interrupt.

Registri utili:

- per sapere se un interrupt è attivo esiste:

```
1 NVIC->IABR[0]
```

questo registro contiene il valore (attivo/non attivo) dei primi 32 interrupt;

Table 60. Interrupt Active Bit Register 0 (IABR0 - 0xE000 E300)

Bit	Name	Function
0	IAB_WDT	Watchdog Timer Interrupt Active. Read: 0 indicates that the interrupt is not active, 1 indicates that the interrupt is active.
1	IAB_TIMER0	Timer 0 Interrupt Active. See functional description for bit 0.
2	IAB_TIMER1	Timer 1. Interrupt Active. See functional description for bit 0.
3	IAB_TIMER2	Timer 2 Interrupt Active. See functional description for bit 0.
4	IAB_TIMER3	Timer 3 Interrupt Active. See functional description for bit 0.
5	IAB_UART0	UART0 Interrupt Active. See functional description for bit 0.
6	IAB_UART1	UART1 Interrupt Active. See functional description for bit 0.
7	IAB_UART2	UART2 Interrupt Active. See functional description for bit 0.
8	IAB_UART3	UART3 Interrupt Active. See functional description for bit 0.
9	IAB_PWM	PWM1 Interrupt Active. See functional description for bit 0.
10	IAB_I2C0	I ² C0 Interrupt Active. See functional description for bit 0.
11	IAB_I2C1	I ² C1 Interrupt Active. See functional description for bit 0.
12	IAB_I2C2	I ² C2 Interrupt Active. See functional description for bit 0.
13	IAB_SPI	SPI Interrupt Active. See functional description for bit 0.
14	IAB_SSP0	SSP0 Interrupt Active. See functional description for bit 0.
15	IAB_SSP1	SSP1 Interrupt Active. See functional description for bit 0.
16	IAB_PLL0	PLL0 (Main PLL) Interrupt Active. See functional description for bit 0.
17	IAB_RTC	Real Time Clock (RTC) Interrupt Active. See functional description for bit 0.
18	IAB_EINT0	External Interrupt 0 Interrupt Active. See functional description for bit 0.
19	IAB_EINT1	External Interrupt 1 Interrupt Active. See functional description for bit 0.
20	IAB_EINT2	External Interrupt 2 Interrupt Active. See functional description for bit 0.
21	IAB_EINT3	External Interrupt 3 Interrupt Active. See functional description for bit 0.

Figure 20: Iabr

• ...

10.2 System Timing

Alcuni sistemi (come il cortex), ci permette di utilizzare dei temporizzatori, o catturare l'intervallo di tempo tra due eventi.

Se si vuole che i timer contino per un certo periodo allora sfruttiamo la formula: $time[s] = count \cdot colckPeriod[s]$ (la costante che il simulatore vuole in input è il *count*), ogni volta che passa questo periodo viene scatenata un eccezione.

I timer a disposizione nel sistema sono 4, 2 sono attivi di default mentre gli altri 2 si possono accendere attraverso il PCONP. Per assegnare un timer count, si incorre nel problema che il valore potrebbe essere più grande della grandezza di un registro, per risolvere questo problema l'lpcl768 funziona con un **prescaler**, ovvero usa un valore a 64 bit che richiede due registri. I **match register** sono dei registri particolari che matchano il timer counter, ogni qual volta vengono matchati si possono fare varie operazioni, come lanciare un eccezione, modificare il valore dei match register o del timer, o controllare dei piedini.

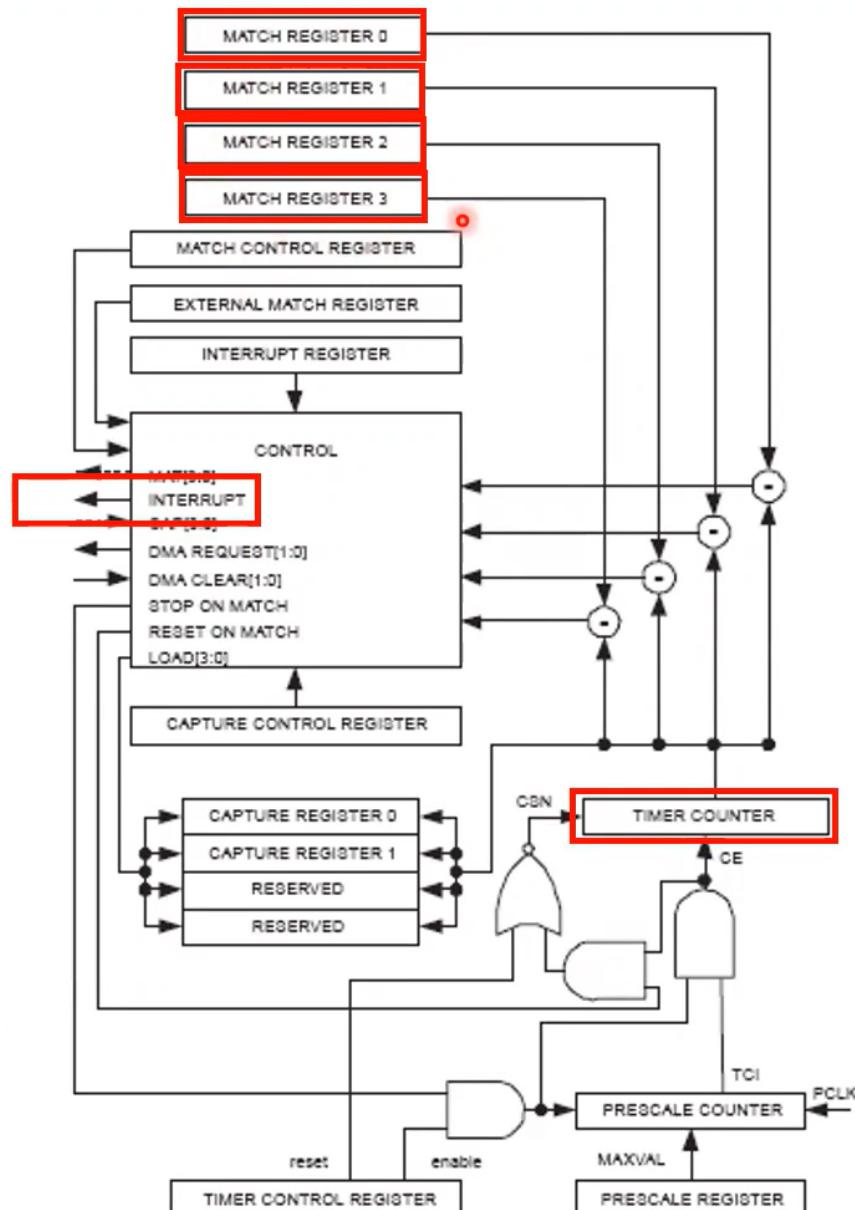


Figure 21: Match Registers

La libreria dei match register ci facilita la configurazione attraverso il registro IRS, offrendo al match:

- generazione di interrupt;
- reset il timer counter;
- stoppare il timer counter;

Ognuna di queste opzioni può essere abilitata o disabilitata attraverso i flag IRS che sono disponibili per ogni match register, infatti vengono detti match control register, visualizzabili nella seguente tabella.

Table 430. Match Control Register (T[0/1/2/3]MCR - addresses 0x4000 4014, 0x4000 8014, 0x4009 0014, 0x4009 4014)

Bit	Symbol	Value	Description	Reset Value
0	MR0I	1	Interrupt on MR0: an interrupt is generated when MR0 matches the value in the TC.	0
		0	This interrupt is disabled	
1	MR0R	1	Reset on MR0: the TC will be reset if MR0 matches it.	0
		0	Feature disabled.	
2	MR0S	1	Stop on MR0: the TC and PC will be stopped and TCR[0] will be set to 0 if MR0 matches the TC.	0
		0	Feature disabled.	

Figure 22: IRS Registers

Si può anche utilizzare il **prescaler register**, che permette di utilizzare valori più alti per il match register, il prescaler funziona di divisore del clock, infatti utilizzandolo la nuova formula per il count è:

$$\text{count} = \text{time}[s] \frac{\text{frequency}[1/s]}{(PR + 1)}$$

dove PR è il valore del prescaler.

- PR = 2 and MR (Match Register) = 6
- TC incremented every PR + 1 = 3 clock cycle

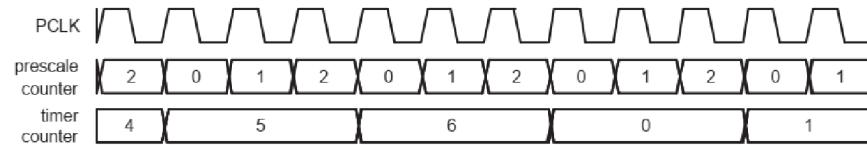


Figure 23: Prescaler

Per inizializzare i timer:

```
1 int main()
2 {
3
4
5 }
```

La libreria dei timer (che fa un po schifo a detta del professore) possiede anche un wizard di configurazione.

10.3 Controllo del clock e della potenza

Gli oscillatori esterni sono:

- principale: può essere ad un cristallo esterno con frequenza tra 1MHz e 25MHz, attraverso una serie di processi aumenta la frequenza di base fino ad arrivare a 100MHz;
- interno ad RC (IRC): permette di far partire la scheda con un frequenza bassa, ha una frequenza di 4MHz, si può utilizzare per gestire il PLL;
- RTC: permette di fare misure temporali, arriva fino a 32kHz;

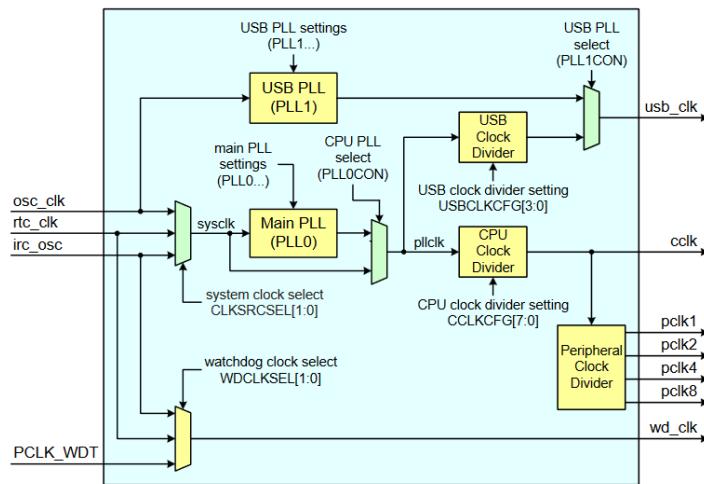


Figure 24: Clock Schema

Fra i registri di configurazione esiste anche la scelta del clock, il registro si chiama `CLKSRCSEL`.

Table 17. Clock Source Select register (CLKSRCSEL - address 0x400F C10C) bit description

Bit	Symbol	Value	Description	Reset value
1:0	CLKSRC		Selects the clock source for PLL0 as follows:	0
		00	Selects the Internal RC oscillator as the PLL0 clock source (default).	
		01	Selects the main oscillator as the PLL0 clock source. Remark: Select the main oscillator as PLL0 clock source if the PLL0 clock output is used for USB or for CAN with baudrates > 100 kBit/s.	
		10	Selects the RTC oscillator as the PLL0 clock source.	
		11	Reserved, do not use this setting.	
			Warning: Improper setting of this value, or an incorrect sequence of changing this value may result in incorrect operation of the device.	
31:2	-	0	Reserved, user software should not write ones to reserved bits. NA The value read from a reserved bit is not defined.	

Figure 25: Clksrc

Il controllo sulla potenza ci dà delle modalità diverse di consumo, i tipi di potenza possono essere:

- sleep mode;
- deep sleep;
- power-down;
- deep power-down;

Le deep vanno evitate come la peste.

Per utilizzare delle modalità di consumo minore sono dei registri di configurazione, come il PCON (Power CONtrol register) ed il PCONP (Power CONtrol for Peripherals). Per entrare in modalità di riduzione di potenza si utilizzano le istruzioni assembly **wfi** (**Wait For Interrupt**) e **wfe** (**Wait For Exception**).

PCON contiene il PM0 ed il PM1 che permette di configurare il sistema in power down mode. Il BODRPM permette di controllare in un piedino se l'alimentazione sta scendendo, il sistema può implementare un'interruzione per capire quando il sistema sta perdendo potenza (solitamente il threshold è a 2.2V), il problema è che quando si utilizza il power down mode il BODRPM dovrebbe essere disabilitato, ma in questo modo non ci si rende conto se il sistema si sta spegnendo davvero, allora si tiene attivo lo stesso.

Table 45. Encoding of reduced power modes

PM1, PM0	Description
00	Execution of WFI or WFE enters either Sleep or Deep Sleep mode as defined by the SLEEPDEEP bit in the Cortex-M3 System Control Register.
01	Execution of WFI or WFE enters Power-down mode if the SLEEPDEEP bit in the Cortex-M3 System Control Register is 1.
10	Reserved, this setting should not be used.
11	Execution of WFI or WFE enters Deep Power-down mode if the SLEEPDEEP bit in the Cortex-M3 System Control Register is 1.

Figure 26: Power Modes

Il registro di configurazione del power PCONP, ci permette di accendere l'alimentazione dei periferici, è importante ricordarsi che **se una periferica è spenta non è possibile leggere o scrivere sui registri realtive ad essa**.

10.4 Debuoncing

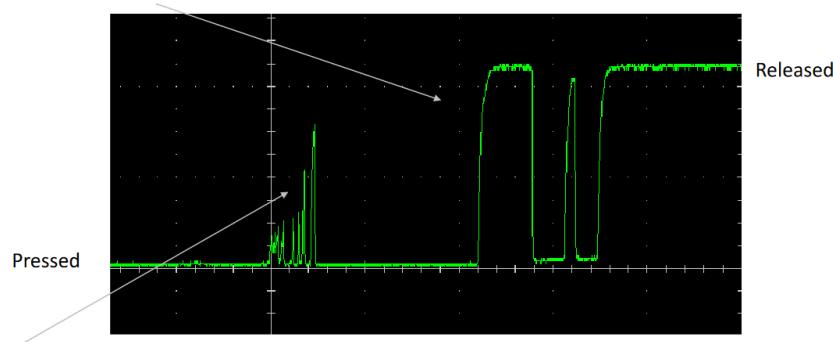


Figure 27: Bouncing Effect

In molti casi quando si commuta un switch possono avvenire dei rimbalzi. Le soluzioni sono possibili essere un'implementazione a livello hardware (costoso), oppure a livello software, ogni volta che arriva un'interruzione da quel bottone per un tot di secondi non si leggono più interruzioni da quel bottone, solitamente l'intervallo considerato è di 50ms.

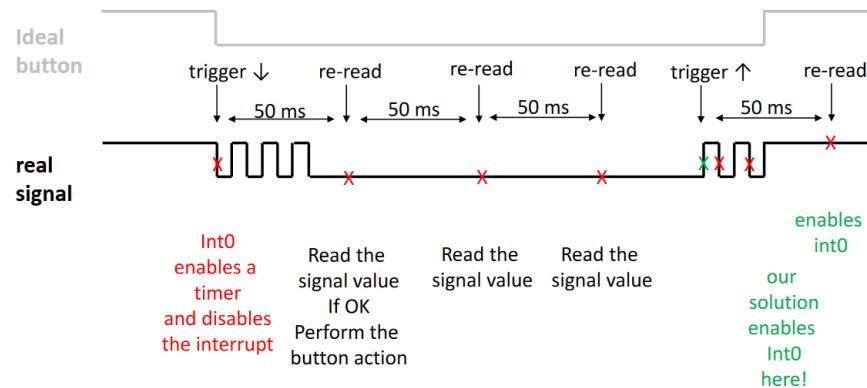


Figure 28: Debouncing