

数字逻辑第六章可编程逻辑器件



信息科学与工程学院计算机系

杨永全

yangyq@ouc.edu.cn

可编程逻辑器件英文全称为：programmable logic device 即 PLD。PLD是做为一种通用集成电路产生的，他的逻辑功能按照用户对器件编程来确定。一般的PLD的集成度很高，足以满足设计一般的数字系统的需要。

- 只读存储器PROM (Programmable Read only Memory)
- 可编程逻辑阵列器件PLA (Programmable Logic Array)
- 可编程阵列逻辑PAL (Programmable Array Logic)
- 通用阵列逻辑GAL (Generic Array Logic)

组合线路逻辑表达式，都可表示为最小项形式

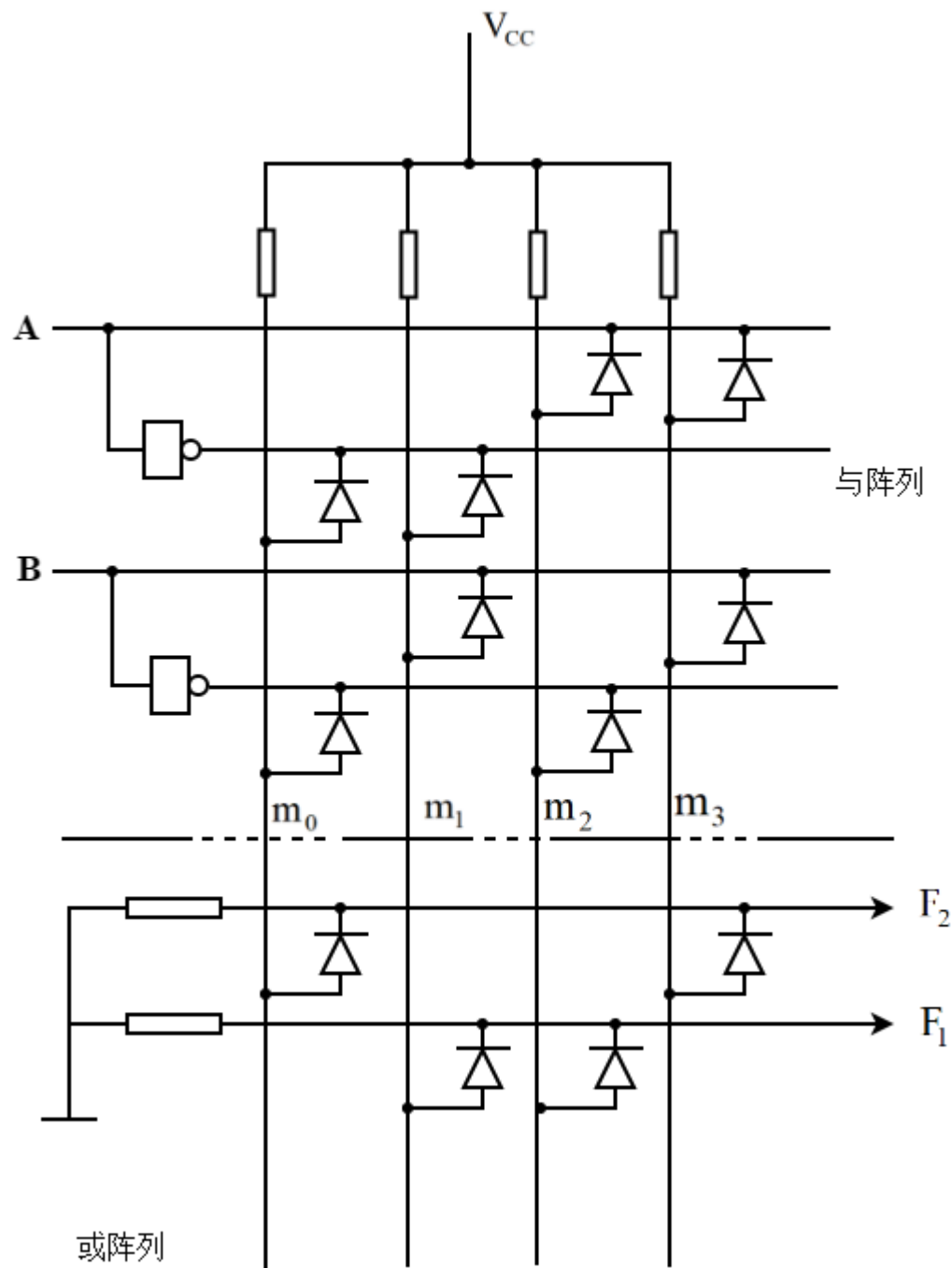
$$F_1 = A\bar{B} + \bar{A}B$$

$$F_2 = \bar{A}\bar{B} + AB$$

PLD的基本结构

实现逻辑函数的
与或门阵列

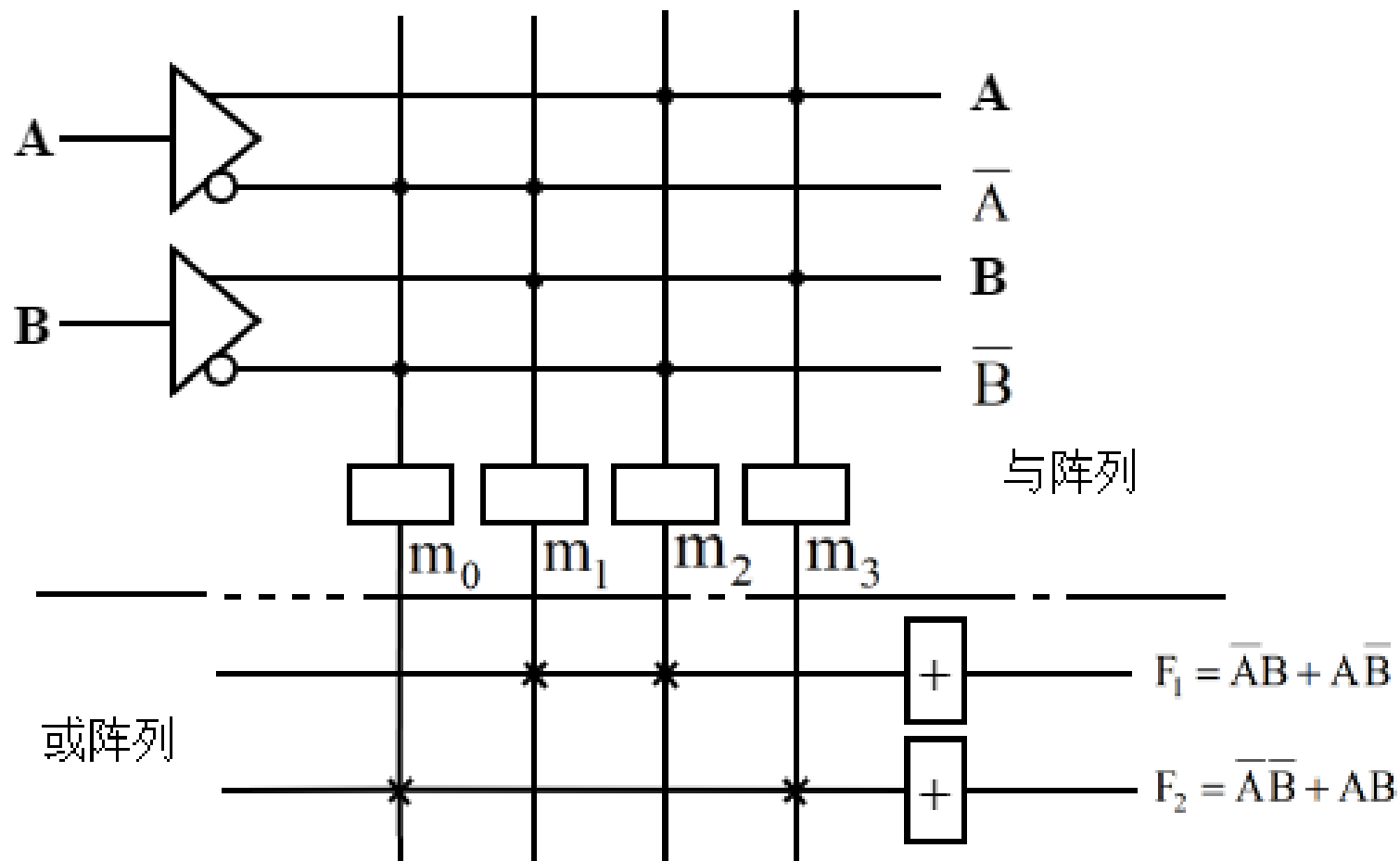
- 1) • 固定连接
- 2) × 可编程单元
- 3) 无标记不连接



PLD的基本结构

$$F_1 = A\bar{B} + \bar{A}B$$

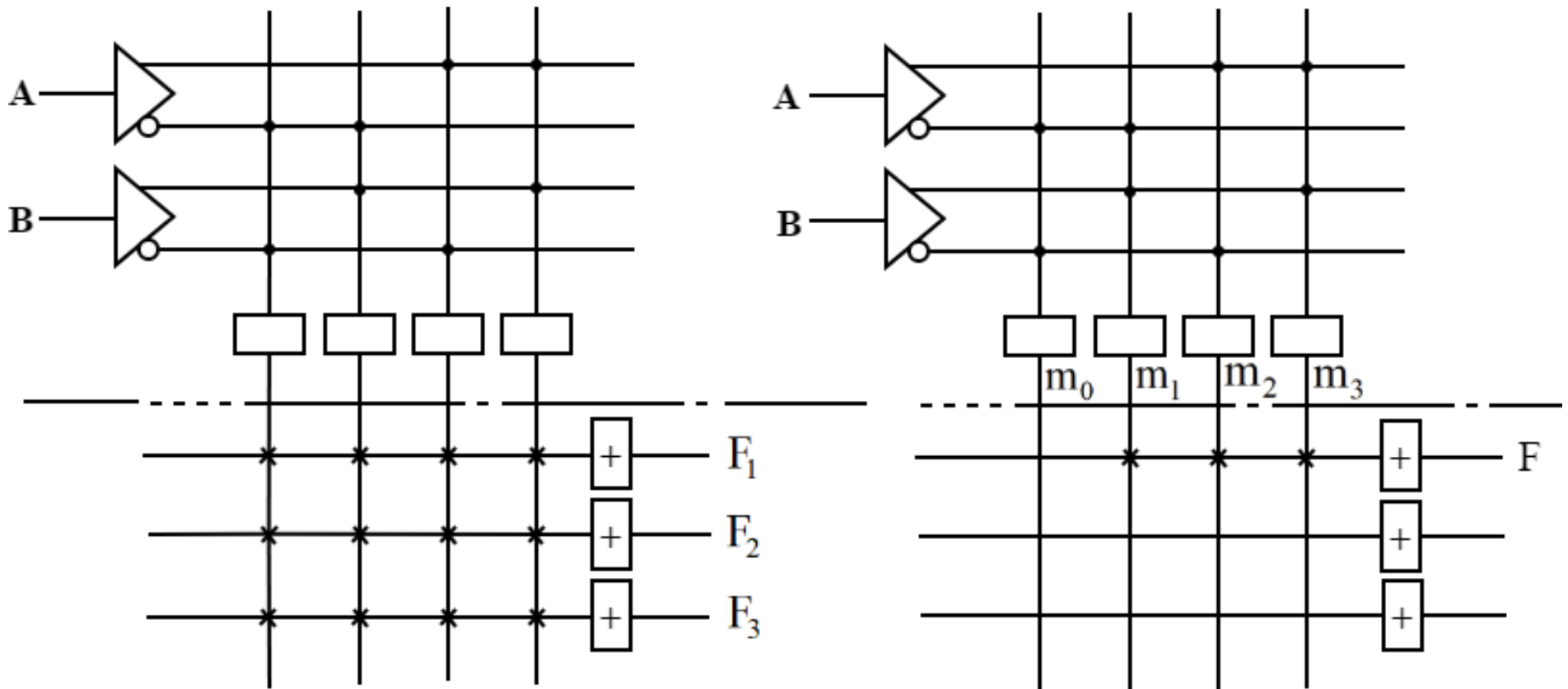
$$F_2 = \bar{A}\bar{B} + AB$$



PLD的分类

1) 与阵列固定，或阵列可编程

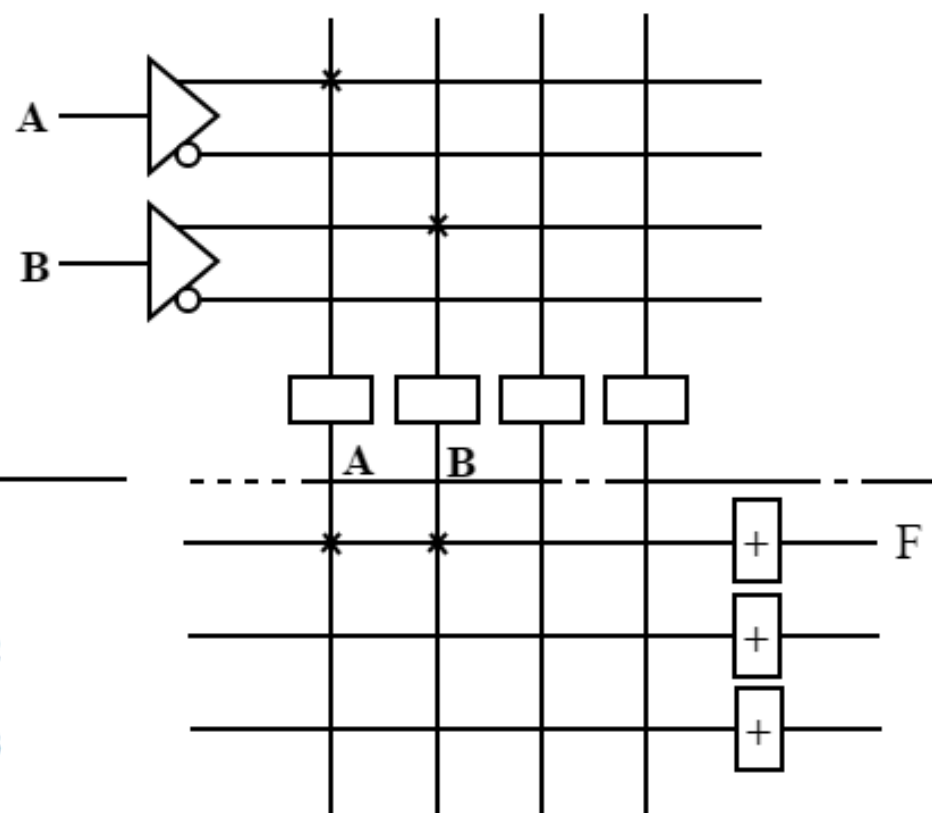
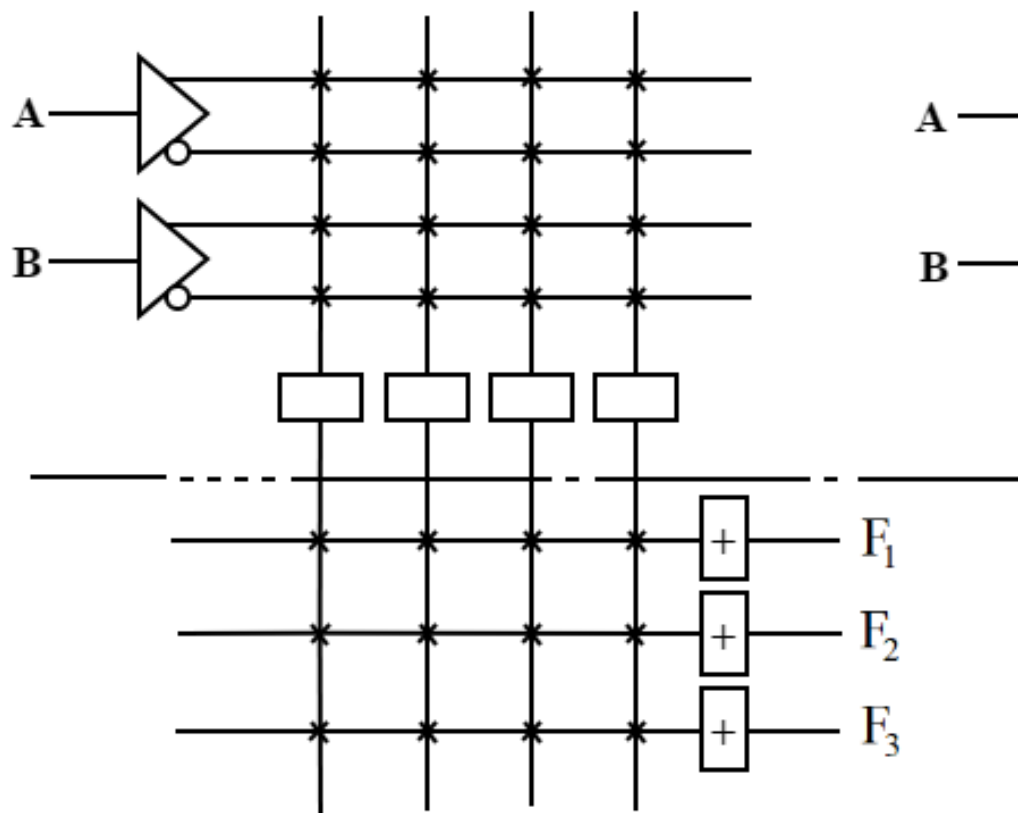
$$F = A\bar{B} + \bar{A}B + AB$$



PLD的分类

2) 与阵列、或阵列均可编程

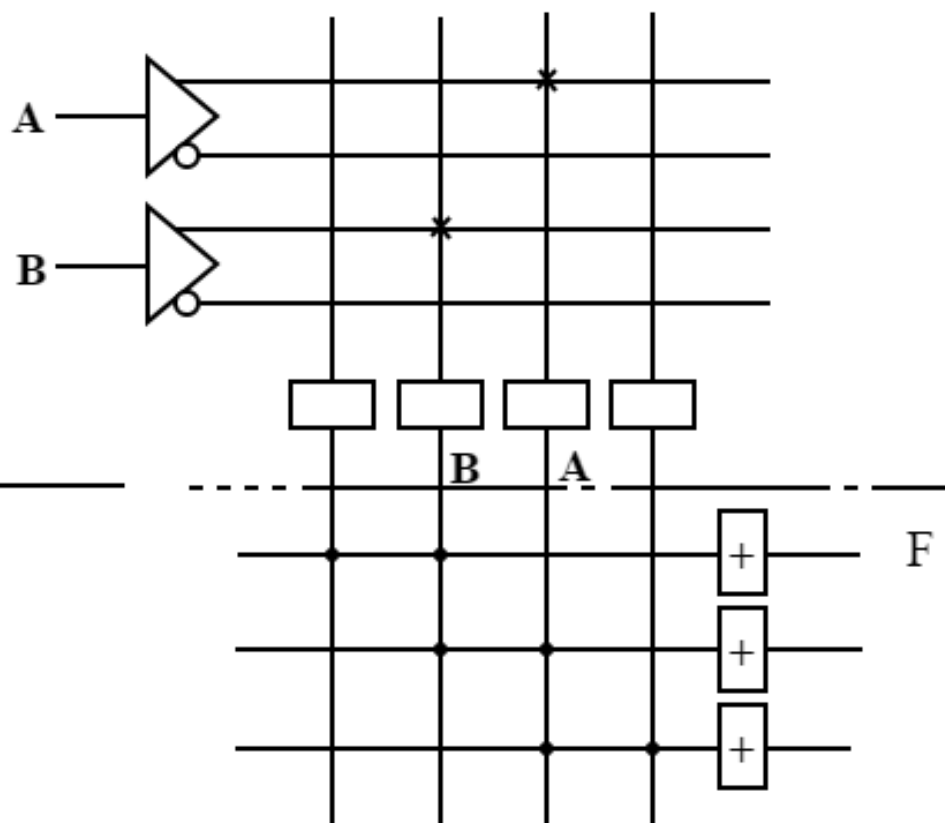
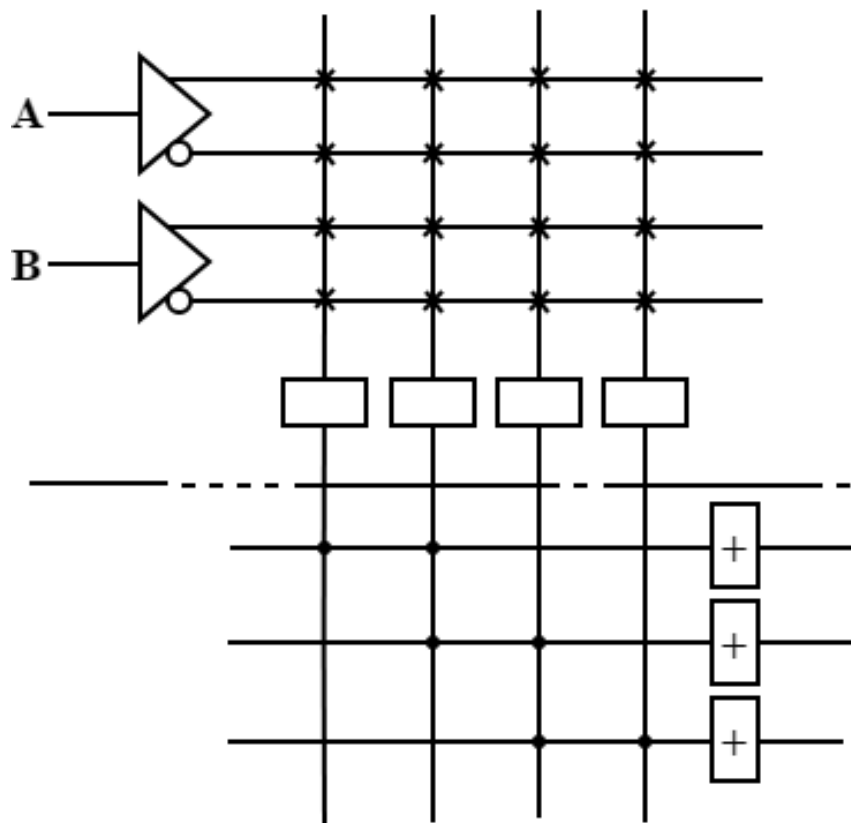
$$F = A\bar{B} + \bar{A}B + AB = A + B$$



PLD的分类

3) 与阵列可编程，或阵列固定 (PAL,GAL)

$$F = A\bar{B} + \bar{A}B + AB = A + B$$



PLD的编程单元

- 1) 熔丝反熔丝结构。只能编程一次。如PROM结构，熔丝的断与不断，
- 2) 可擦除可编程结构。可多次编程。如EPROM。

源-漏极间连接：通过编程加负压

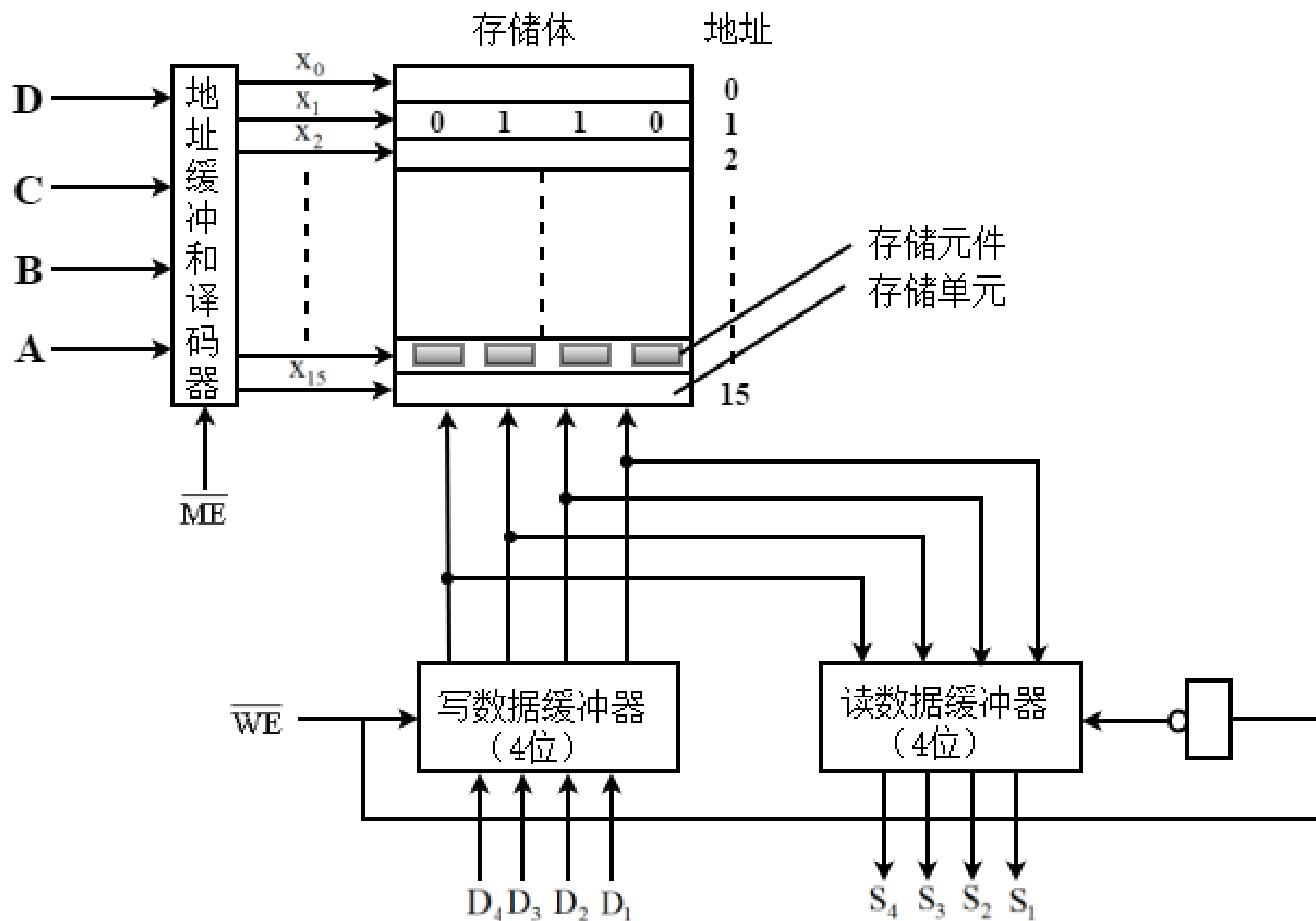
源-漏极间断开：紫外线照射

注：只读存贮器只要已用于某一数字系统，在该系统运行期间只能读出数据。非易失性编程单元。

- 3) 静态随机存贮器结构，SRAM。可随机读写，采用触发器的编程单元。

注：易失性存贮单元（掉电后丢失所存贮的信息）

应用存储器 (RAM/PROM)的数字设计



例1 用PROM实现四位二进制码到格雷码的转换

二进制数（存储地址）				格雷码（存放数据）			
B ₃	B ₂	B ₁	B ₀	G ₃	G ₂	G ₁	G ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

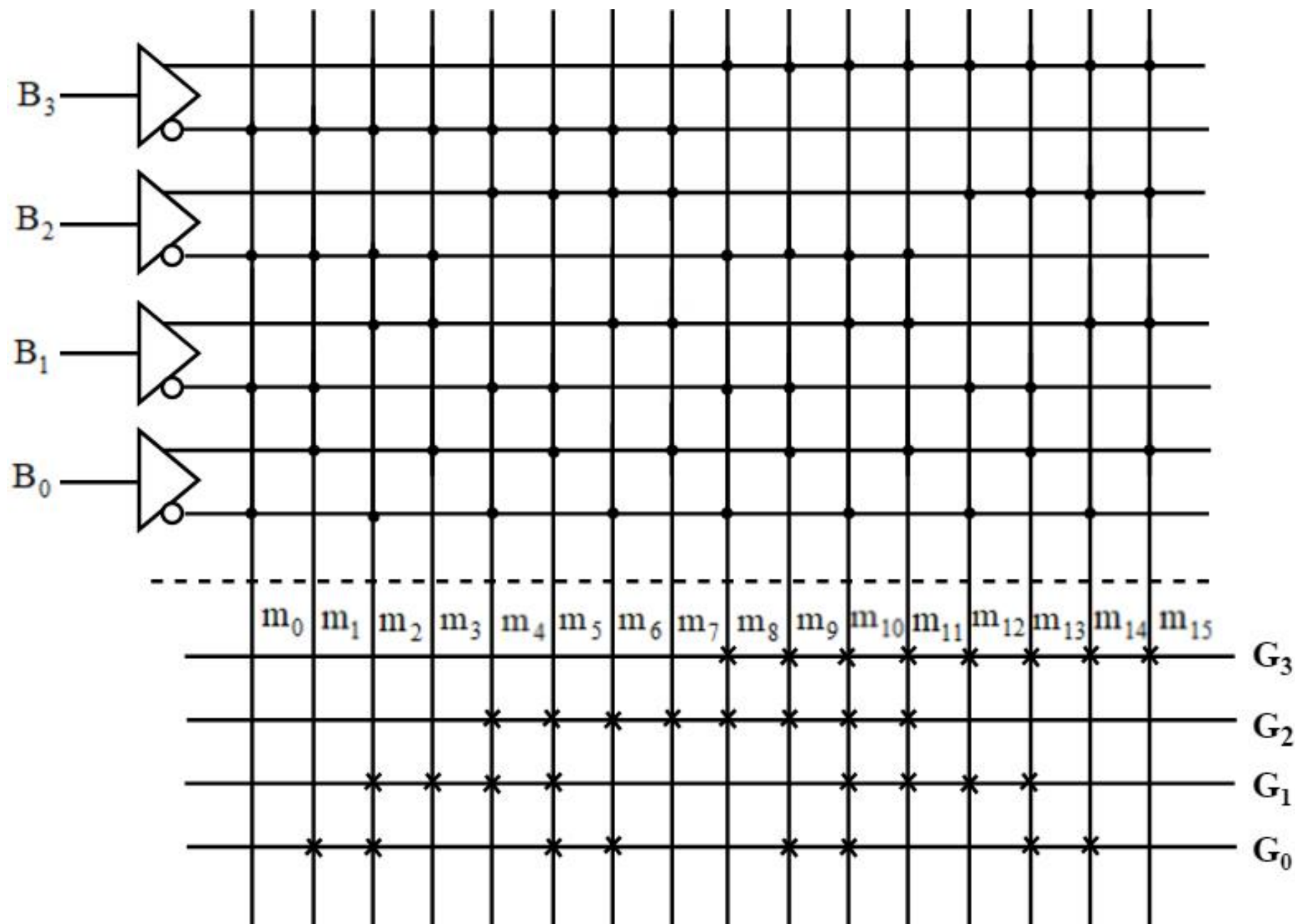
$$G_3 = \sum (8,9,10,11,12,13,14,15)$$

$$G_2 = \sum (4,5,6,7,8,9,10,11)$$

$$G_1 = \sum (2,3,4,5,10,11,12,13)$$

$$G_0 = \sum (1,2,5,6,9,10,13,14)$$

用静态RAM和PROM实现数字设计



例：用PLA实现四位二进制码到格雷码的转换

二进制数（存储地址）				格雷码（存放数据）			
B ₃	B ₂	B ₁	B ₀	G ₃	G ₂	G ₁	G ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

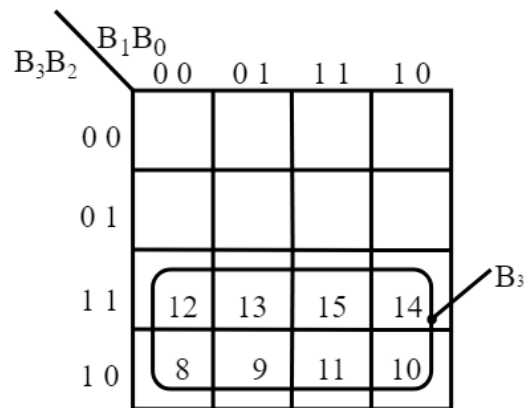
$$G_3 = \sum (8,9,10,11,12,13,14,15)$$

$$G_2 = \sum (4,5,6,7,8,9,10,11)$$

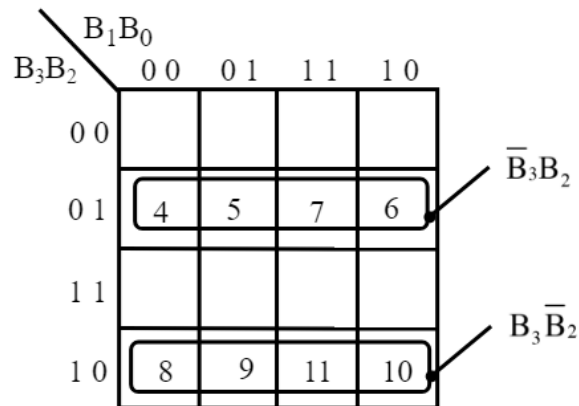
$$G_1 = \sum (2,3,4,5,10,11,12,13)$$

$$G_0 = \sum (1,2,5,6,9,10,13,14)$$

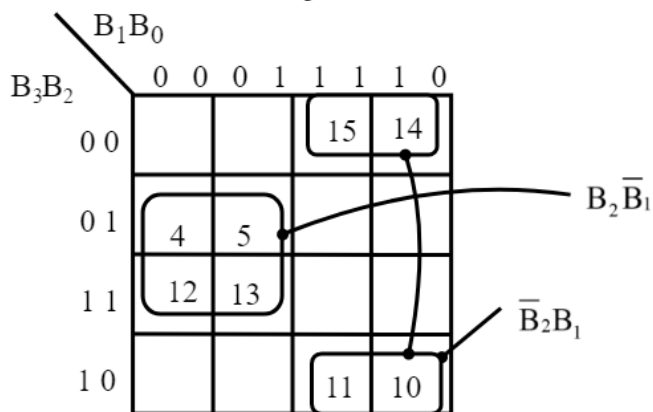
应用可编程逻辑阵列的数字设计



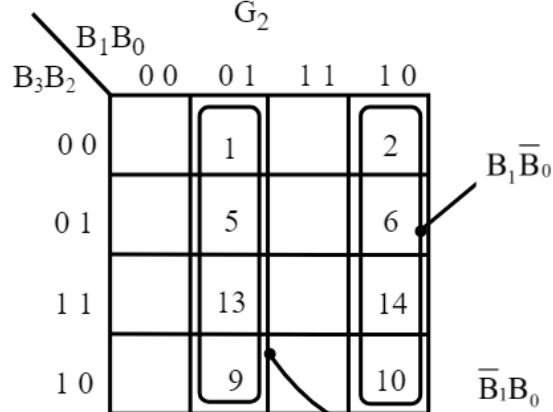
G_3



G_2



G_1



G_0

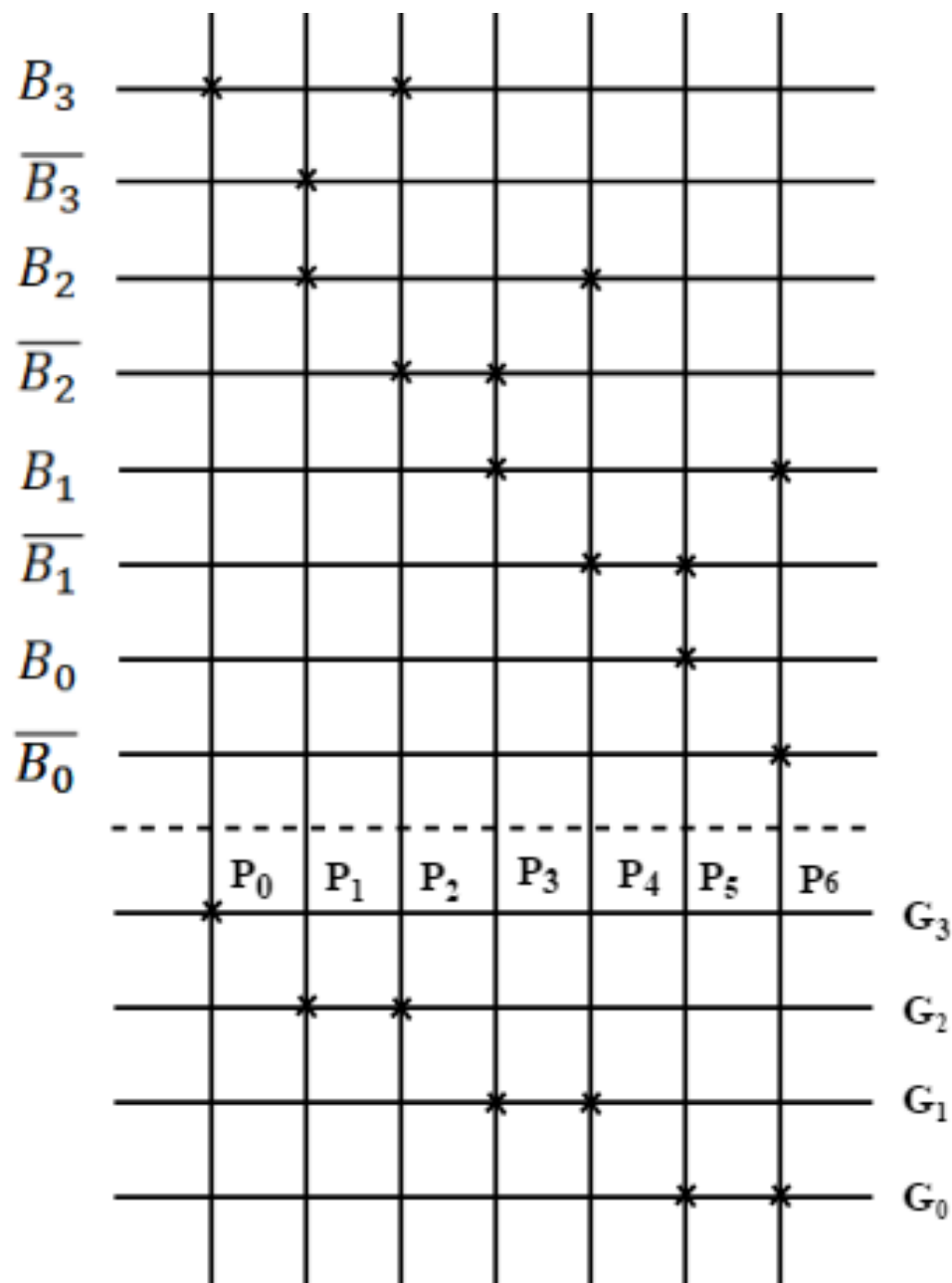
$$G_3 = B_3$$

$$G_2 = \overline{B_3}B_2 + B_3\overline{B_2}$$

$$G_1 = \overline{B_2}B_1 + B_2\overline{B_1}$$

$$G_0 = \overline{B_1}B_0 + B_1\overline{B_0}$$

应用可编程逻辑阵列的数字设计



$$G_3 = B_3$$

$$G_2 = \overline{B_3}B_2 + B_3\overline{B_2}$$

$$G_1 = \overline{B_2}B_1 + B_2\overline{B_1}$$

$$G_0 = \overline{B_1}B_0 + B_1\overline{B_0}$$

例、设计一个二进制全加器
分析问题，列出真值表。

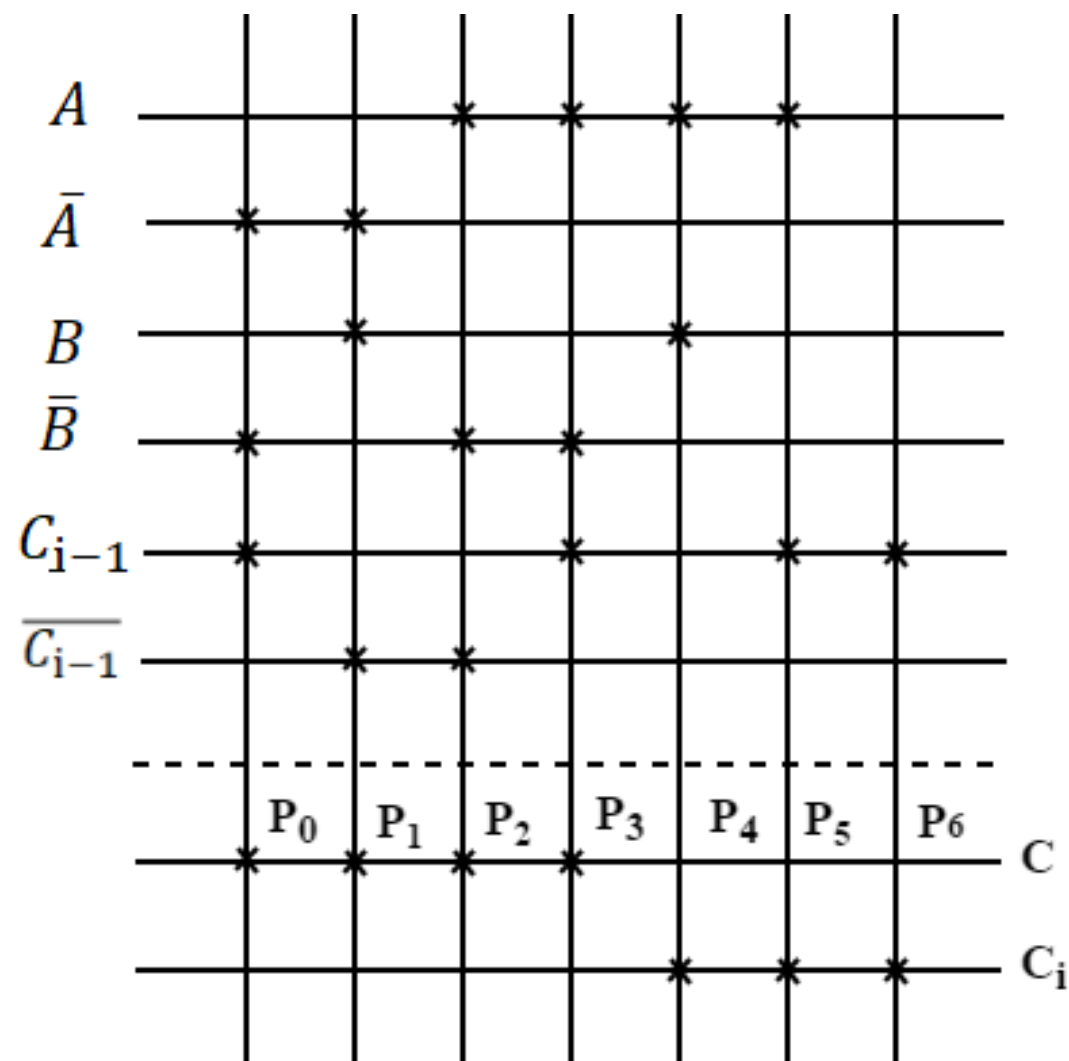


$$S = \overline{A} \overline{B} C_{i-1} + \overline{A} B \overline{C_{i-1}} + A \overline{B} \overline{C_{i-1}} + A B C_{i-1}$$

$$C_i = \sum(3,5,6,7) = B C_{i-1} + A B + A C_{i-1}$$

用PLA实现一位二进制全加器

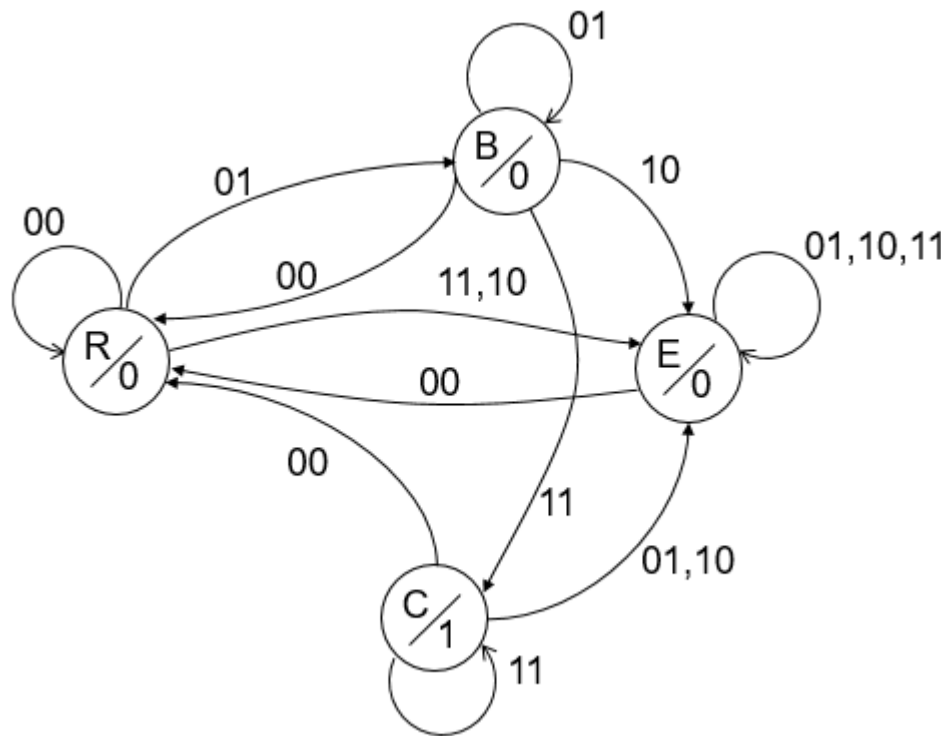
例、设计一个二进制全加器



用PLA实现一个时序锁

例：用PLA设计一个时序锁，它有两个输入 (X_1, X_2), 一个输出 (Z), 和四种状态R,B,C,E.

当 X_1, X_2 输入为：00—01—11时状态R—B—C,并且输出 $Z=1$,开锁，否则，进入状态E。当输入为00，返回状态R。



编码：

R 00

B 01

C 11

E 10

用PLA实现一个时序锁

$y_1y_2 \backslash x_1x_2$	00	01	11	10	Z
R 00	00	01	10	10	0
B 01	00	01	11	10	0
C 11	00	10	11	10	1
E 10	00	10	10	10	0

用PLA实现一个时序锁

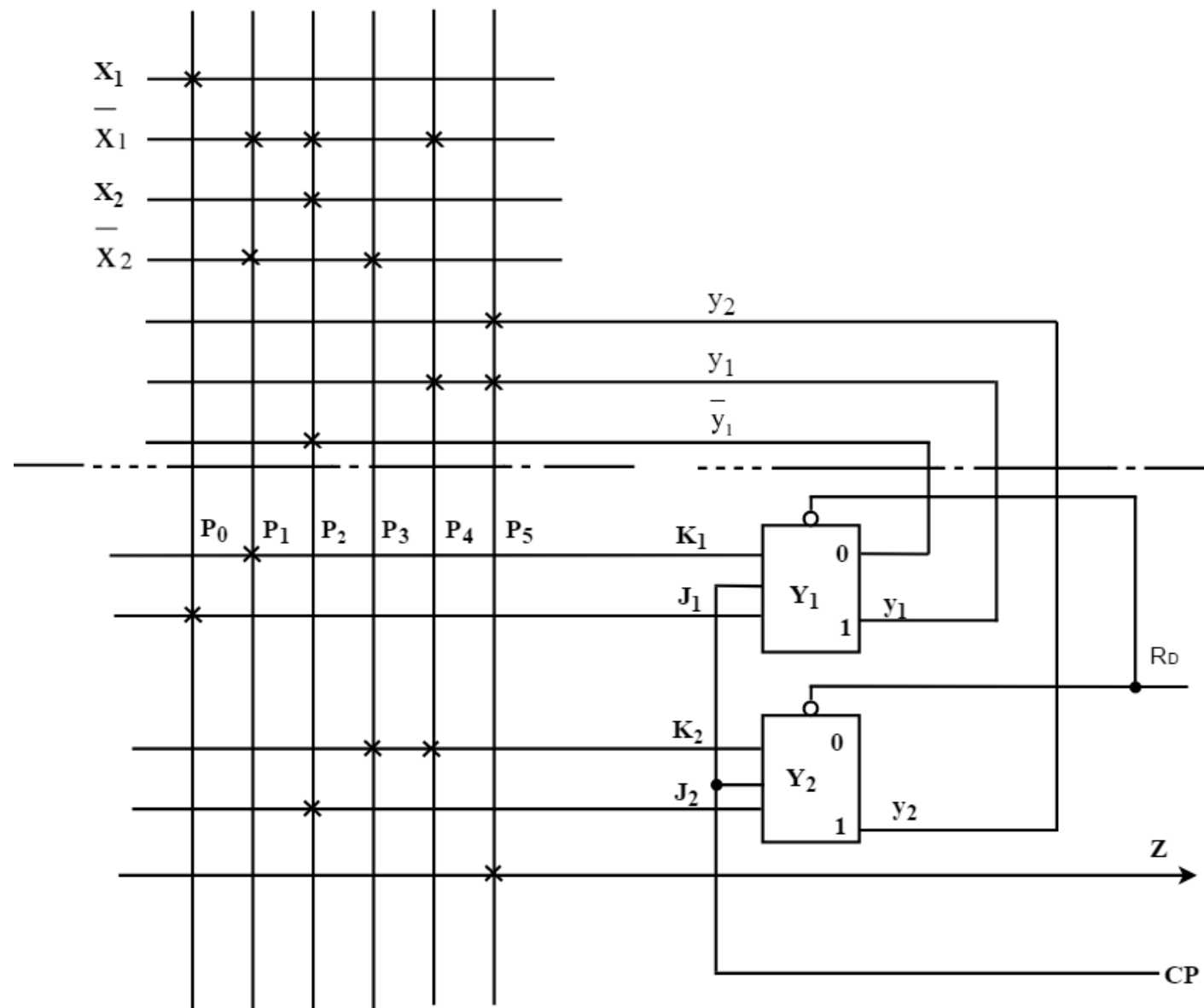
$$Z = y_1 y_2$$

$$J_1 = x_1$$

$$K_1 = \overline{x_1} \overline{x_2}$$

$$J_2 = \overline{x_1} y_1 x_2$$

$$K_2 = \overline{x_2} + \overline{x_1} y_1$$



最后，为了检验大家学习的成果，我给大家来一点高难度的练习。

请使用至少4种方法，实现一个二进制数的全加器。

提示：

- 1、与非门
- 2、数据选择器
- 3、PROM
- 4、RAM
-