# 实验一

|  |
| --- |
| **实验计划：**  实验课时间：双周  实验内容：  1主要是熟悉软件的使用（参考：软件安装与使用文件夹）   1. 完成实验1   提交报告时间：2018.5..9之前 |
| **请在下次实验课前完成以下内容：**  1.adder（加法器）模块的编写。  2.建立完整的工程，工程中包括adder模块，adder\_display模块，testbench.v（仿真文件）文件，lcd\_module.dcp（显示屏操作模块）（大家可查看相关代码文件压缩包）。  ※其中，adder文件模块被挖去一段，请自行填充。  3.完成仿真，并将仿真波形图像截图。  4.生成可以下载到FPGA上的.bit文件。  5.完成整个工程的结构框图（包括adder\_display模块和adder模块，不包括testbench部分和lcd\_module部分）（**选做 加分项**）  6.完成实验报告，实验报告要包括仿真波形图，adder模块的verilog代码（包括必要的注释），如果完成了结构框图，也请加入实验报告中。  实验报告请发送到邮箱：[oucjsjzc**@sina.com**](mailto:oucjsjzc@sina.com) |
| **※因时间紧张，上课时间不能够完成代码编写，需要大家在课下积极思考，上课将直接进行上板实验和检查，不然会完不成实验。而且由于运动会我们实验课又放掉了一次，实验时间紧张，为了不要影响大家的成绩，还请同学们自行在空闲时间到实验室做实验，跟上实验进度，实验室空闲时间表请在群文件中查看。** |
| **实验报告命名要求：**  1.命名规范：学号-姓名-实验1（如果需要再次提交命名为学号-姓名-实验1\_1）。  2.必要的注释和文字说明，截图清晰，不要出现雷同。  3.实验有问题可以互相讨论，一定要理解原理，自己动手实践。  4.报告要按时提交。  5.注意要将实验报告Word转成PDF再上交。 |
| 注：  1.实验1的所有资料与内容已发给大家，希望大家提前装一下实验环境，因为后面实验代码会增多上课时间会不足以完成代码编写，所以大家最好将软件提前安装在自己的笔记本上。  2.大家提前思考一下实验1，实验一很简单主要是让大家联系一下Vivado的使用，最好提前完成，上课直接进行验证，这样会节省很多时间。 |