计算机组成原理试卷１

一、选择题（共20分，每题1分）

1．CPU响应中断的时间是\_\_\_\_\_\_。

A．中断源提出请求；

B．取指周期结束；

C．执行周期结束；

D．间址周期结束。

2．下列说法中\_\_\_\_\_\_是正确的。

A．加法指令的执行周期一定要访存；

B．加法指令的执行周期一定不访存；

C．指令的地址码给出存储器地址的加法指令，在执行周期一定访存；

D．指令的地址码给出存储器地址的加法指令，在执行周期不一定访存。

3．垂直型微指令的特点是\_\_\_\_\_\_。

A．微指令格式垂直表示；

B．控制信号经过编码产生；

C．采用微操作码；

D．采用微指令码。

4．基址寻址方式中，操作数的有效地址是\_\_\_\_\_\_。

A．基址寄存器内容加上形式地址（位移量）；

B．程序计数器内容加上形式地址；

C．变址寄存器内容加上形式地址；

D．寄存器内容加上形式地址。

5．常用的虚拟存储器寻址系统由\_\_\_\_\_\_两级存储器组成。

A．主存－辅存；

B．Cache－主存；

C．Cache－辅存；

D．主存—硬盘。

6．DMA访问主存时，让CPU处于等待状态，等DMA的一批数据访问结束后，CPU再恢复工作，这种情况称作\_\_\_\_\_\_。

A．停止CPU访问主存；

B．周期挪用；

C．DMA与CPU交替访问；

D．DMA。

7．在运算器中不包含\_\_\_\_\_\_。

A．状态寄存器；

B．数据总线；

C．ALU；

D．地址寄存器。

8．计算机操作的最小单位时间是\_\_\_\_\_\_。

A．时钟周期；

B．指令周期；

C．CPU周期；

D．中断周期。

9．用以指定待执行指令所在地址的是\_\_\_\_\_\_。

A．指令寄存器；

B．数据计数器；

C．程序计数器；

D．累加器。

10．下列描述中\_\_\_\_\_\_是正确的。

A．控制器能理解、解释并执行所有的指令及存储结果；

B．一台计算机包括输入、输出、控制、存储及算逻运算五个单元；

C．所有的数据运算都在CPU的控制器中完成；

D．以上答案都正确。

11．总线通信中的同步控制是\_\_\_\_\_\_。

A．只适合于CPU控制的方式；

B．由统一时序控制的方式；

C．只适合于外围设备控制的方式；

D．只适合于主存。

12．一个16K×32位的存储器，其地址线和数据线的总和是\_\_\_\_\_\_。

A．48；

B．46；

C．36；

D．32。

13．某计算机字长是16位，它的存储容量是1MB，按字编址，它的寻址范围是\_\_\_\_\_\_。（存储器 5）

A．512K；

B．1M；

C．512KB；

D．1MB。

14．以下\_\_\_\_\_\_是错误的。（输入输出 4）

A．中断服务程序可以是操作系统模块；

B．中断向量就是中断服务程序的入口地址；

C．中断向量法可以提高识别中断源的速度；

D．软件查询法和硬件法都能找到中断服务程序的入口地址。

15．浮点数的表示范围和精度取决于\_\_\_\_\_\_ 。

A．阶码的位数和尾数的机器数形式；

B．阶码的机器数形式和尾数的位数；

C．阶码的位数和尾数的位数；

D．阶码的机器数形式和尾数的机器数形式。

16．响应中断请求的条件是\_\_\_\_\_\_。

A．外设提出中断；

B．外设工作完成和系统允许时；

C．外设工作完成和中断标记触发器为“1”时；

D．CPU提出中断。

17．以下叙述中\_\_\_\_\_\_是错误的。

A．取指令操作是控制器固有的功能，不需要在操作码控制下完成；

B．所有指令的取指令操作都是相同的；

C．在指令长度相同的情况下，所有指令的取指操作都是相同的；

D．一条指令包含取指、分析、执行三个阶段。

18．下列叙述中\_\_\_\_\_\_是错误的。

A．采用微程序控制器的处理器称为微处理器；

B．在微指令编码中，编码效率最低的是直接编码方式；

C．在各种微地址形成方式中，增量计数器法需要的顺序控制字段较短；

D．CMAR是控制器中存储地址寄存器。

19．中断向量可提供\_\_\_\_\_\_。

A．被选中设备的地址；

B．传送数据的起始地址；

C．中断服务程序入口地址；

D．主程序的断点地址。

20．在中断周期中，将允许中断触发器置“0”的操作由\_\_\_\_\_\_完成。

A．硬件；

B．关中断指令；

C．开中断指令；

D．软件。

二、填空题（共20分，每空1分）

1．在DMA方式中，CPU和DMA控制器通常采用三种方法来分时使用主存，它们是

A 、 B 和 C 。

2．设 n = 8 （不包括符号位），则原码一位乘需做 A 次移位和最多 B 次加法，补码Booth算法需做 C 次移位和最多 D 次加法。

3．设浮点数阶码为8位（含1位阶符），尾数为24位（含1位数符），则32位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为 A ，最小正数为 B ，最大负数为 C ，最小负数为 D 。

4．一个总线传输周期包括 A 、 B 、 C 和

D 四个阶段。

5．CPU采用同步控制方式时，控制器使用 A 和 B 组成的多极时序系统。

6．在组合逻辑控制器中，微操作控制信号由 A 、 B 和

C 决定。

三、名词解释（共10分，每题2分）

1．机器周期

2．周期挪用

3．双重分组跳跃进位

4．水平型微指令

5．超标量

四、计算题（5分）

已知：A = ，B =  求：[A+B]补

五、简答题（15分）

1．某机主存容量为4M×16位，且存储字长等于指令字长，若该机的指令系统具备97种操作。操作码位数固定，且具有直接、间接、立即、相对、基址五种寻址方式。（5分）

（1）画出一地址指令格式并指出各字段的作用；

（2）该指令直接寻址的最大范围（十进制表示）；

（3）一次间址的寻址范围（十进制表示）；

（4）相对寻址的位移量（十进制表示）。

2．控制器中常采用哪些控制方式，各有何特点？

3．某机有五个中断源，按中断响应的优先顺序由高到低为L0,L1,L2,L3,L4，现要求优先顺序改为L4,L2,L3,L0,L1，写出各中断源的屏蔽字。（5分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |

六、问答题（20分）

（1）画出主机框图（要求画到寄存器级）；

（2）若存储器容量为64K×32位，指出图中各寄存器的位数；

（3）写出组合逻辑控制器完成 STA X （X为主存地址）指令发出的全部微操作命令及节拍安排。

（4）若采用微程序控制，还需增加哪些微操作？

七、设计题（10分）

设CPU共有16根地址线，8根数据线，并用作访存控制信号（低电平有效），用作读写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4位RAM，4K×8位RAM，2K×8位ROM，以及74138译码器和各种门电路，如图所示。画出CPU与存储器连接图，要求：

（1）主存地址空间分配：8000H～87FFH为系统程序区；8800H～8BFFH为用户程序区。

（2）合理选用上述存储芯片，说明各选几片？

（3）详细画出存储芯片的片选逻辑。



计算机组成原理试题1答案

一、选择题（共20分，每题1分）

1．C 2．C 3．C 4．A 5．A 6．A 7．D

8．A 9．C 10．B 11．B 12．B 13．A 14．B

15．C 16．B 17．B 18．A 19．C 20．A

二、填空题（共20分，每空1分）

1．A．停止 CPU访问主存 B．周期挪用 C．DMA和CPU交替访问主存

2．A．8 B．8 C．8 D．9

3．A．2127(1-2－23) B．2－129 C．2－128(-2－1-2－23) D．-2127

4．A．申请分配阶段 B．寻址阶段 C．传输阶段 D．结束阶段

5．A．机器周期 B．节拍

6．A．指令操作码 B时序 C．状态条件

三、名词解释（共10 每题2分）

1．机器周期

答：机器周期：基准，存取周期。

2．周期挪用

答：周期挪用：DMA方式中由DMA接口向CPU申请占用总线，占用一个存取周期。

3．双重分组跳跃进位

答：n位全加器分成若干大组，大组内又分成若干小组，大组中小组的最高进位同时产生，大组与大组间的进位串行传送。

4．水平型微指令

答：水平型微指令的特点是一次能定义并执行多个并行操作的微命令。从编码方式看，直接编码、字段直接编码、字段间接编码以及直接编码和字段直接和间接混合编码都属水平型微指令。其中直接编码速度最快，字段编码要经过译码，故速度受影响。

5．超标量

答：超标量（Super scalar）技术是指在每个时钟周期内可同时并发多条独立指令，即以并行操作方式将两条或两条以上指令编译并执行，在一个时钟周期内需要多个功能部件。

四、计算题（共5分）

答：由A =  = -0.1011，B =  = -0.011 （1分）

得 [A]补 = 1.0101，[B]补 = 1.1001 （1分）

 （2分）

两操作数符号均为1，结果的符号为0，故为溢出。（1分）

五、简答题（共15分）

1．（5分）答：

1. 一地址指令格式为（1分）

|  |  |  |
| --- | --- | --- |
| OP | M | A |

OP 操作码字段，共7位，可反映120种操作；

M 寻址方式特征字段，共3位，可反映5种寻址方式；

A 形式地址字段，共16 – 7 – 3 = 6位 （1分）

1. 直接寻址的最大范围为26 = 64 （1分）
2. 由于存储字长为16位，故一次间址的寻址范围为216 = 65536 （1分）
3. 相对寻址的位移量为 – 32 ~ + 31 （1分）

2．（5分）答：控制器常采用同步控制、异步控制和联合控制。（1分）

同步控制即微操作序列由基准时标系统控制，每一个操作出现的时间与基准时标保持一致。异步控制不存在基准时标信号，微操作的时序是由专用的应答线路控制的，即控制器发出某一个微操作控制信号后，等待执行部件完成该操作时所发回的“回答”或“终了”信号，再开始下一个微操作。联合控制是同步控制和异步控制相结合的方式，即大多数微操作在同步时序信号控制下进行，而对那些时间难以确定的微操作，如涉及到 I/O操作，则采用异步控制。（4分）

3．（5分）答：（每写对一个屏蔽字1分）

设屏蔽位为“1”时表示对应的中断源被屏蔽，屏蔽字排列如下：

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 | 1 1 0 0 0  0 1 0 0 0  1 1 1 1 0  1 1 0 1 0  1 1 1 1 1 |

六、问答题（共20分）

（1）（5分）

****

（2）（5分）

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| ACC | MQ | ALU | X | IR | MDR | PC | MAR |
| 32 | 32 | 32 | 32 | 32 | 32 | 16 | 16 |

（3）（5分）

|  |  |  |
| --- | --- | --- |
| T0 | PC→MAR | 1→R |
| T1 | M(MAR)→MDR | (PC)+1→PC |
| T2 | MDR→IR | OP(IR)→ID |
|  |  |  |
| T0 | Ad(IR)→MAR | 1→W |
| T1 | AC→MDR |  |
| T2 | MDR→M(MAR) |  |

(4)（5分）

|  |  |
| --- | --- |
| 取指 | Ad(CMDR)→CMAR |
| OP(IR)→微地址形成部件→CMAR |
| 执行 | Ad(CMDR)→CMAR |
|  |

七、设计题（共10分）

（1）根据主存地址空间分配为： （2分）

A15 … A11 … A7 … A3 … A0

2K×8位

1K×4位

（2）选出所用芯片类型及数量

2K×8位ROM 1片 （1分）

1K×4位RAM 2片 （1分）

CPU与存储芯片的连接图如图所示（6分）



**计算机组成原理试题2**

一、选择题（共20分，每题1分）

1．某机字长8位，采用补码形式（其中1位为符号位），则机器数所能表示的范围是\_\_\_\_\_\_。

A．-127 ～ 127；

B．-128 ～ +128；

C．-128 ～ +127；

D．-128 ～ +128。

2．在\_\_\_\_\_的计算机系统中，外设可以和主存储器单元统一编址，因此可以不使用I/O指令。

A．单总线；

B．双总线；

C．三总线；

D．以上三种总线。

3．某计算机字长是32位，它的存储容量是64KB．按字编址，它的寻址范围是\_\_\_\_\_\_。

A．16KB；

B．16K；

C．32K；

D．32KB。

4．中断向量可提供\_\_\_\_\_\_。

A．被选中设备的地址；

B．传送数据的起始地址；

C．中断服务程序入口地址；

D．主程序的断点地址。

5．Cache的地址映象中　　　比较多的采用“按内容寻址”的相联存储器来实现。

A．直接映象；

B．全相联映象；

C．组相联映象；

D．以上都有。

6．总线的异步通信方式\_\_\_\_\_\_。

A．不采用时钟信号，只采用握手信号；

B．既采用时钟信号，又采用握手信号；

C．既不采用时钟信号，又不采用握手信号；

D．采用时钟信号，不采用握手信号。

7．在磁盘存储器中，查找时间是\_\_\_\_\_\_。

A．使磁头移动到要找的柱面上所需的时间；

B．在磁道上找到要找的扇区所需的时间；

C．在扇区中找到要找的数据所需的时间。

D．以上都不对。

8．在控制器的控制信号中，相容的信号是\_\_\_\_\_\_的信号。

A．可以相互替代；

B．可以相继出现；

C．可以同时出现；

D．不可以同时出现。

9．计算机操作的最小单位时间是\_\_\_\_\_\_。

A．时钟周期；

B．指令周期；

C．CPU周期；

D．执行周期。

10．CPU不包括\_\_\_\_\_\_。

A．地址寄存器；

B．指令寄存器IR；

C．地址译码器；

D．通用寄存器。

11． 寻址便于处理数组问题。

A．间接寻址；

B．变址寻址；

C．相对寻址；

D．立即寻址。

12．设寄存器内容为10000000，若它等于0，则为\_\_\_\_\_\_。

A．原码；

B．补码；

C．反码；

D．移码。

13．若一个8比特组成的字符至少需10个比特来传送，这是\_\_\_\_\_\_传送方式。

A．同步；

B．异步；

C．并联；

D．混合。

14．设机器字长为32位，存储容量为16MB，若按双字编址，其寻址范围是　。

A．8MB；

B．2M；

C．4M；

D．16M。

15． 寻址对于实现程序浮动提供了较好的支持。

A．间接寻址；

B．变址寻址；

C．相对寻址；

D．直接寻址。

16．超标量技术是\_\_\_\_\_\_。

A．缩短原来流水线的处理器周期；

B．在每个时钟周期内同时并发多条指令；

C．把多条能并行操作的指令组合成一条具有多个操作码字段的指令；

D．以上都不对。

17．在控制器的控制方式中，机器周期内的时钟周期个数可以不相同，这属于\_\_\_\_\_\_。

A．同步控制；

B．异步控制；

C．联合控制；

D．局部控制。

18．I/O与主机交换信息的方式中，中断方式的特点是\_\_\_\_\_\_。

A．CPU与设备串行工作，传送与主程序串行工作；

B．CPU与设备并行工作，传送与主程序串行工作；

C．CPU与设备并行工作，传送与主程序并行工作；

D．CPU与设备串行工作，传送与主程序并行工作。

19．当定点运算发生溢出时，应\_\_\_\_\_\_ 。

A．向左规格化；

B．向右规格化；

C．发出出错信息；

D．舍入处理。

20．在一地址格式的指令中，下列 是正确的。

A．仅有一个操作数，其地址由指令的地址码提供；

B．可能有一个操作数，也可能有两个操作数；

C．一定有两个操作数，另一个是隐含的；

D．指令的地址码字段存放的一定是操作码。

二、填空题（共20分，每空1分）

1．设浮点数阶码为8位（含1位阶符），尾数为24位（含1位数符），则32位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为 A ，最小正数为 B ，最大负数为 C ，最小负数为 D 。

2．在总线复用的CPU中， A 和 B 共用一组总线，必须采用 C 控制的方法，先给 D 信号，并用 E 信号将其保存。

3．微指令格式可分为 A 型和 B 型两类，其中 C 型微指令用较长的微程序结构换取较短的微指令结构。

4．如果Cache的容量为128块，在直接映象下，主存中第*i*块映象到缓存第 A 块。

5．I/O和CPU之间不论是采用串行传送还是并行传送，它们之间的联络方式（定时方

式）可分为 A 、 B 、 C 三种。

6．设n = 4位（不包括符号位在内），原码两位乘需做 A 次移位，最多做

B 次加法；补码Booth算法需做 C 次移位，最多做 D 次加法。

三、名词解释（共10分，每题2分）

1．异步控制方式

2．向量地址

3．直接寻址

4．字段直接编码

5．多重中断

四、计算题（5分）

设浮点数字长为32位，欲表示±6万的十进制数，在保证数的最大精度条件下，除阶符、数符各取1位外，阶码和尾数各取几位？按这样分配，该浮点数溢出的条件是什么？

五、简答题（15分）

1．某机主存容量为4M×16位，且存储字长等于指令字长，若该机的指令系统具备85种操作。操作码位数固定，且具有直接、间接、立即、相对、基址、变址六种寻址方式。（5分）

（1）画出一地址指令格式并指出各字段的作用；

（2）该指令直接寻址的最大范围（十进制表示）；

（3）一次间址的寻址范围（十进制表示）；

（4）相对寻址的位移量（十进制表示）。

2．程序查询方式和程序中断方式都要由程序实现外围设备的输入/输出，它们有何不

同？（5分）

3．某机有五个中断源，按中断响应的优先顺序由高到低为L0,L1,L2,L3,L4，现要求优先顺序改为L4,L3,L2,L1,L0，写出各中断源的屏蔽字。（5分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |

六、问答题（20分）

（1）画出主机框图（要求画到寄存器级）；

（2）若存储器容量为64K×32位，指出图中各寄存器的位数；

（3）写出组合逻辑控制器完成 ADD X （X为主存地址）指令发出的全部微操作命令及节拍安排。

（4）若采用微程序控制，还需增加哪些微操作？

七、设计题（10分）

设CPU共有16根地址线，8根数据线，并用作访存控制信号（低电平有效）用作读写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4位RAM，4K×8位RAM，2K×8位ROM，以及74138译码器和各种门电路，如图所示。画出CPU与存储器连接图，要求：

（1）主存地址空间分配：A000H～A7FFH为系统程序区；A800H～AFFFH为用户程序区。

（2）合理选用上述存储芯片，说明各选几片，并写出每片存储芯片的二进制地址范围。

（3）详细画出存储芯片的片选逻辑。



**计算机组成原理试题2答案**

一、选择题（共20分，每题1分）

1．C 2．C 3．B 4．C 5．B 6．A 7．A

8．C 9．A 10．C 11．B 12．D 13．B 14．B

15．C 16．B 17．A 18．B 19．C 20．B

二、填空题（共20分，每空1分）

1．A．2127(1-2－23) B．2－129 C．2－128(-2－1-2－23) D．-2

2．A．地址线 B．数据线 C．分时 D．地址

E．地址锁存

3．A．垂直 B．水平 C．垂直

4．A．*i* mod128

5．A．立即响应 B．异步定时 C．同步定时

6．A．2 B．3 C．4 D．5

三、名词解释（共10 每题2分）

1. 异步控制方式

答：异步控制不存在基准时标信号，微操作的时序是由专用的应答线路控制的，即控制器发出某一个微操作控制信号后，等待执行部件完成该操作时所发回的“回答”或“终了”信号，再开始下一个微操作。

2．向量地址

答：向量地址是存放服务程序入口地址的存储单元地址，它由硬件形成

3．双重分组跳跃进位

答：n位全加器分成若干大组，大组内又分成若干小组，大组中小组的最高进位同时产生，大组与大组间的进位串行传送。

4．字段直接编码

答：字段直接编码就是将微指令的操作控制字段分成若干段，将一组互斥的微命令放在一个字段内，通过对这个字段译码，便可对应每一个微命令，这种方式因靠字段直接译码发出微命令，故又有显式编码之称。

5．多重中断

答：多重中断即指CPU在处理中断的过程中，又出现了新的中断请求，此时若CPU暂停现行的中断处理，转去处理新的中断请求，即多重中断。

四、计算题（共5分）

答：【解】 因为216 = 65536

则±6万的十进制数需16位二进制数表示。

对于尾数为16位的浮点数，因16需用5位二进制数表示，即

(16)十 = (10000)二，

故除阶符外，阶码至少取5位。为了保证数的最大精度，最终阶码取5位，尾数取32 -1 - 1 - 5 = 25位。

按这样分配，当阶码大于 +31时，浮点数溢出，需中断处理。]

五、简答题（共15分）

1．（5分）答：

1. 一地址指令格式为（1分）

|  |  |  |
| --- | --- | --- |
| OP | M | A |

OP 操作码字段，共7位，可反映85种操作；

M 寻址方式特征字段，共3位，可反映6种寻址方式；

A 形式地址字段，共16 –7 – 3 = 6位 （1分）

1. 直接寻址的最大范围为26 =64 （1分）
2. 由于存储字长为32位，故一次间址的寻址范围为216 = 65536（1分）
3. 相对寻址的位移量为 – 32 ~ + 31 （1分）

2．（5分）答：程序查询方式是用户在程序中安排一段输入输出程序，它由I/O指令、测试指令和转移指令等组成。CPU一旦启动I/O后，就进入这段程序，时刻查询I/O准备的情况，若未准备就绪就踏步等待；若准备就绪就实现传送。在输入输出的全部过程中，CPU停止自身的操作。

程序中断方式虽也要用程序实现外部设备的输入、输出，但它只是以中断服务程序的形式插入到用户现行程序中。即CPU启动I/O后，继续自身的工作，不必查询I/O的状态。而I/O被启动后，便进入自身的准备阶段，当其准备就绪时，向CPU提出中断请求，此时若满足条件，CPU暂停现行程序，转入该设备的中断服务程序，在服务程序中实现数据的传送。

3．（5分）答：（每写对一个屏蔽字1分）

设屏蔽位为“1”时表示对应的中断源被屏蔽，屏蔽字排列如下：

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 | 1 0 0 0 0  1 1 0 0 0  1 1 1 0 0  1 1 1 1 0  1 1 1 1 1 |

六、问答题（共20分）

（1）（5分）

****

（2）（5分）

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| ACC | MQ | ALU | X | IR | MDR | PC | MAR |
| 32 | 32 | 32 | 32 | 32 | 32 | 16 | 16 |

（3）（5分）

|  |  |  |
| --- | --- | --- |
| T0 | PC→MAR | 1→R |
| T1 | M(MAR)→MDR | (PC)+1→PC |
| T2 | MDR→IR | OP(IR)→ID |
|  |  |  |
| T0 | Ad(IR)→MAR | 1→R |
| T1 | M(MAR)→MDR |  |
| T2 | (AC)+(MDR)→AC |  |

(4)（5分）

|  |  |
| --- | --- |
| 取指 | Ad(CMDR)→CMAR |
| OP(IR)→微地址形成部件→CMAR |
| 执行 | Ad(CMDR)→CMAR |
|  |

七、设计题（共10分）

1. 根据主存地址空间分配为：（2分）

A15 …A11 … A7 … A3 … A0

2K×8位ROM 1片

1K×4位RAM 2片

1K×4位RAM 2片

（2）选出所用芯片类型及数量

对应A000H～A7FFH系统程序区，选用一片2K×8位ROM芯片；（1分）

对应A800H～AFFFH用户程序区，选用4片1K×4位RAM芯片。（1分）

（3）CPU与存储芯片的连接图如图所示（6分）



计算机组成原理试题3

一、选择题（共20分，每题1分）

1．直接、间接、立即三种寻址方式指令的执行速度，由快至慢的排序是\_\_\_\_\_\_。

A．直接、立即、间接；

B．直接、间接、立即；

C．立即、直接、间接；

D．立即、间接、直接。

2．存放欲执行指令的寄存器是\_\_\_\_\_\_。

A．MAR；

B．PC；

C．MDR；

D．IR。

3．在独立请求方式下，若有*N*个设备，则\_\_\_\_\_\_。

A．有一个总线请求信号和一个总线响应信号；

B．有*N*个总线请求信号和*N*个总线响应信号；

C．有一个总线请求信号和*N*个总线响应信号；

D．有*N*个总线请求信号和一个总线响应信号。

4．下述说法中\_\_\_\_\_\_是正确的。

A．半导体RAM信息可读可写，且断电后仍能保持记忆；

B．半导体RAM是易失性RAM，而静态RAM中的存储信息是不易失的；

C．半导体RAM是易失性RAM，而静态RAM只有在电源不掉时，所存信息是不易失的。

5．DMA访问主存时，向CPU发出请求，获得总线使用权时再进行访存，这种情况称作\_\_\_\_\_\_。

A．停止CPU访问主存；

B．周期挪用；

C．DMA与CPU交替访问；

D．DMA。

6．计算机中表示地址时，采用\_\_\_\_\_\_ 。

A．原码；

B．补码；

C．反码；

D．无符号数。

7．采用变址寻址可扩大寻址范围，且\_\_\_\_\_\_。

A．变址寄存器内容由用户确定，在程序执行过程中不可变；

B．变址寄存器内容由操作系统确定，在程序执行过程中可变；

C．变址寄存器内容由用户确定，在程序执行过程中可变；

D．变址寄存器内容由操作系统确定，在程序执行过程不中可变；

8．由编译程序将多条指令组合成一条指令，这种技术称做\_\_\_\_\_\_\_。

A．超标量技术；

B．超流水线技术；

C．超长指令字技术；

D．超字长。

9．计算机执行乘法指令时，由于其操作较复杂，需要更多的时间，通常采用\_\_\_\_\_\_控制方式。

A．延长机器周期内节拍数的；

B．异步；

C．中央与局部控制相结合的；

D．同步；

10．微程序放在\_\_\_\_\_\_中。

A．存储器控制器；

B．控制存储器；

C．主存储器；

D．Cache。

11．在CPU的寄存器中，\_\_\_\_\_\_对用户是完全透明的。

A．程序计数器；

B．指令寄存器；

C．状态寄存器；

D．通用寄存器。

12．运算器由许多部件组成，其核心部分是\_\_\_\_\_\_。

A．数据总线；

B．算术逻辑运算单元；

C．累加寄存器；

D．多路开关。

13．DMA接口\_\_\_\_\_\_。

A．可以用于主存与主存之间的数据交换；

B．内有中断机制；

C．内有中断机制，可以处理异常情况；

D．内无中断机制

14．CPU响应中断的时间是\_\_\_\_\_\_。

A．中断源提出请求；

B．取指周期结束；

C．执行周期结束；

D．间址周期结束。

15．直接寻址的无条件转移指令功能是将指令中的地址码送入\_\_\_\_\_\_。

A．PC；

B．地址寄存器；

C．累加器；

D．ALU。

16．三种集中式总线控制中，\_\_\_\_\_\_方式对电路故障最敏感。

A．链式查询；

B．计数器定时查询；

C．独立请求；

D．以上都不对。

17．一个16K×32位的存储器，其地址线和数据线的总和是\_\_\_\_\_\_。

A．48；

B．46；

C．36；

D．32．

18．以下叙述中错误的是\_\_\_\_\_\_。

A．指令周期的第一个操作是取指令；

B．为了进行取指令操作，控制器需要得到相应的指令；

C．取指令操作是控制器自动进行的；

D．指令第一字节含操作码。

19．主存和CPU之间增加高速缓冲存储器的目的是\_\_\_\_\_\_。

A．解决CPU和主存之间的速度匹配问题；

B．扩大主存容量；

C．既扩大主存容量，又提高了存取速度；

D．扩大辅存容量。

20．以下叙述\_\_\_\_\_\_是错误的。

A．一个更高级的中断请求一定可以中断另一个中断处理程序的执行；

B．DMA和CPU必须分时使用总线；

C．DMA的数据传送不需CPU控制；

D．DMA中有中断机制。

二、填空（共20分，每空1分）

1．设24位长的浮点数，其中阶符1位，阶码5位，数符1位，尾数17位，阶码和尾数均用补码表示，且尾数采用规格化形式，则它能表示最大正数真值是 A ，非零最小正数真值是 B ，绝对值最大的负数真值是 C ，绝对值最小的负数真值是 D （均用十进制表示）。

2．变址寻址和基址寻址的区别是：在基址寻址中，基址寄存器提供 A ， 指令提供 B ； 而在变址寻址中，变址寄存器提供 C ，指令提供 D 。

3．影响流水线性能的因素主要反映在 A 和 B 两个方面。

4．运算器的技术指标一般用 A 和 B 表示。

5． 缓存是设在 A 和 B 之间的一种存储器，其速度 C 匹配，其容量与 D 有关。

6．CPU响应中断时要保护现场，包括对 A 和 B 的保护，前者通过

C 实现，后者可通过 D 实现。

三、名词解释(共10分，每题2分)

1．微程序控制

2．存储器带宽

3．RISC

4．中断隐指令及功能

5．机器字长

四、计算题（5分）

已知：两浮点数x = 0.1101×210，y = 0.1011×201 求：x + y

五、简答题（共20分）

1．完整的总线传输周期包括哪几个阶段？简要叙述每个阶段的工作。（4分）

2．除了采用高速芯片外，从计算机的各个子系统的角度分析，指出6种以上（含6种）提高整机速度的措施。（6分）

3．某机有五个中断源，按中断响应的优先顺序由高到低为L0,L1,L2,L3,L4，现要求优先顺序改为L3,L2,L4,L0,L1，写出各中断源的屏蔽字。（5分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |

4．某机主存容量为4M×16位，且存储字长等于指令字长，若该机的指令系统具备120种操作。操作码位数固定，且具有直接、间接、立即、相对四种寻址方式。（5分）

（1）画出一地址指令格式并指出各字段的作用；

（2）该指令直接寻址的最大范围（十进制表示）；

（3）一次间址的寻址范围（十进制表示）；

（4）相对寻址的位移量（十进制表示）。

六、问答题（共15分）

1．假设CPU在中断周期用堆栈保存程序断点，而且进栈时指针减1，出栈时指针加1。分别写出组合逻辑控制和微程序控制在完成中断返回指令时，取指阶段和执行阶段所需的全部微操作命令及节拍安排。（8分）

2．画出DMA方式接口电路的基本组成框图，并说明其工作过程（以输入设备为例）。（7分）

七、设计题（10分）

设CPU有16根地址线，8根数据线，并用作访存控制信号（低电平有效），用作读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4位RAM；4K×8位RAM；8K×8位RAM；2K×8位ROM；4K×8位ROM；8K×8位ROM及74LS138译码器和各种门电路，如图所示。画出CPU与存储器的连接图，要求



（1）主存地址空间分配：

6000H～67FFH为系统程序区；

6800H～6BFFH为用户程序区。

（2）合理选用上述存储芯片，说明各选几片？

（3）详细画出存储芯片的片选逻辑图。

计算机组成原理试题3的答案

一、选择题（共20分，每题1分）

1．C 2．D 3．B 4．C 5．B 6．D 7．C

8．C 9．C 10．B 11．B 12．B 13．B 14．C

15．A 16．A 17．B 18．B 19．A 20．A

二、填空（共20分，每空1分）

1．A．231(1-2－17) B．2－33 C．-231 D．2－31(-2－1-2－17)

2．A．基地址 B．偏移量 C．偏移量 D．基地址

3．A．访存冲突 B．相关问题

4．A．机器字长 B．运算速度

5．A．CPU B．主存 C．与CPU速度 D．缓存中数据的命中率

6．A．PC内容 B．寄存器内容 C．硬件自动（或中断隐指令）D．软件编程

三、名词解释(共10分，每题2分)

1．微程序控制

答：采用与存储程序类似的方法来解决微操作命令序列的形成，将一条机器指令编写成一个微程序，每一个微程序包含若干条微指令，每一条指令包含一个或多个微操作命令。

2．存储器带宽

答：每秒从存储器进出信息的最大数量，单位可以用字/秒或字节/秒或位/秒来表示。

3．RISC

答：RISC是精简指令系统计算机，通过有限的指令条数简化处理器设计，已达到提高系统执行速度的目的。

4．中断隐指令及功能

答：中断隐指令是在机器指令系统中没有的指令，它是CPU在中断周期内由硬件自动完成的一条指令，其功能包括保护程序断点、寻找中断服务程序的入口地址、关中断等功能。

5．机器字长

答：CPU一次能处理的数据位数，它与CPU中寄存器的位数有关。

四、（共5分）

计算题 答：x、y在机器中以补码表示为（1分）

[x]补 = 00,10; 00.1101

[y]补 = 00,01; 00.1011

① 对阶 （2分）

[△j]补 = [jx]补- [jy]补

= 00,10 + 11,11 = 00,01

即△j = 1，表示y的阶码比x的阶码小1，因此将y的尾数向右移1位，阶码相应加1,即

= 00,10; 00.0101

这时的阶码与[x]补的阶码相等，阶差为0，表示对阶完毕。

② 求和 （2分）



即[x+y]补 = 00,10; 01.0010

③ 右规（1分）

运算结果两符号位不等，表示尾数之和绝对值大于1，需右规，即将尾数之和向右移1位，阶码加1，故得

[x+y]补 = 00,11; 00.1001

则 x+y = 0.1001×211

五、简答题（共20分）

1．（4分）答：

总线在完成一次传输周期时，可分为四个阶段：

申请分配阶段：由需要使用总线的主模块（或主设备）提出申请，经总线仲裁机构决定下一传输周期的总线使用权授于某一申请者；（1分）

寻址阶段：取得了使用权的主模块，通过总线发出本次打算访问的从模块（或从设备）的存储地址或设备地址及有关命令，启动参与本次传输的从模块；（1分）

传数阶段：主模块和从模块进行数据交换，数据由源模块发出经数据总线流入目的模块；（1分）

结束阶段：主模块的有关信息均从系统总线上撤除，让出总线使用权。（1分）

2．（6分，每写出一种给1分，最多6分）

答：

针对存储器，采用高速芯片

针对存储器，可以采用Cache-主存层次的设计和管理提高整机的速度；

针对存储器，可以采用多体并行结构提高整机的速度；

针对控制器，可以通过指令流水设计技术提高整机的速度；

针对控制器，可以通过超标量设计技术提高整机的速度；

针对运算器，可以对运算方法加以改进，如两位乘，或用快速进位链；

针对I/O系统，可以运用DMA技术不中断现行程序，提高CPU的效率。

3．（5分）答：（每写对一个屏蔽字1分）

设屏蔽位为“1”时表示对应的中断源被屏蔽，屏蔽字排列如下：

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 | 1 1 0 0 0  0 1 0 0 0  1 1 1 0 1  1 1 1 1 1  1 1 0 0 1 |

4．（5分）答：

1. 一地址指令格式为（1分）

|  |  |  |
| --- | --- | --- |
| OP | M | A |

OP 操作码字段，共7位，可反映120种操作；

M 寻址方式特征字段，共2位，可反映4种寻址方式；

A 形式地址字段，共16 – 7 – 2 = 7位 （1分）

1. 直接寻址的最大范围为27 = 128 （1分）
2. 由于存储字长为16位，故一次间址的寻址范围为216 = 65536 （1分）
3. 相对寻址的位移量为 – 64 ~ + 63 （1分）

六、 （共15分）问答题

1．（8分）答：

假设进栈操作是先修改堆栈指针后存数，则出栈操作是先读数后修改堆栈指针。

（1）完成中断返回指令组合逻辑控制的微操作命令及节拍安排（4分）

取指阶段

*T*0 PC→MAR，1→R

*T*1 M(MAR) →MDR，(PC) + 1→PC

*T*2 MDR→IR，OP(IR) →ID

执行阶段

*T*0 SP→MAR，1→R

*T*1 M(MAR) →MDR

*T*2 MDR→PC，(SP) + 1→SP

（2）完成中断返回指令微程序控制的微操作命令及节拍安排（4分）

取指阶段

*T*0 PC→MAR，1→R

*T*1 Ad(CMDR) →CMAR

*T*2 M(MAR) →MDR，(PC) + 1→PC

*T*3 Ad(CMDR) →CMAR

*T*4 MDR→IR

*T*5 OP(IR) →微地址形成部件→CMAR

执行阶段

*T*0 SP→MAR，1→R

*T*1 Ad(CMDR) →CMAR

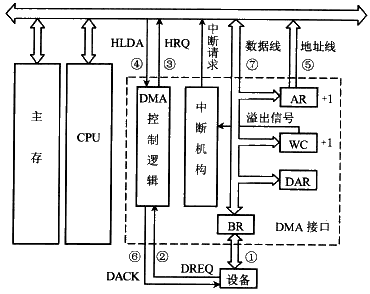
*T*2 M(MAR) →MDR

*T*3 Ad(CMDR) →CMAR

*T*4 MDR→PC，(SP) + 1→SP

*T*5 Ad(CMDR) →CMAR

2．（7分）答：DMA方式接口电路的基本组成框图如下：（3分）



以数据输入为例，具体操作如下：（4分）

① 从设备读入一个字到 DMA 的数据缓冲寄存器 BR 中，表示数据缓冲寄存器“满”（如果I/O 设备是面向字符的，则一次读入一个字节，组装成一个字）；

② 设备向DMA接口发请求（DREQ）；

③ DMA接口向CPU申请总线控制权（HRQ）；

④ CPU发回HLDA信号，表示允许将总线控制权交给DMA接口；

⑤ 将DMA主存地址寄存器中的主存地址送地址总线；

⑥ 通知设备已被授予一个 DMA 周期（DACK），并为交换下一个字做准备；

⑦ 将DMA数据缓冲寄存器的内容送数据总线；

⑧ 命令存储器作写操作；

⑨ 修改主存地址和字计数值；

⑩ 判断数据块是否传送结束，若未结束，则继续传送；若己结束，（字计数器溢出），则向CPU申请程序中断，标志数据块传送结束。

七、设计题（共10分）

答：（1）将16进制地址范围写成二进制地址码，并确定其总容量。（2分）



用户程序区

1K×8位

系统程序区2K×8位

（2）根据地址范围的容量以及该范围在计算机系统中的作用，选择存储芯片。

由6000H～67FFH系统程序区的范围，应选1片2K×8位的ROM（1分）

由6800H～6BFFH用户程序区的范围，应选2片1K×4位的RAM芯片（1分）

（3）存储芯片的片选逻辑图（6分）



**计算机组成原理试题4**

一、选择题（共20分，每题1分）

1．设寄存器内容为80H，若它对应的真值是 – 127，则该机器数是

A．原码；

B．补码；

C．反码；

D．移码。

2．下列叙述中 是正确的。

A．程序中断方式中有中断请求，DMA方式中没有中断请求；

B．程序中断方式和DMA方式中实现数据传送都需中断请求；

C．程序中断方式和DMA方式中都有中断请求，但目的不同；

D．DMA要等到指令周期结束时才进行周期窃取。

3．设机器数字长为32位，一个容量为16MB的存储器，CPU按半字寻址，其寻址范围是 。

A．224；

B．223；

C．222；

D．221。

4．在中断接口电路中，向量地址可通过 送至CPU。

A．地址线；

B．数据线；

C．控制线；

D．状态线。

5．在程序的执行过程中，Cache与主存的地址映象是由 。

A．程序员调度的；

B．操作系统管理的；

C．由程序员和操作系统共同协调完成的；

D．硬件自动完成的。

6．总线复用方式可以\_\_\_\_\_\_。

A．提高总线的传输带宽；

B．增加总线的功能；

C．减少总线中信号线的数量；

D．提高CUP利用率。

7．下列说法中正确的是　　　。

A．Cache与主存统一编址，Cache的地址空间是主存地址空间的一部分；

B．主存储器只由易失性的随机读写存储器构成；

C．单体多字存储器主要解决访存速度的问题；

D．Cache不与主存统一编址，Cache的地址空间不是主存地址空间的一部分。

8．在采用增量计数器法的微指令中，下一条微指令的地址\_\_\_\_\_\_。

A．在当前的微指令中；

B．在微指令地址计数器中；

C．在程序计数器；

D．在CPU中。

9．由于CPU内部操作的速度较快，而CPU访问一次存储器的时间较长，因此机器周期通常由\_\_\_\_\_\_来确定。

A．指令周期；

B．存取周期；

C．间址周期；

D．执行周期。

10．RISC机器\_\_\_\_\_\_。

A．不一定采用流水技术；

B．一定采用流水技术；

C．CPU配备很少的通用寄存器；

D．CPU配备很多的通用寄存器。

11．在下列寻址方式中， 寻址方式需要先计算，再访问主存。

A．立即；

B．变址；

C．间接；

D．直接。

12．在浮点机中，判断补码规格化形式的原则是\_\_\_\_\_\_。

A．尾数的第一数位为1，数符任意；

B．尾数的符号位与第一数位相同；

C．尾数的符号位与第一数位不同；

D．阶符与数符不同。

13．I/O采用统一编址时，进行输入输出操作的指令是\_\_\_\_\_\_。

A．控制指令；

B．访存指令；

C．输入输出指令；

D．程序指令。

14．设机器字长为32位，存储容量为16MB，若按双字编址，其寻址范围是　　　。

A．8MB；

B．2M；

C．4M；

D．16M。

15． 寻址对于实现程序浮动提供了较好的支持。

A．间接寻址；

B．变址寻址；

C．相对寻址；

D．直接寻址。

16．超流水线技术是\_\_\_\_\_\_。

A．缩短原来流水线的处理器周期；

B．在每个时钟周期内同时并发多条指令；

C．把多条能并行操作的指令组合成一条具有多个操作码字段的指令；

D．以上都不对。

17．以下叙述中错误的是\_\_\_\_\_\_。

A．指令周期的第一个操作是取指令；

B．为了进行取指令操作，控制器需要得到相应的指令；

C．取指令操作是控制器自动进行的；

D．指令周期的第一个操作是取数据。

18．I/O与主主机交换信息的方式中，DMA方式的特点是\_\_\_\_\_\_。

A．CPU与设备串行工作，传送与主程序串行工作；

B．CPU与设备并行工作，传送与主程序串行工作；

C．CPU与设备并行工作，传送与主程序并行工作；

D．CPU与设备串行工作，传送与主程序并行工作。

19．若9BH表示移码（含1位符号位）．其对应的十进制数是\_\_\_\_\_\_。

A．27；

B．-27；

C．-101；

D．101。

20．在二地址指令中 是正确的。

A．指令的地址码字段存放的一定是操作数；

B．指令的地址码字段存放的一定是操作数地址；

C．运算结果通常存放在其中一个地址码所提供的地址中；

D．指令的地址码字段存放的一定是操作码。

二、填空题（共20分，每空1分）

1．32位字长的浮点数，其中阶码8位（含1位阶符），基值为2，尾数24位（含1位数符），则其对应的最大正数是 A ，最小的绝对值是 B ；若机器数采用补码表示，且尾数为规格化形式，则对应的最小正数是 C ，最小负数是 D 。（均用十进制表示）

2．CPU从主存取出一条指令并执行该指令的时间叫 A ，它通常包含若干个 B ，而后者又包含若干个 C 。 D 和

E 组成多级时序系统。

3．假设微指令的操作控制字段共18位，若采用直接控制，则一条微指令最多可同时启动 A 个微操作命令。若采用字段直接编码控制，并要求一条微指令能同时启动3个微操作，则微指令的操作控制字段应分 B 段，若每个字段的微操作数相同，这样的微指令格式最多可包含 C 个微操作命令。

4．一个8体低位交叉的存储器，假设存取周期为T，CPU每隔 τ（T = 8τ）时间启动一个存储体，则依次从存储器中取出16个字共需 A 存取周期。

5．I/O与主机交换信息的控制方式中， A 方式CPU和设备是串行工作的。 B 和 C 方式CPU和设备是并行工作的，前者传送与主程序是并行的，后者传送和主机是串行的。

6．设n =16位（不包括符号位在内），原码两位乘需做 A 次移位，最多做

B 次加法；补码Booth算法需做 C 次移位，最多做 D 次加法。

三、名词解释（共10分，每题2分）

1．同步控制方式

2．周期窃取

3．双重分组跳跃进位

4．直接编码

5．硬件向量法

四、计算题（5分）

设x = +，y = +，试用变形补码计算x + y。

五、简答题（15分）

1．某机主存容量为4M×32位，且存储字长等于指令字长，若该机的指令系统具备129种操作。操作码位数固定，且具有直接、间接、立即、相对、基址、变址六种寻址方式。（5分）

（1）画出一地址指令格式并指出各字段的作用；

（2）该指令直接寻址的最大范围（十进制表示）；

（3）一次间址的寻址范围（十进制表示）；

（4）相对寻址的位移量（十进制表示）。

2．能不能说机器的主频越快，机器的速度就越快，为什么？

3．某机有五个中断源，按中断响应的优先顺序由高到低为L0,L1,L2,L3,L4，现要求优先顺序改为L3,L2,L4,L1,L0，写出各中断源的屏蔽字。（5分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |

六、问答题（20分）

（1）画出主机框图（要求画到寄存器级）；

（2）若存储器容量为64K×32位，指出图中各寄存器的位数；

（3）写出组合逻辑控制器完成 LDA X （X为主存地址）指令发出的全部微操作命令及节拍安排。

（4）若采用微程序控制，还需增加哪些微操作？

七、设计题（10分）

设CPU共有16根地址线，8根数据线，并用作访存控制信号（低电平有效），用作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出CPU与存储器的连接图，要求：



（1）存储芯片地址空间分配为：最小4K地址空间为系统程序区，相邻的4K地址空间为系统程序工作区，与系统程序工作区相邻的是24K用户程序区；

（2）指出选用的存储芯片类型及数量；

（3）详细画出片选逻辑。

**计算机组成原理试题4答案**

一、选择题（共20分，每题1分）

1．C 2．C 3．B 4．B 5．D 6．C 7．C

8．B 9．B 10．B 11．B 12．C 13．B 14．B

15．C 16．A 17．B 18．C 19．A 20．C

二、填空题（共20分，每空1分）

1．A．2×(1-2) B．2×2 C．2×2 D．-2

2．A．指令周期 B．机器周期 C．节拍 D．机器周期

E．节拍

3．A．18 B．3C．192

4．A．

5．A．程序查询 B．DMA C．程序中断

6．A．8 B．9 C．16 D．17

三、名词解释（共10 每题2分）

1. 同步控制方式

答：任何一条指令或指令中的任何一个微操作的执行，都由事先确定且有统一基准时标的时序信号所控制的方式，叫做同步控制方式。

2．周期窃取

答：周期窃取：DMA方式中由DMA接口向CPU申请占用总线，占用一个存取周期。

3．双重分组跳跃进位

答：n位全加器分成若干大组，大组内又分成若干小组，大组中小组的最高进位同时产生，大组与大组间的进位串行传送。

4．直接编码

答：在微指令的操作控制字段中，每一位代表一个微命令，这种编码方式即为直接编码方式。

5．硬件向量法

答：硬件向量法就是利用硬件产生向量地址，再由向量地址找到中断服务程序的入口地址。

四、计算题（共5分）

答：∵ x = + = 0.1011，y = + = 0.0111

∴= 00.1011， = 00.0111 （1分）

 （2分）

此时，符号位为“01”，表示溢出，又因第一位符号位为“0”，表示结果的真正符号，故“01”表示正溢出。 （2分）

五、简答题（共15分）

1．（5分）答：

1. 一地址指令格式为（1分）

|  |  |  |
| --- | --- | --- |
| OP | M | A |

OP 操作码字段，共9位，可反映129种操作；

M 寻址方式特征字段，共3位，可反映6种寻址方式；

A 形式地址字段，共32 –9 – 3 = 20位 （1分）

1. 直接寻址的最大范围为220 = 2048 （1分）
2. 由于存储字长为32位，故一次间址的寻址范围为232  （1分）
3. 相对寻址的位移量为 – 1024 ~ + 1023 （1分）

2．（5分）答：不能说机器的主频越快，机器的速度就越快。因为机器的速度不仅与主频有关，还与机器周期中所含的时钟周期数以及指令周期中所含的机器周期数有关。同样主频的机器，由于机器周期所含时钟周期数不同，机器的速度也不同。机器周期中所含时钟周期数少的机器，速度更快。

此外，机器的速度还和其他很多因素有关，如主存的速度、机器是否配有Cache、总线的数据传输率、硬盘的速度、以及机器是否采用流水技术等等。机器速度还可以用MIPS（每秒执行百万条指令数）和CPI（执行一条指令所需的时钟周期数来衡量）。

3．（5分）答：（每写对一个屏蔽字1分）

设屏蔽位为“1”时表示对应的中断源被屏蔽，屏蔽字排列如下：

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 | 1 0 0 0 0  1 1 0 0 0  1 0 1 1 1  1 1 1 1 1  1 1 0 0 1 |

六、问答题（共20分）

（1）（5分）

****

（2）（5分）

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| ACC | MQ | ALU | X | IR | MDR | PC | MAR |
| 32 | 32 | 32 | 32 | 32 | 32 | 16 | 16 |

（3）（5分）

|  |  |  |
| --- | --- | --- |
| T0 | PC→MAR | 1→R |
| T1 | M(MAR)→MDR | (PC)+1→PC |
| T2 | MDR→IR | OP(IR)→ID |
|  |  |  |
| T0 | Ad(IR)→MAR | 1→R |
| T1 | M(MAR)→MDR |  |
| T2 | MDR→AC |  |

(4)（5分）

|  |  |
| --- | --- |
| 取指 | Ad(CMDR)→CMAR |
| OP(IR)→微地址形成部件→CMAR |
| 执行 | Ad(CMDR)→CMAR |
|  |

七、设计题（共10分）

（1）根据主存地址空间分配为： （2分）

A15 … A11 … A7 … … A0

最小4K 4K×8位ROM 1片

相邻4K 4K×4位RAM 2片

相邻24K 8K×8位RAM 3片

（2）选出所用芯片类型及数量

最小4K地址空间为系统程序区，选用1片4K×8位ROM芯片；（1分）

相邻的4K地址空间为系统程序工作区，选用2片4K×4位RAM芯片；（1分）

与系统程序工作区相邻的24K为用户程序区，选用3片8K×8位RAM芯片。（1分）

（3）CPU与存储芯片的连接图如图所示（5分）

