|  |
| --- |
| **请在下次实验课前完成以下内容：** |
| 1.regfile（寄存器堆）模块的编写。 |
| 2.建立完整的工程，工程中包括自己编写的regfile模块，regfile\_display模块（已在群文件中提供），testbench.v（仿真文件）文件（已在群文件中提供），lcd\_module.dcp（显示屏操作模块）（已在群文件提供）。 |
| 3.完成仿真，并将仿真波形图像截图。 |
| 4.生成可以下载到FPGA上的.bit文件。 |
| 5.完成实验报告，实验报告要包括仿真波形图，regfile模块的verilog代码（包括必要的注释）。  实验报告请发送到邮箱：XXXX@XXX.com  实验报告截止时间：x月x日 |
| 实验报告命名要求：  1.命名规范：学号-姓名-实验3（如果需要再次提交命名为学号-姓名-实验3\_1）。  2.必要的注释和文字说明，截图清晰，不要出现雷同。  3.实验有问题可以互相讨论，一定要理解原理，自己动手实践。  4.报告要按时提交。  **※实验报告模板已在压缩包中给出，请使用本模板完成实验报告！** |
| **※实验以小组为单位，每2-3位同学一组，实验报告以个人为单位，同组实验截图可以雷同，但实验报告其他内容不可雷同，要有自己的理解。**  **※下节课将直接进行上板实验和检查。** |