



université
angers

FACULTÉ
DES SCIENCES
*Unité de formation
et de recherche*

UNIVERSITÉ
BRETAGNE
LOIRE

Système

Fabien GARREAU
sur la base du cours d'André Rossi

Université d'Angers
`fabien.garreau@univ-angers.fr`

L2 MPCIE, 2018–2019

Structure matérielle de l'ordinateur : l'unité centrale

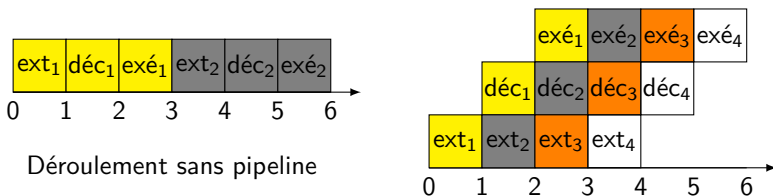
Cycle de base : **extraction** de la première instruction de la mémoire, **décodage** pour connaître son type et ses opérandes, puis **exécution**.

Utilisation de registres pour éviter d'attendre le transfert depuis la mémoire centrale (RAM). Registres spéciaux :

- le **compteur ordinal** (*program counter*) contient l'adresse de la prochaine instruction à extraire de la mémoire. Mis à jour à chaque exécution d'instruction.
- le **pointeur de pile** (*stack pointer*) contient l'adresse courante du sommet de la pile. La pile contient une entrée par procédure où le programme est entré, et dont il n'est pas encore sorti. Chaque entrée de la pile contient les paramètres passés à la procédure, et ses variables locales (hors registres).
- le **mot d'état** du programme (*PSW, program status word*) contenant diverses informations sur le processus en cours (s'il a été interrompu, si une division par zéro s'est produite etc).

L'unité centrale

Le cycle de base du processeur comporte trois étapes, mais ces étapes sont **mises en parallèle** à tout instant, on extrait une instruction de la mémoire pour l'instant $t + 2$, on en décode l'instruction de l'instant $t + 1$, et on exécute l'instruction de l'instant t . C'est un **pipeline** à trois niveaux (il y en a beaucoup plus dans les processeurs modernes).



Dès le 3ème coup d'horloge, une instruction est exécutée à chaque coup d'horloge.

Le gain de performance offert par le pipeline est très important malgré le **traitement d'instructions inutiles** (exécutions conditionnelles)

L'unité centrale

Le processeur a deux modes de fonctionnement : **mode noyau** et **mode utilisateur** (information mémorisée dans le bit de mode du PSW). En mode noyau, le processeur peut exécuter **toutes les instructions de son jeu**. L'OS fonctionne en mode noyau et a accès à tout le matériel. En mode utilisateur, les instructions relatives aux E/S et à la protection mémoire **sont inaccessibles**, ainsi que la modification du bit de mode du **PSW**. Un programme utilisateur doit effectuer un **appel système** : l'OS exécute l'instruction demandée pour le compte du programme utilisateur, puis rebascule en mode utilisateur.

Support du **multithread** : pour accélérer le traitement, faute de pouvoir augmenter la fréquence des processeurs, on parallélise les traitements (puces multi-cœur). Un thread est un processus léger tel qu'il est très rapide de basculer d'un thread à un autre (alors que le basculement d'un processus à un autre est plus lent).

La mémoire

Matériel	Temps d'accès typique	Capacité typique
Registre	1 ns	< 1 ko
Cache	2 ns	4 Mo
Mémoire centrale	10 ns	4 Go
SSD	100 000 ns (0.1 ms)	256 Go
Disque dur	10 000 000 ns (10 ms)	1 To
Lecteur DVD-ROM	150 000 000 ns (150 ms)	8.5 Go

SSD signifie **Solid State Drive**

La **mémoire cache** sert principalement à stocker les données et les instructions les plus couramment utilisées.

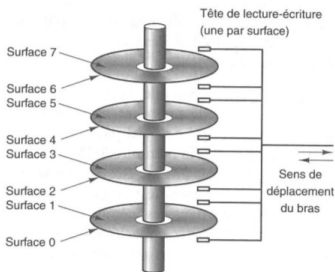
Il existe différents niveaux de mémoire cache : cache **L1**, près du processeur, très rapide, cache **L2**, moins rapide. Les disques durs sont également équipés de mémoire cache.

On recherche d'abord les données en mémoire cache. Si elles s'y trouvent, on parle de **cache hit**, dans le cas contraire, on a un **cache miss**, ce qui provoque la recherche de la donnée en mémoire centrale.

La mémoire – cas particulier des disques

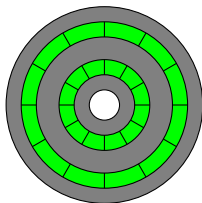
Les disques durs, SSD et disques optiques sont des supports de mémoire **non volatile**. Les disques durs et lecteurs optiques sont lents car constitués de **parties mécaniques**.

4 **plateaux** = 8 **surfaces** tournant à **5400, 7200 ou 10800** tours par minute. Une surface est divisée en **pistes** concentriques. Un **cy-lindre** désigne toutes les pistes associées à une position donnée du bras.

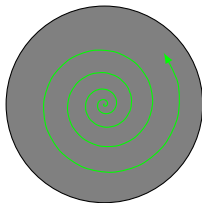


- Chaque **piste** est divisée en **secteurs**, un secteur stocke typiquement 512 octets
- Entre 2 et 5 plateaux sur un disque dur
- Déplacer le bras d'une piste à une piste adjacente nécessite environ **1 ms**
- Déplacer le bras d'une piste à une piste quelconque nécessite environ **5 ms à 10 ms**
- Une fois la tête positionnée au dessus de la piste désirée, il faut **5 à 10 ms** pour qu'elle survole le secteur désiré
- Le débit d'E/S va de **50 Mo/s à 160 Mo/s** (**500 Mo/s pour un SSD**)

La mémoire – cas particulier des disques



Sur les disques durs récents, le nombre de secteurs est **plus élevé** sur les pistes périphériques que sur les pistes **proches du centre**.



Dans le cas d'un **disque optique** (CD, DVD ou Blu-ray Disc), il n'y a pas **plusieurs pistes**, mais **une seule piste en spirale**, de 5 km de long pour un CD, 11 km pour un DVD, et 25 km pour un Blu-ray Disc.

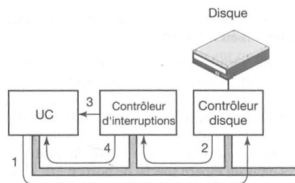
Les périphériques d'entrée/sortie

On distingue le **contrôleur** (un circuit électronique de gestion) et le **périphérique** lui-même. L'OS contrôle un périphérique à travers un dialogue avec son contrôleur. Le logiciel utilisé pour ce dialogue s'appelle un **pilote de périphérique (driver)**. Le fabricant du périphérique doit développer un driver pour chaque OS qu'il souhaite supporter. Le pilote est un programme qui fonctionne **en mode noyau**, car très peu d'OS autorisent les processus utilisateur à communiquer directement avec les périphériques.

Un pilote est chargé en mémoire au démarrage du système, ou, et c'est le cas des périphériques USB et IEEE 1394, le pilote est chargé dynamiquement.

La communication avec les périphériques d'E/S se fait à l'aide des **interruptions**.

Les périphériques d'entrée/sortie



- ❶ L'UC demande des données **au contrôleur du périphérique** via le pilote
- ❷ Une fois les données copiées, le contrôleur le signale **au contrôleur d'interruptions**
- ❸ Quand le contrôleur d'interruptions est prêt, il informe l'UC de la réception de l'interruption à l'aide d'une broche particulière
- ❹ Le contrôleur d'interruptions place **le numéro du périphérique** sur le bus pour que l'UC sache quel périphérique a émis l'interruption
- ❺ Quand l'UC décide de prendre l'interruption en compte, le compteur ordinal et le PSW du processus courant sont empilés et l'UC **passe en mode noyau**. Le numéro du périphérique est alors utilisé pour indexer une zone mémoire contenant l'adresse du gestionnaire d'interruptions pour ce périphérique (il s'agit d'une partie du pilote).

Les périphériques d'entrée/sortie

Cette zone mémoire est le **vecteur d'interruption**. Le gestionnaire d'interruptions dépile le compteur ordinal et le PSW et les sauvegarde. Une fois que le gestionnaire d'interruptions du périphérique a terminé son exécution, il rend le contrôle au processus qui était en cours d'exécution.

Plusieurs interruptions peuvent arriver simultanément, c'est pour quoi l'UC peut les désactiver. Pendant ce temps, les interruptions sont signalées, mais non prises en compte. Quand elles sont réactivées, l'UC choisit celles de plus haute priorité, cette priorité est généralement constante pour un matériel donné.