



# CA回忆卷 (till 2023)

一个人的

大题是scoreboard, tomasulo, 投机/不投机, 两个协议, cache,

复习的时候问自己：一个算法的关键在于它为了解决什么问题, 解决了什么问题, 不能解决什么问题, 有什么适用条件, 怎么解决问题, 对于不能解决的我们还能做什么

一个人的

## 选择

1. virtually index physically tag. 给virtual address bits和physical address bits, 给page size和cache size, 以及cache的关联度, 计算cache中存储的Tag是多少bit

2. NUCA、SMP, 这里是书上5.1部分的内容

3. consistency和coherence的定义

4. 把一段指令整合成vector之后执行所需要的时钟周期。

5. 1000条指令, 40个L1miss, 20个L2miss。其中L1 hit time = 1 cycle, L2 hit time = 10 cycle, miss penalty=200cycle. 每个指令平均有1.5次memory访问, 计算avg stall.

6. VLIW由编译器静态调度, superscalar由硬件调度。

7. 哪一段指令不能通过前递解决hazard

8. 计算实际的CPI，还是考cache miss那块的公式。

9. 一些指令的执行顺序，哪个是不正确的。（RAW）

## 大题

1. directory based，给了cache和directory的状态，考一个processor要读写一个地址的block时进行的具体操作，要按步骤写出来。

2. scoreboard和tomasulo & hardware speculation，给出一段汇编指令写出每个指令不同阶段的周期。

3. cache，一段循环代码，不同cache大小和不同关联程度的情况下计算avg memory stall cycle？大概是这个，主要考察cache miss

## 21-22

一、16个单选题，每个2分

涉及了Amdahl定律（比较简单）、CSR（比较简单，问哪个不是CSR）、Cache优化方法（考了大概3-4道题，具体到是优化了哪一指标达到优化目的的、优化的同时又带来了什么副作用）、SpinLock用EXCH实现和用LR/SC实现的表现差异及原因、Memory Consistence Model、下列哪一项不是DLP

除了 lz 回忆的之外只记得一个选择：

硬件 primitive 可以实现 store

硬件 primitive 可以得知操作是否成功

硬件 primitive 可以完全被软件模拟

选择题把cache优化考得比较细，有问你减少miss penalty 的措施 选项是enlarge/reduce cache size/block size 还有高关联耗能等只抄那张表做不出来需要理解的题目

还考了个2-bit branch predictor很简单

内存一致性 有问到那几个模型哪个能保证给出的例子一致性

选择题还考了一个write back但是no write allocated的miss

## 二、Chapter 2

两级Cache的问题。第一题和第二题问了Miss Rate与Speedup的计算，第三题要描述在Write Back和Write Allocate情况下，先写0x00000400再读0x00100400的整个cache运作过程，要说明tag, index, valid和dirty的变化。

cache 那个题有两级 cache，L1 cache block size = 1kB, cache size = 16kB, directed map; L2 cache block size = 1kB, cache size = 1MB, 4 way associative

然后cache 那个题地址你记错了，第二个地址是 0x00100400

## 三、Chapter 3

单发射，scoreboard和Tomosulo的执行周期填表，以及scoreboard变量在某一时刻的值填表

如6th 教材的例子 Figure 3.11-3.14（不过用的是scoreboard的算法）

#### **四、Chapter 3**

双发射、在有和没有speculation的情况下，填周期表

如6th 教材的例子 Figure 3.23 3.24

#### **五、Chapter 5**

MSI协议下，Cache和Memory在一些读、写操作后有哪些变化

类似6th 教材的习题5.1