

# Taller de Lógica Digital - Parte 2

Organización del Computador 1

Primer Cuatrimestre 2023

## Ejercicios

### 1. Componentes de 3 estados

a) Completar la siguiente tabla:

A	A <sub>en</sub>	B	B <sub>en</sub>	C	C <sub>en</sub>	Estimado	Obtenido
0	0	0	0	0	0		
0	1	1	1	0	0		
1	0	1	0	1	0		
1	1	0	0	0	1		
0	1	0	1	0	1		
0	1	1	1	1	1		
1	0	1	1	1	0		

b) Completar la siguiente tabla:

Color	Interpretación
Gris	no conectado a nada
Verde claro	1 o corriente
Verde oscuro	0 o no corriente
Azul	no asignado o incertidumbre
Rojo	error, en el cable se encuentran dos estados contradictorios

c) Enunciar la regla:

Si dos o más compuertas de control de buffer son 1, el valor de bit de que tienen debe ser el mismo en todas las activadas para evitar la contradicción

d) Explicar cuáles son y por qué:

No vamos a tomar como válido que existan mas de 1 enable activos al mismo tiempo

### 2. Transferencia entre registros

a) Detallar entradas y salidas:

La salida es S

Los controles son en\_force\_input y el w y en\_out de cada registro\_salida\_restringido

Force input es el valor externo a escribir en los componentes de memoria

Y S es el valor guardado que decido mostrar y tambien sirve como entrada para escribir

b) Secuencia de señales:

Force\_Input en 1 -> Enable\_Force\_Input en 1 -> Write de R1 en 1 -> Hacer flanco ascendente en clock

c) Secuencia de señales:

force\_input=1 ->e\_Force\_input=1->w\_R0=1->flanco\_asc\_clk->w\_R0=0->w\_R1=1->flancoAscClk->w\_R1=0->w\_R0=1->en\_outR2=1->force\_inp=0->flancoAscClk->w\_R0=0->eOutR2=0->wR1=1->Clk

### 3. Máquina de 4 registros con suma y resta.

a) Detallar entradas y salidas:

las entradas son: Alu\_X\_Write, Reg\_X\_Write, RegX\_enableOut,

las salidas son: Reg\_X\_Debug, N, Z, V, C,

las entradas de control son: ForceInput, en\_Forc\_input, Clock, OP,

b) Detallar el contenido de cada display:

El Reg4\_debug nos dice el valor que queda en el registro X, al igual que el A\_debug, el B\_debug y el s\_debug

c) Secuencia de señales:

0100=force\_input->en\_force\_input=1->reg2\_w=1->clock->reg2\_w=0

1101=force\_input->en\_force\_input=1->reg3\_w=1->clock->reg3\_w=0

d) Completar la siguiente tabla:

Valor inicial	Resultado operación 1	Flags	Resultado operación 2	Flags
(4, 0)				
(7, -1)				
(-8, -2)				
(8, -9)				

Los resultados interpretados en sin signo y en complemento a 2.

e) Explicar

## Corrección

Integrantes:

Nombre y Apellido:

LU:

Nombre y Apellido:

LU:

Para uso de los docentes:

1	2	3