

座位号

学号

班级

姓名

装  
订  
线  
内  
不  
要  
答  
题

装  
订  
线

东北大学秦皇岛分校

课程名称： 计算机组成原理 试卷： (A)答案 考试形式： 闭卷

考试对象： 计算机科学与技术 15 级考试日期： 2017 年 12 月 19 日 试卷： 4 页

题号	一	二	三	四	五	六	七	八	总分
得分									

得分	
----	--

一、选择题（每空 1 分，共 20 分）

- 1、 假定基准程序 A 在某计算机上的运行时间为 100 秒，其中 90 秒为 CPU 时间，其余为 I/O 时间。若 CPU 速度提高 50%，I/O 速度不变，则运行基准程序 A 所花费的时间是（ D ）  
A. 55 秒    B. 60 秒    C. 65 秒    D. 70 秒
- 2、 存储程序并按（ C ）顺序执行，这是冯•诺依曼型计算机的工作原理。  
A、计数器    B、循环    C、地址    D、值
- 3、 规格化浮点数的尾数最高一位二进制数（ D ）。  
A. 一定为 1    B. 一定为 0    C. 任意    D. 不一定为 1
- 4、 由 74181ALU 组成的运算器所以能提供高速运算，是因为它设置了（ A ）和（        ）两个本位超前进位输出端  
A、P、G    B 、D、T    C、A、B    D、C、F
- 5、 主存贮器和 CPU 之间增加 cache 的目的是（ A ）。  
A 解决 CPU 和主存之间的速度匹配问题  
B 扩大主存贮器容量  
C 扩大 CPU 中通用寄存器的数量  
D 既扩大主存贮器容量，又扩大 CPU 中通用寄存器的数量
- 6、 DRAM 的刷新是以（ B ）为单位的  
A、存储单元 B、行    C、列    D、存储字
- 7、 下列几种存储器，（ A ）是易失性存储器  
A、Cache    B、EPROM    C、Flash Memory D、CD-ROM
- 8、 某计算机使用 4 体交叉编制存储器编址存储器，假定在存储器总线上出现的主存地址（十进制）序列为 8005，8006，8007，8008，8001，8002，8003，8004，8000，则可能发生访存冲突的地址对是（ D ）

- A、8004 和 8008    B、8002 和 8007  
C、8001 和 8008    D、8000 和 8004
- 9、 在虚拟存储器中，当程序正在执行时，由（ D ）完成地址映射  
A、程序员    B、编译器  
C、装入程序    D、操作系统
- 10、 在 CPU 执行指令的过程中，指令的地址由（ A ）给出  
A、程序计数器 PC    B、指令的地址码字段  
C、操作系统    D、程序员
- 11、 在指令格式中，采用扩展操作码设计方案的目的是（ C ）  
A、减少指令字得长度    B、增加指令字的长度  
C、保持指令字的长度不变而增加指令的数量  
D、保持指令字的长度不变而增加寻址空间
- 12、 指令的译码是对（B ）进行译码  
A、整条指令    B、指令的操作码字段  
C、指令的地址码字段    D、指令的地址
- 13、 指令周期是指（C ）  
A、CPU 从主存取出一条指令的时间    B、CPU 指令一条指令的时间  
C、CPU 从主存取出一条指令加上执行这条指令的时间    D、时钟周期时间
- 14、 相对于微程序控制器，硬布线控制器的特点是（ D ）  
A、指令执行速度慢，指令功能的修改和扩展容易  
B、指令执行速度慢，指令功能的修改和扩展难  
C、指令执行速度快，指令功能的修改和扩展容易  
D、指令执行速度快，指令功能的修改和扩展容难
- 15、 CRT 的分辨率为 1024×1024 像素，像素的颜色数为 256 色，则刷新存储器的容量是（ D ）  
A. 256KB    B. 2MB    C. 512KB    D. 1MB
- 16、 如果浮点数用补码表示，则判断下列哪一项的运算结果是规格化数（ C ）。  
A 1.11000    B 0.01110    C 1.00010    D0.01010
- 17、 在定点二进制运算其中，减法运算一般通过（ D ）来实现  
A 原码运算的二进制减法器    B 补码运算的二进制减法器  
C 补码运算的十进制加法器    D 补码运算的二进制加法器
- 18、 某 DRAM 芯片，其存储容量为 512K×8 位，该芯片的地址线和数据线数目为（ D ）。  
A. 8, 512    B. 512, 8    C. 18, 8    D. 19, 8
- 19、 变址寻址方式中，操作数有效地址等于（ A ）内容加上位移量  
A .变址寄存器    B . 堆栈指示器    C .基址寄存器    D. 程序计数器
- 20、 为了便于实现多级中断，保存现场信息最有效方法是用（ D ）  
A. 通用寄存器    B. 外存    C. 存储器    D. 堆栈

座位号

学号

班级

姓名

装订线内不要答题

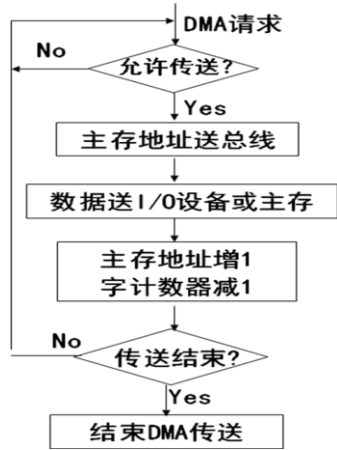
得分

二、简答题（3 小题 24 分）

1、简述指令周期、机器周期、时钟周期的概念及三者之间的关系。（8 分）  
答：（各 2 分）  
指令周期：CPU 从内存取出一条指令并执行完这条指令所占用的总时间  
机器周期（CPU 周期）：完成一个基本操作所需要的时间称为机器周期。  
时钟周期（节拍、T 周期）：产生一个或多个操作控制信号的最基本的时间单位  
三者关系：一个指令周期由若干个机器周期组成，每个机器周期又由若干个时钟周期组成。

2、简述 CPU 访问（读、写）主存的一般过程（本题 8 分）  
答：（1）CPU 访问主存的读操作  
地址→AR→AB，CPU 将地址信号送至地址总线  
Read，CPU 发读命令  
MEM→DB→DR，读出信息经数据总线送至 CPU  
必要时，当主存读操作结束时，通过“Ready”向 CPU 做出应答，表明数据读出完成。  
（2）CPU 访问主存的写操作  
地址→MAR→AB，CPU 将地址信号送至地址总线  
数据→MDR→DB，CPU 将要写入的数据送至数据总线  
Write，CPU 发写命令  
存储器写入数据  
必要时，存储器通过“Ready”向 CPU 做出应答，表明数据写入完成。

3、以输入数据过程为例，详细描述 DMA 的数据传送过程（流程图或文字描述均可）（8 分）



- 输入数据过程：
- 1 从输入介质上读一个字→数据缓冲寄存器中
  - 2 向DMAC发DMA请求
  - 3 DMAC向CPU发HOLD请求
  - 4 CPU响应DMAC请求,发HLDA信号,DMAC发DMA响应信号
  - 5 DBR → MDR, MAC → 主存MAR, “写”
  - 6 字计数器 - 1 → 字计数器, MAC+1 → MAC
  - 7 判字计数器=0?

得分

三、计算题（2 小题，24 分）

1. 已知十进制数  $X=-5/256$ ,  $Y=+59/1024$ , 按照机器补码浮点数运算规则计算  $X-Y$ , 结果用二进制表示, 浮点数格式如下: 阶符取 2 位, 阶码取 3 位, 数符取 2 位, 尾数取 9 位。（10 分）

解：（1）浮点表示  
 $X=11\ 011\ 11\ 011000000$   
 $Y=11\ 100\ 00\ 111011000$   
 $[-Y]=11\ 100\ 11\ 000101000$   
（2）对阶  
 $\Delta E=E[x]-E[-y]=11\ 011 - 11\ 100=11\ 011 + 00\ 100=11\ 111=-1<0$ ,  $X$  需要右移, 阶码加一  
 $X=11\ 100\ 11\ 101100000\ 0$   
（3）尾数相加

1	1		1	0	1	1	0	0	0	0	0	0
1	1		0	0	0	1	0	1	0	0	0	0
1	0		1	1	0	0	0	1	0	0	0	0

（4）规格化, 负溢, 右规, 阶码加 1, 11 101  
11 01100010000  
（5）位数处理, 舍入, 11 011000100  
（6）判溢, 不溢出, 结果为 11 101 11 011000100= $(-0.1001111) \times 2^{-3}$

2、（14 分）设 Cache 容量为 16KB, 块大小为 512B, 采用四路（组内有四块）组相联映像, 且采用 LRU 替换算法。主存使用 20 位地址, 且按字节编址, 试求解下列问题：

- （1）划分主存地址格式, 且需指明每部分的位数（3 分）
- （2）划分 Cache 地址格式, 且需指明每部分的位数（3 分）
- （3）写出该主存—Cache 系统的地址映像函数。（2 分）
- （4）设某程序将使用的主存块字节地址流为“00000H、01100H、02101H、00010H、08810H, 05110H, 12345H, 03030H”, 假设初始时 Cache 为空, 填下图完成 CPU 访问完这 8 个主存地址后 Cache 的存储示意图, 即将主存块号填在 Cache 存储体中相应位置, 将标记及有效位填写在 Cache 目录表中相应位置（没有用到的 Cache 块不用填写）。（6 分）

座位号

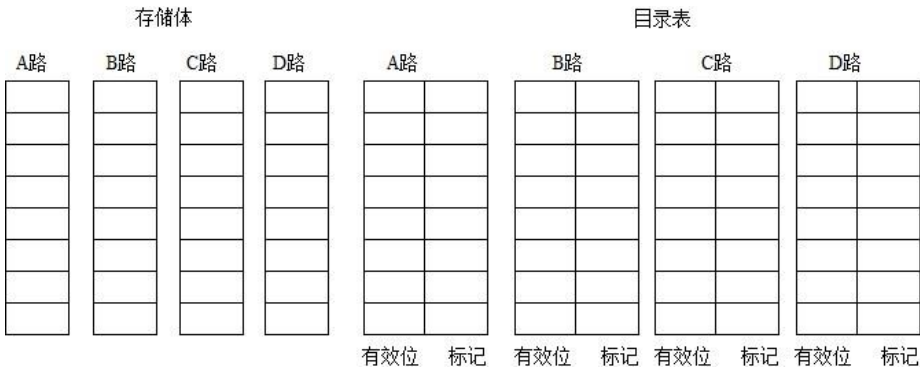
学 号

班 级

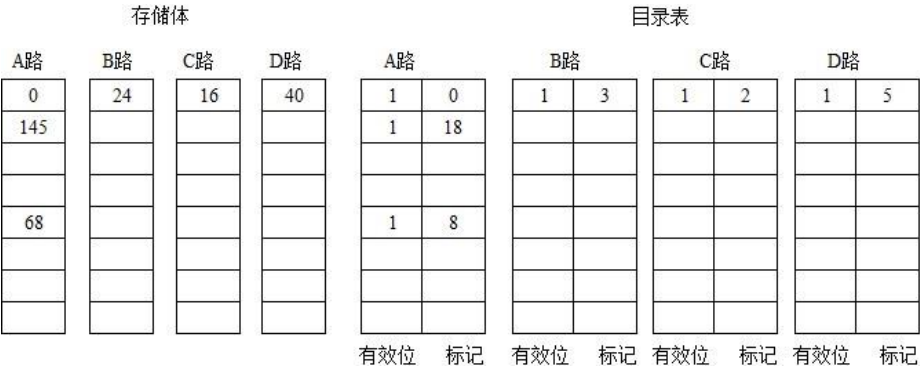
姓 名

装  
订  
线  
内  
不  
要  
答  
题

装  
订  
线



解：（1）主存地址：  
主存字块（8 位），Cache 组号（3 位），块内地址（9 位）  
（2）Cache 地址：  
Cache 组号（3 位），组内快号（2 位），块内地址（9 位）  
（3） $L = (P \text{ MOD } 2^7) * 2^1 + K$ ；K=0、1、2、3  
（4）Cache 存储示意图如下：



得分

四、综合题（2 小题，32 分）

1、（12 分）某计算机字长 16 位，主存地址空间大小 128kB，按字编址，采用单字长指令格式，指令各段定义如下：

15

12

11

6

5

0

OP

Ms

Rs

Md

Rd

源操作数

目的操作数

转移指令采用相对寻址，相对偏移量用补码表示，寻址方式如下：

Ms/Md	寻址方式	助记符	含义
000B	寄存器直接	Rn	操作数=(Rn)
001B	寄存器间接	(Rn)	操作数=((Rn))
010B	寄存器间接、自增	(Rn)+	操作数=((Rn))，(Rn)+1→Rn
011B	相对	D(Rn)	操作数=(PC)+(Rn)

请回答下列问题：

（1）该指令系统最多可有多少条指令？该计算机最多可以有多少个通用寄存器？存储器地址寄存器（MAR）和数据寄存器（MDR）至少各需多少位？（4 分）

（2）转移指令的目标地址范围是多少？（2 分）

（3）若操作码 0010B 表示加法操作(助记符为 add)，寄存器 R4 和 R5 的编号分别为 100B 和 101B, R4 的内容为 1234H, R5 的内容为 5678H, 地址 1234H 中的内容是 5678H, 5678H 的内容是 1234H, 则汇编指令“add (R4), (R5)+”（注意前面是源操作数）对应的机器码是什么？该指令执行后，哪些寄存器和存储单元内容发生改变？改变后的内容是？（6 分）

答：

（1）16 条指令，8 个通用寄存器，MAR 至少 16 位，MDR 至少也是 16 位

（2）0000-FFFFH（ $0-2^{16}-1$ ）

（3）0010 001 100 010 101B=2315H

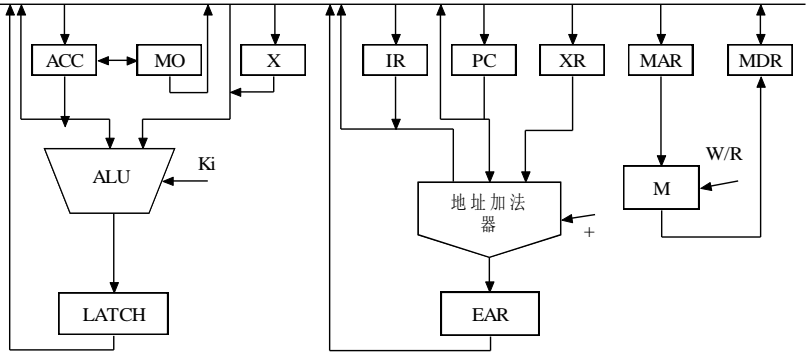
R5 和 5678H 内容都会改变，R5 由 5678H 变成 5679H，5678H 的内容变成 68ACH

2、已知单总线计算机结构如图所示，其中 M 为主存，XR 为变址寄存器，EAR 为有效地址寄存器，LATCH 为暂存器。假设指令地址已存在于 PC 之中，请给出 ADD X,D 指令周期信息流程和相应的控制信号。说明：(12 分)

（1）ADD X, D 指令字中，X 为变址寄存器 XR，D 为形式地址

（2）寄存器的输入/输出均采用控制信号控制，如 PC<sub>i</sub> 表示 PC 的输入控制信号，MDR<sub>o</sub> 表示 MDR 的输出控制信号。

（3）凡是需要经过总线的传送，都需要注明，如(PC)→MAR，相应的控制信号为 PC<sub>o</sub> 和 MAR<sub>i</sub>



座位号

学 号

班 级

姓 名

装  
订  
线  
内  
不  
要  
答  
题

装  
订  
线

解：

周期	微操作	有效控制信号
取址周期	(PC)→MAR	PCo, MARi
	M(MAR)→MDR	MARo, R/W, MDRi, +1
	(PC)+1→PC	
	(MDR)→IR	MDRo, IRi
执行周期	(XR)+Ad(IR)→EAR	XRo, IRo, +, EARi
	(EAR)→MAR	EARo, MARi
	M(MAR)→MDR	MARo, R/W, MDRi
	(MDR)→X	MDRo, Xi
	(ACC)+(X)→LATCH	ACCo, Xo, Ki=+, LATCHi
	(LATCH)→ACC	LATCHo, ACCi

3、假设某计算机共 4 个设备中断源，优先级从高到低分别为 1、2、3、4。每级对应 1 个屏蔽码，表 7-3 列出了中断响应优先级与屏蔽级一致情况下的屏蔽码，表 7-4 列出了中断响应优先级与屏蔽级不一致情况下的屏蔽码。主程序执行过程中同时出现设备 2 和设备 3 的中断请求，在设备 2 执行阶段又出现了设备 4 的中断请求，当设备 4 的中断程序执行结束返回到主程序后，又重新出现设备 2 的中断请求，执行设备 2 的中断服务过程中又产生了设备 1 的中断请求。对于两种不同的屏蔽码，分别画出中断处理过程示意图。（8 分）

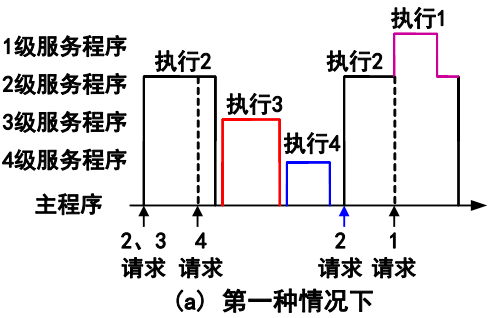
表 7-3 中断屏蔽码 1							表 7-4 中断屏蔽码 2				
中断级别	设备屏蔽码					中断级别	设备屏蔽码				说明
	1	2	3	4			1	2	3	4	
1 级	1	1	1	1		1 级	1	0	0	1	0 为开放 1 为屏蔽
2 级	0	1	1	1		2 级	1	1	0	1	
3 级	0	0	1	1		3 级	1	1	1	1	
4 级	0	0	0	1		4 级	0	0	0	1	

解：多重中断处理过程过程

屏蔽字：1111、0111、0011、0001

响应顺序：1→2 →3 →4

处理顺序：1→2 →3 →4



屏蔽字：1001、1101、1111、0001

响应顺序：1→2 →3 →4

处理顺序：3→2 →1 →4

