

5.2 组合逻辑电路分析

5.2.1 实验目的

- (1)掌握组合逻辑电路的功能测试。
- (2)验证半加器和全加器的逻辑功能。
- (3)学会组合逻辑电路的设计方法。

5.2.2 实验仪器及材料

- (1)YLSD 数字电路实验台。
- (2)器件：

74LS00 二输入端四与非门 3 片

74LS86 二输入端四异或门 1 片

74LS54 四组输入与或非门 1 片

5.2.3 预习要求

- (1)预习组合逻辑电路的分析方法。
- (2)预习用与非门和异或门构成的半加器、全加器的工作原理。
- (3)预习二进制数的运算。

5.2.4 实验原理

使用中、小规模集成电路来设计组合电路是最常见的逻辑电路。设计组合电路的一般步骤如图 5-5 所示。

根据设计任务的要求建立输入、输出变量，并列出真值表。然后用逻辑代数或卡诺图化简法求出简化的逻辑表达式。并按实际选用逻辑门的类型修改逻辑表达式。根据简化后的逻辑表达式，画出逻辑图，用标准器件构成逻辑电路。最后，用实验来验证设计的正确性。

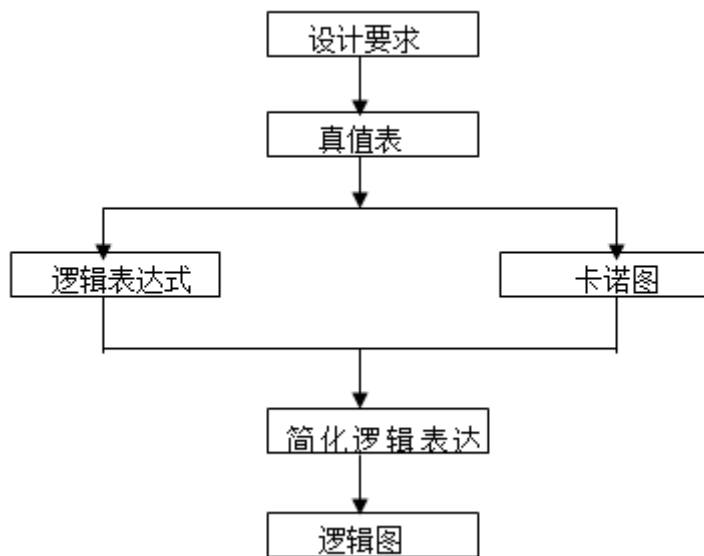


图 5-5 组合逻辑电路设计流程图

5.2.5 实验内容

1.组合逻辑电路功能测试

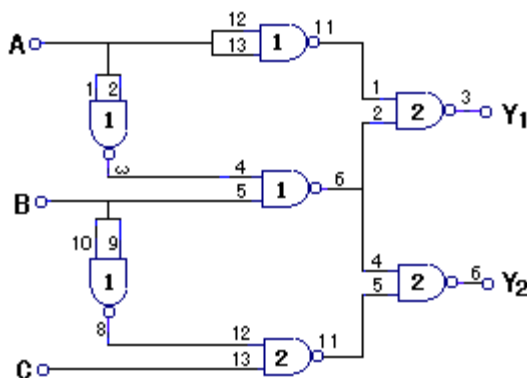


图 5-6 组合逻辑电路功能测试接线图

(1)用 2 片 74LS00 组成图 5-6 所示逻辑电路。为便于接线和检查，在图中要注明芯片编号及各引脚对应的编号。

(2)图中 A、B、C 接逻辑电平，Y1，Y2 接 LED 电平指示。

(3)按表 5-6 的要求，改变 A、B、C 的状态填表并写出 Y1，Y2 逻辑表达式。

Y1= _____

Y2= _____

(4)将运算结果与实验比较。

表 5-6 组合逻辑电路功能测试输出结果

输入			计算输出		实验输出	
A	B	C	Y1	Y2	Y1	Y2
0	0	0				
0	0	1				
0	1	1				
1	1	1				
1	1	0				
1	0	0				
1	0	1				
0	1	0				

2. 测试用异或门（74LS86）和与非门（74LS00）组成的半加器的逻辑功能

根据半加器的逻辑表达式可知，半加器 Y 是 A、B 的异或，而进位 Z 是 A、B 相与，故半加器可用一个集成异或门和二一个与非门组成如图 5-7。

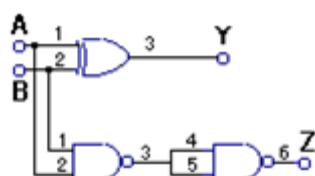


图 5-7 半加器测试接线图

(1)在实验台上用异或门和与非门接成以上电路。A、B 接逻辑电平 S，Y、Z 接 LED 电平指示。

(2)按表 5-7 要求改变 A、B 状态，填表。

表 5-7 半加器测试输出显示

输入端	A	0	1	0	1
	B	0	0	1	1
输出端	Y				
	Z				

3.测试全加器的逻辑功能

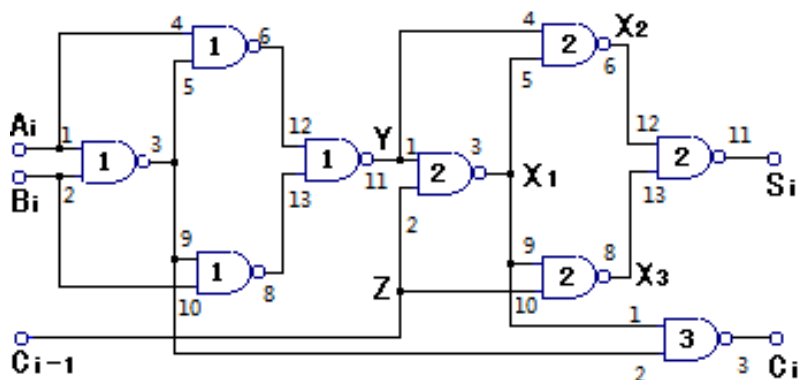


图 5-8 全加器测试接线图

(1)写出图 5-8 电路的逻辑表达式。

Y=

Z=

X1=

X2=

X3=

Si=

Ci=

(2)根据逻辑表达式列真值表，填写到表 5-8 中。

表 5-8 全加器真值表

A_i	B_i	C_{i-1}	Y	Z	X_1	X_2	X_3	S_i	C_i
0	0	0							
0	1	0							
1	0	0							
1	1	0							
0	0	1							
0	1	1							
1	0	1							
1	1	1							

(3)根据真值表画逻辑函数 S_iC_i 的卡诺图。

B_i, C_{i-1}					
A_i		00	01	11	10
	0				
	1				

$S_i =$ _____

B_i, C_{i-1}					
A_i		00	01	11	10
	0				
	1				

$C_i =$ _____

图 5-9 全加器卡诺图

(4)按原理图选择与非门并接线进行测试，将测试结果记入表 5-9，并与表 5-8 进行比较，观察逻辑功能是否一致。

表 5-9 全加器输出显示

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0		
0	1	0		
1	0	0		
1	1	0		
0	0	1		
0	1	1		
1	0	1		
1	1	1		

4. 用一块异或门（74LS86）、一块与或非门（74LS54）和一个与非门（74LS00）设计构成一位全加器并测试逻辑功能

全加器可以用两个半加器和两个与门、一个或门组成，在实验中，常用一块双异或门、

一块与或非门和一个与非门实现。

(1)画出用异或门、与或非门和与非门实现全加器的逻辑电路图，写出逻辑表达式。

(2)找出异或门、与或非门和与非门器件按自己画出的逻辑电路图接线。

(注意：接线时如果与或非门中的与门有一个或几个引脚不被使用，则需将它们接高电平；如果整个与门不被使用，则需将此与门的至少一个输入引脚接地。)

(3)当输入端 A_i 、 B_i 及 C_{i-1} 为下列情况时，用万用表测量 S_i 和 C_i 的电位并将其转为逻辑状态填表 5-10。

表 5-10 全加器的设计输出显示

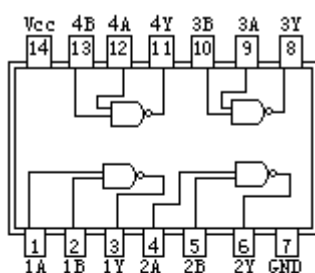
输入端	A_i	0	0	0	0	1	1	1	1
	B_i	0	0	1	1	0	0	1	1
	C_{i-1}	0	1	0	1	0	1	0	1
输出端	S_i								
	C_i								

5.2.6 实验报告

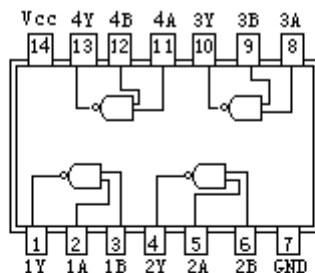
(1)整理实验数据、图表并对实验结果进行分析讨论。

(2)画出实验内容 4 的电路图，写出逻辑表达式。

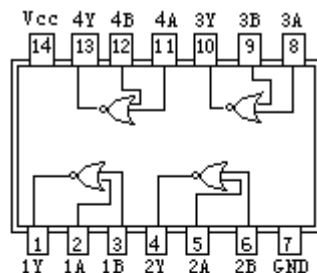
附录 E 常用芯片的识别与引脚排列



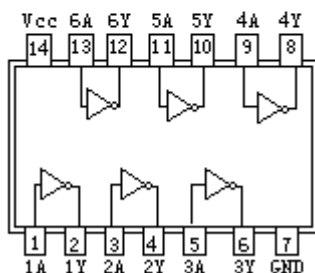
74LS00



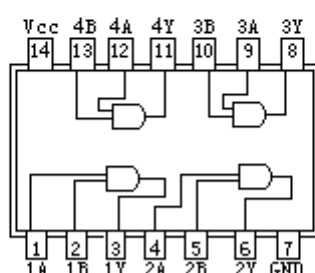
74LS01



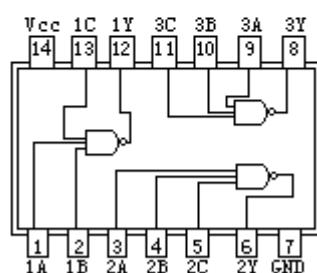
74LS02



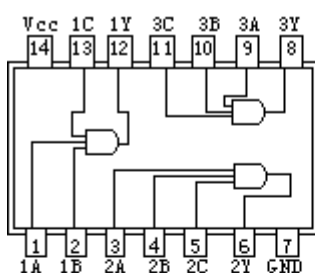
74LS04



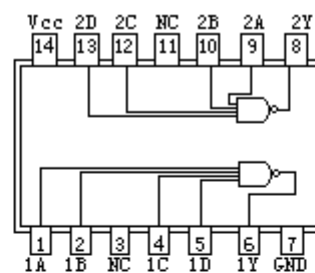
74LS08



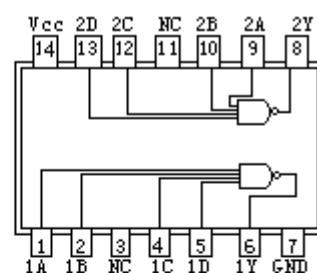
74LS10



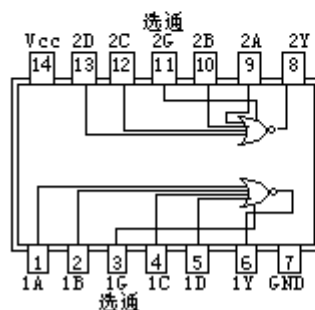
74LS11



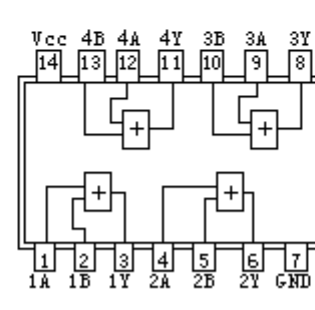
74LS20



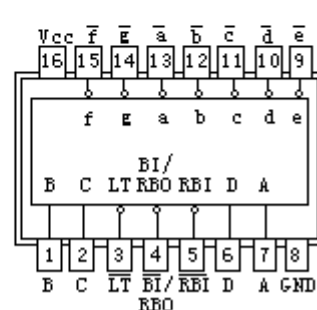
74LS22



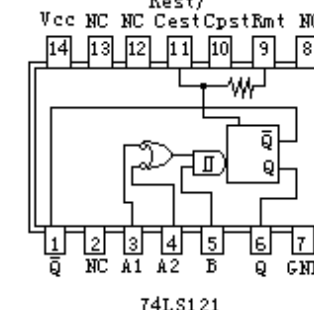
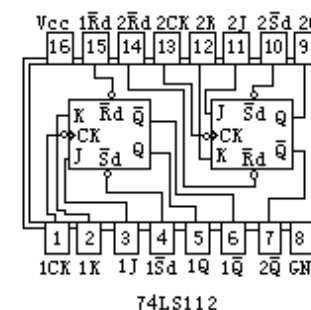
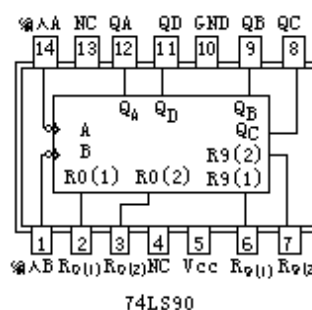
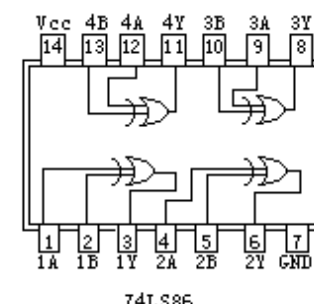
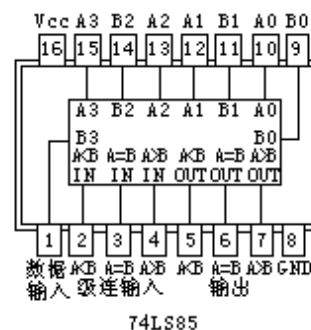
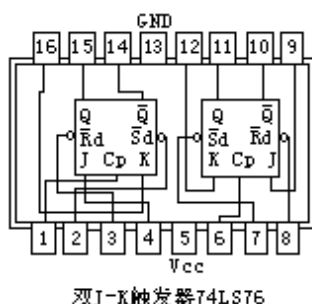
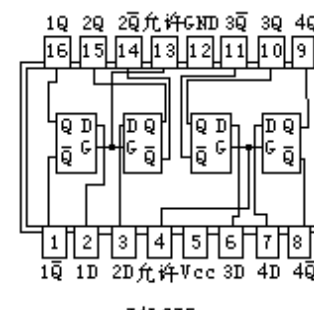
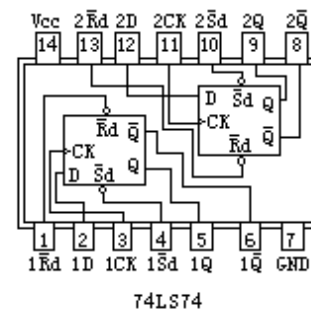
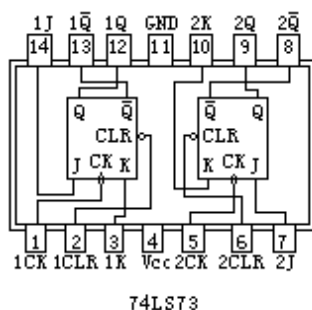
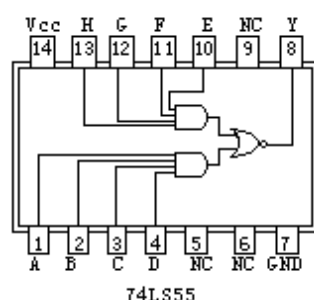
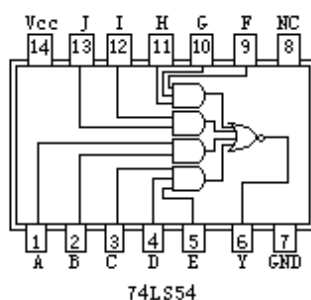
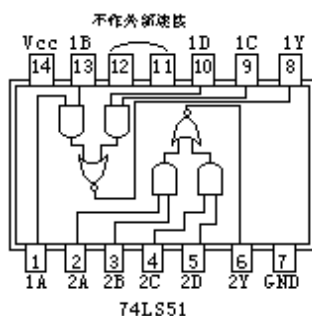
74LS25

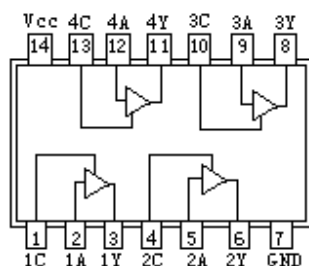


74LS32

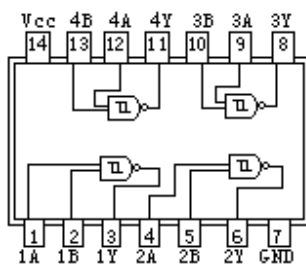


74LS47

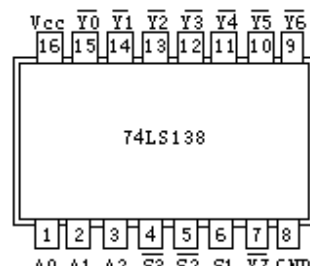




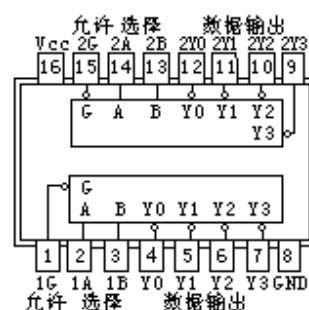
74LS126



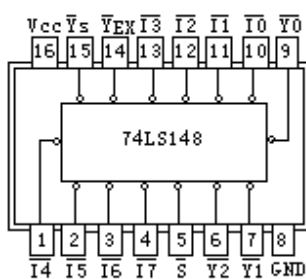
74LS132



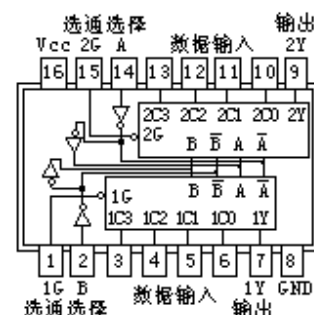
74LS138



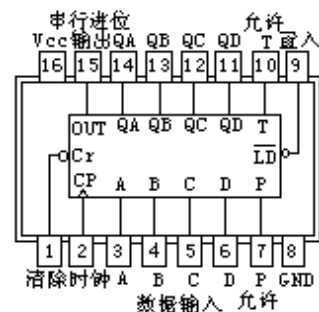
74LS139



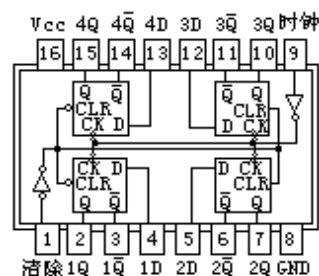
74LS148



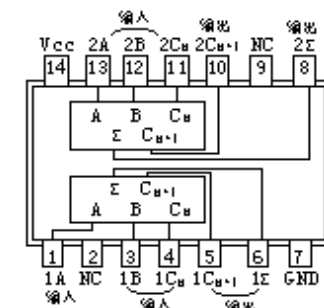
74LS153



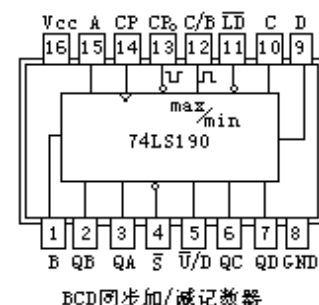
74LS160/74LS161



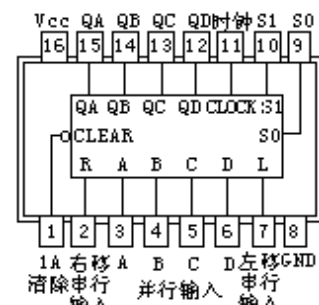
74LS175



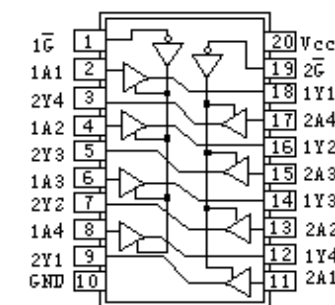
74LS183



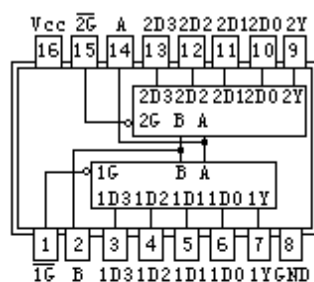
74LS190/74LS191



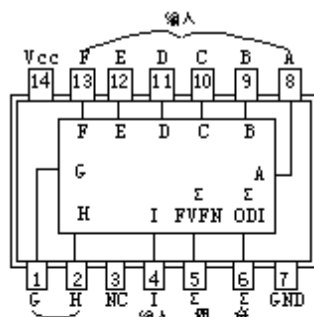
74LS194



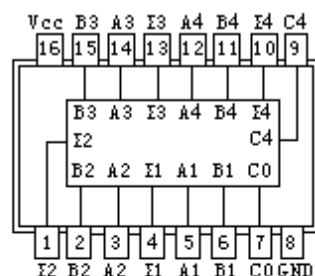
74LS244



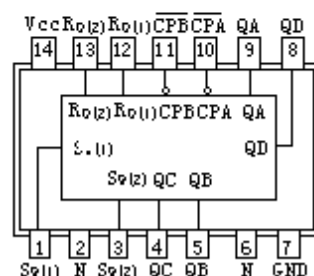
74LS253



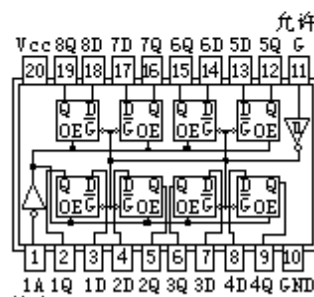
74LS280



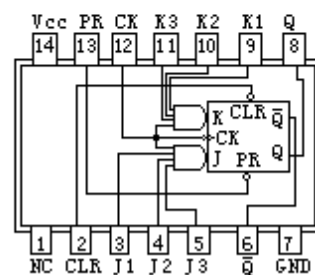
74LS283



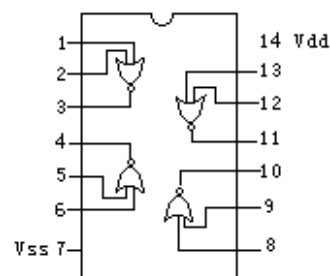
T290



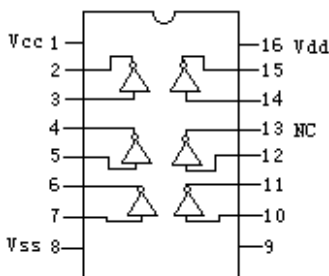
74LS373



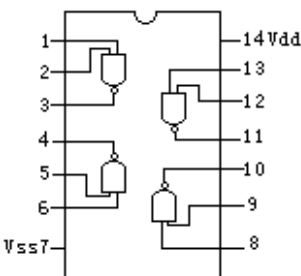
74H72



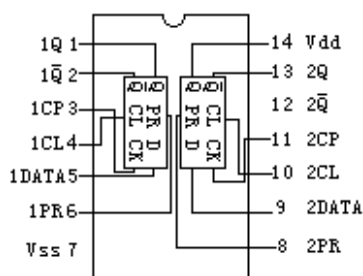
CD4001B



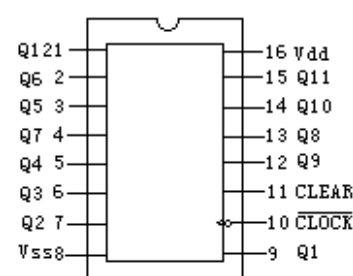
CD4009B



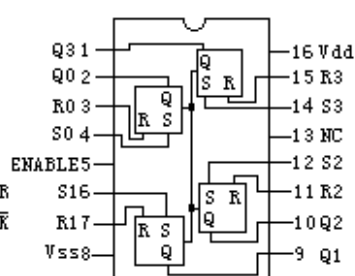
CD4011B



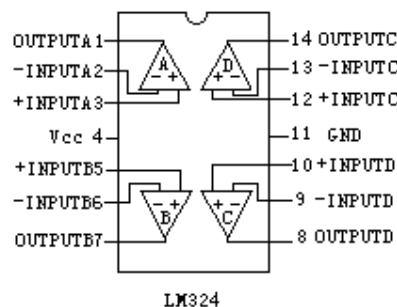
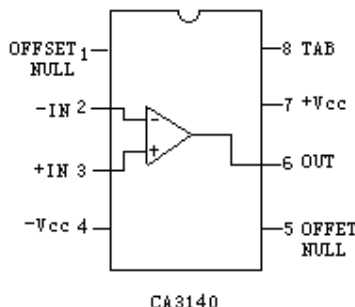
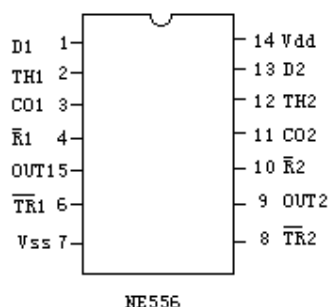
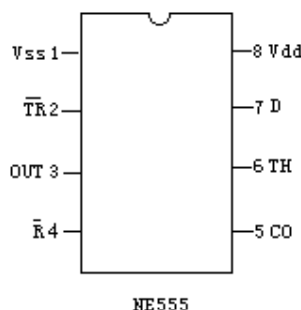
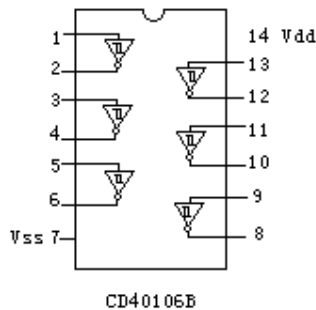
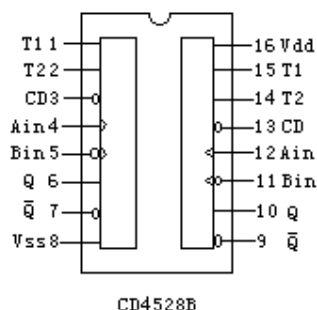
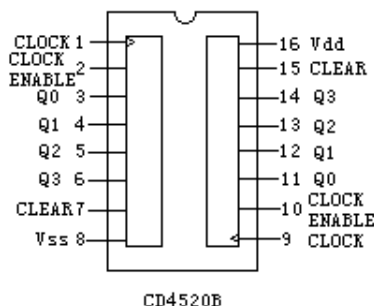
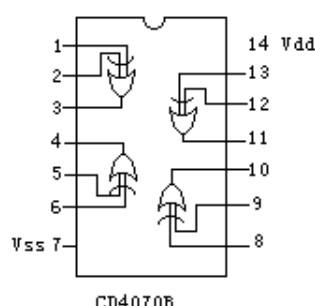
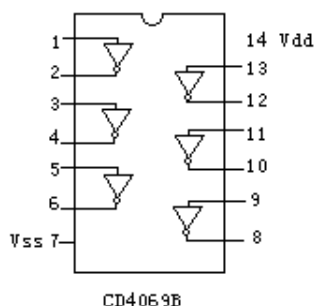
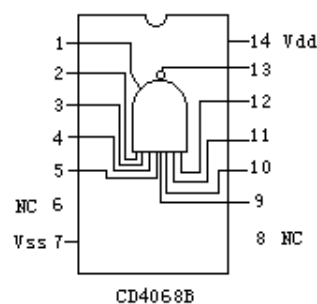
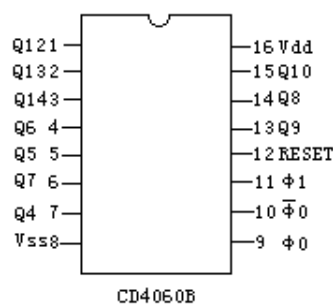
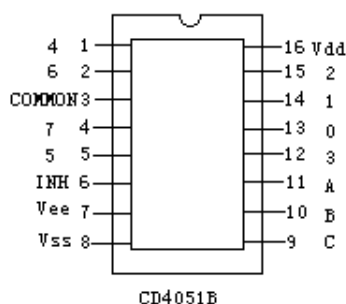
CD4013B

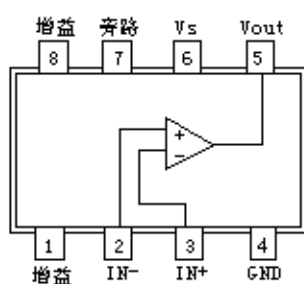


CD4040B

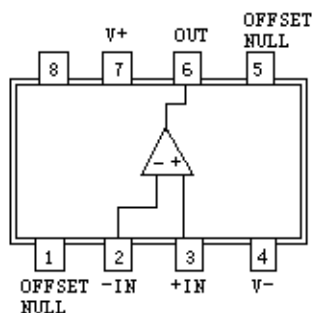


CD4043

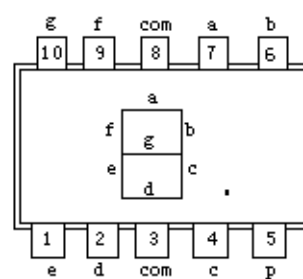




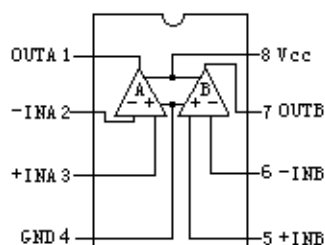
LM386



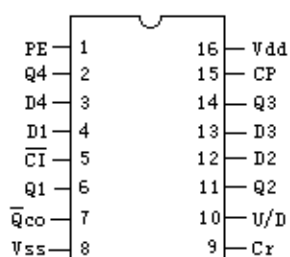
LM741



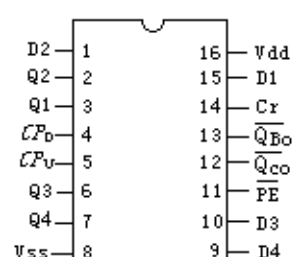
七段LED显示器 (共阳)



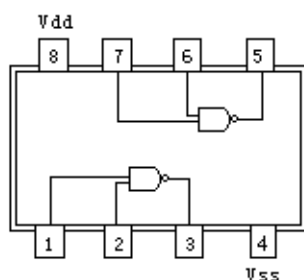
LM358



CC4510



CC40192



CD40107

