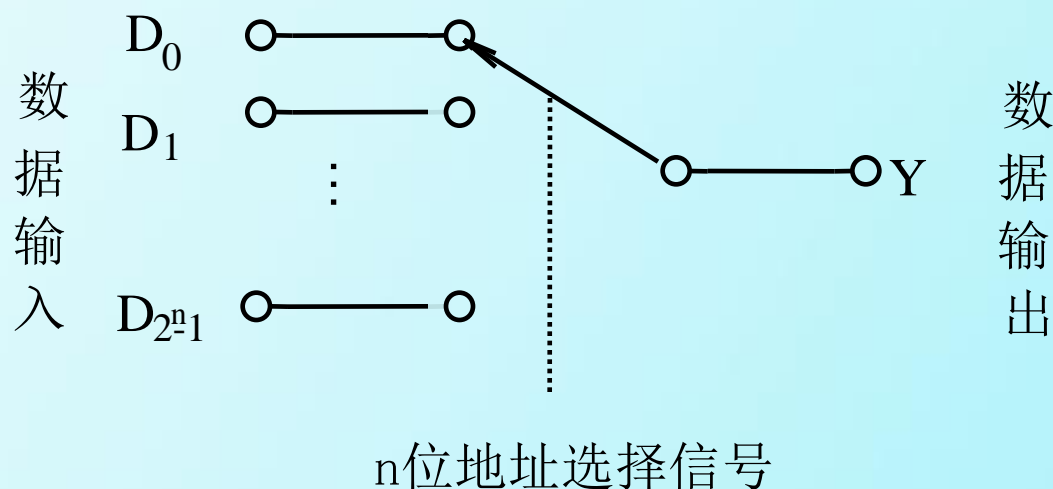


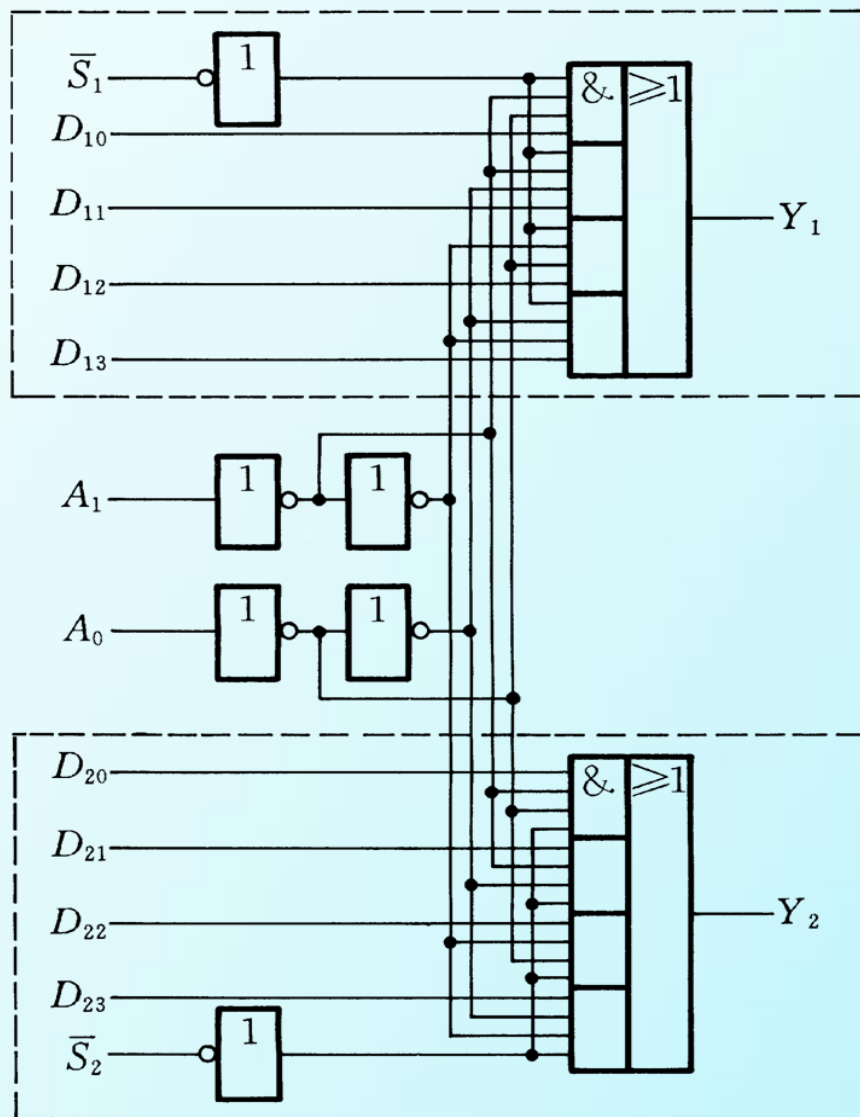


## 4.3.3 数据选择器

在数字信号的传输过程中，有时需要从一组输入数据中选出某一个来，这就用到数据选择器，（或称多路选择开关）**MUX**



数据选择器示意图



输出的逻辑式:

$$Y_1 = [D_{10}(\bar{A}_1 \bar{A}_0) + D_{11}(\bar{A}_1 A_0) + D_{12}(A_1 \bar{A}_0) + D_{13}(A_1 A_0)] \cdot S_1$$

图4.3.20 双4选1数据选择器74LS153



## 二、用数据选择器设计组合逻辑电路

### 4选1数据选择器

$$Y = D_0(\overline{A_1}\overline{A_0}) + D_1(\overline{A_1}A_0) + D_2(A_1\overline{A_0}) + D_3(A_1A_0)$$

将 $A_1$ 、 $A_0$ 作为两个输入变量， $D_0 \cdots D_3$ 为第三个变量的适当形式

(原变量、反变量、0或1)，就可以在数据选择器的输出端产生任何形式的3变量组合逻辑函数。

**例4.3.5** 试用4选1数据选择器实现例3.2.2的交通信号灯监视电路

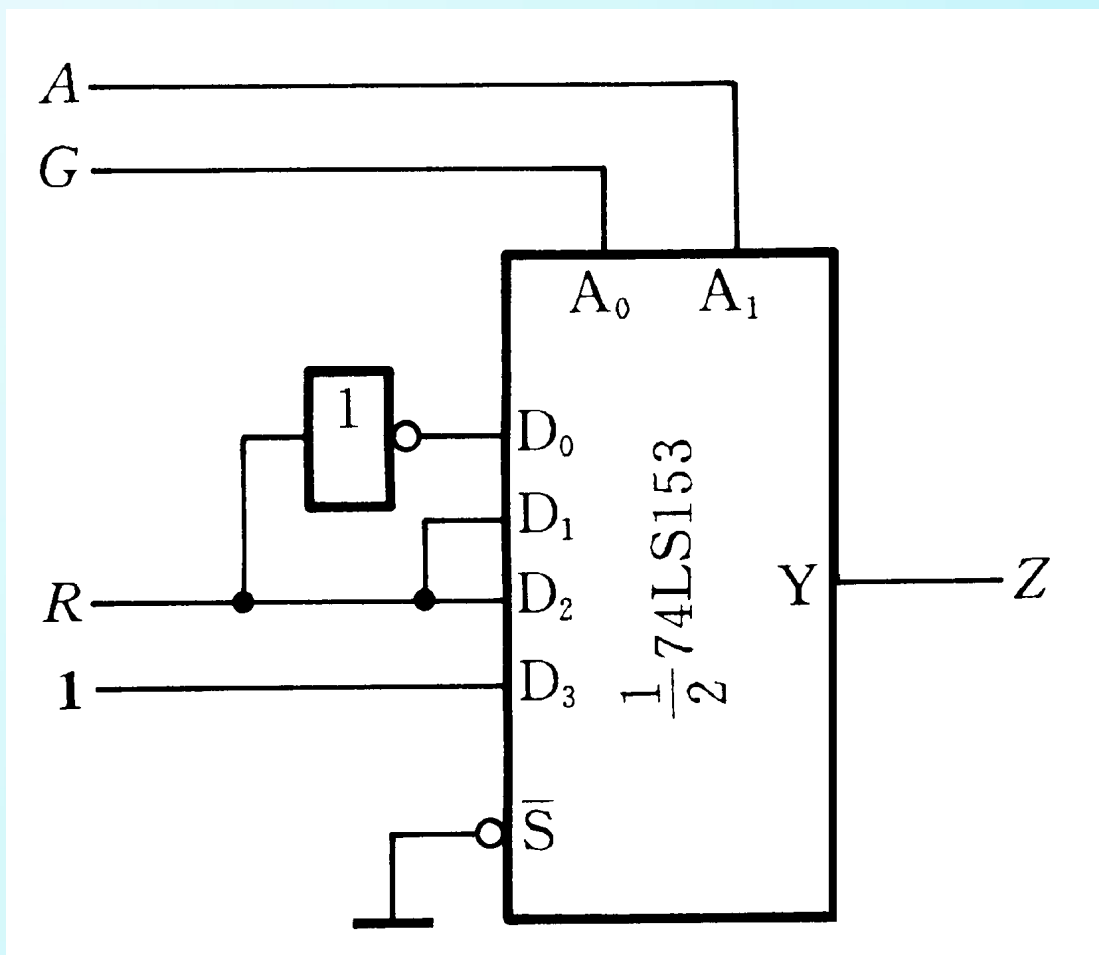
$$Z = \overline{R}\overline{A}\overline{G} + \overline{R}A\overline{G} + R\overline{A}\overline{G} + RA\overline{G} + RAG$$

将上式作变换

$$Z = \overline{R}(\overline{A}\overline{G}) + \overline{R}(\overline{A}G) + R(\overline{A}\overline{G}) + 1 \cdot (AG)$$

$$\text{令} \quad A_1 = A \quad A_0 = G$$

$$\text{则} \quad D_0 = \overline{R} \quad D_1 = D_2 = R \quad D_3 = 1$$





## 4.3.4 加法器

### 一、1位加法器

#### 1. 半加器

半加：只将两个1位二进制数相加，不考虑低位进位。

$$S = \overline{A}B + A\overline{B} = A \oplus B$$

$$CO = AB$$

输 入		输 出	
A	B	S	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

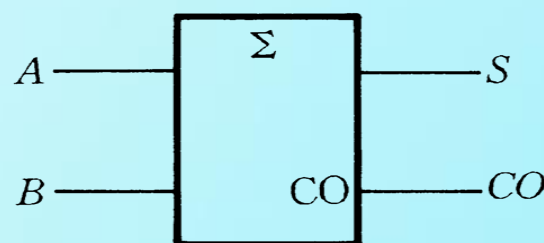
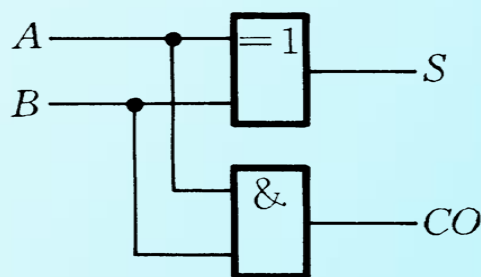


图4.3.25 半加器的逻辑图和符号



## 2. 全加器

全加：除了要将两个1位二进制数相加外，还有考虑来自低位的进位

全加器的真值表

输 入			输 出	
CI	A	B	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



## 根据真值表画S和CO的卡诺图

AB \ CI		00	01	11	10
0	0	0	1	0	1
	1	1	0	1	0

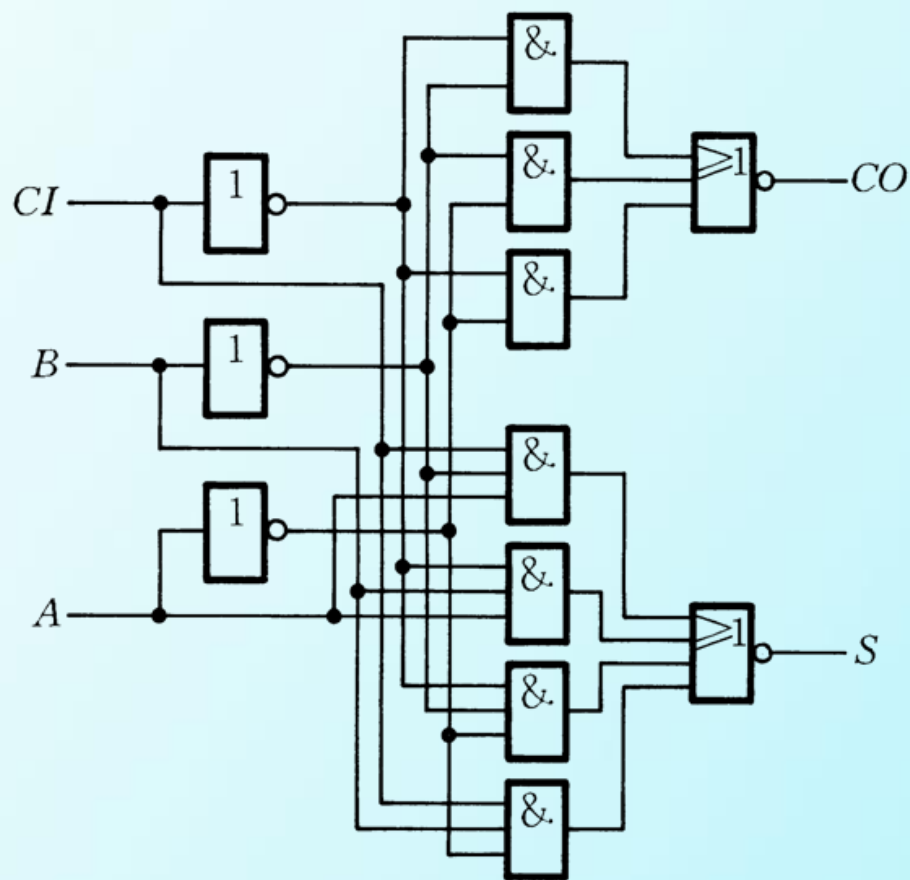
$S$

AB \ CI		00	01	11	10
0	0	0	0	1	0
	1	0	1	1	1

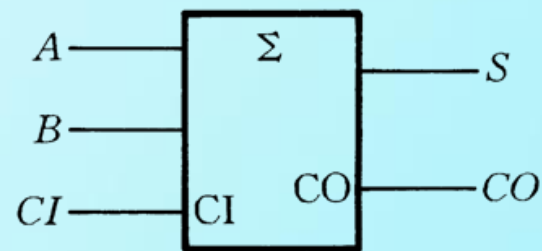
$CO$

$$S = \overline{\overline{A} \overline{B} \overline{C} \overline{I}} + \overline{\overline{A} \overline{B} C I} + \overline{\overline{A} B C \overline{I}} + \overline{A B C I}$$

$$CO = \overline{\overline{A} \overline{B}} + \overline{\overline{B} \overline{C} \overline{I}} + \overline{\overline{A} C I}$$



(a)



(b)

图4.3.27 双全加器74LS183  
(a) 1/2逻辑图 (b) 图形符号

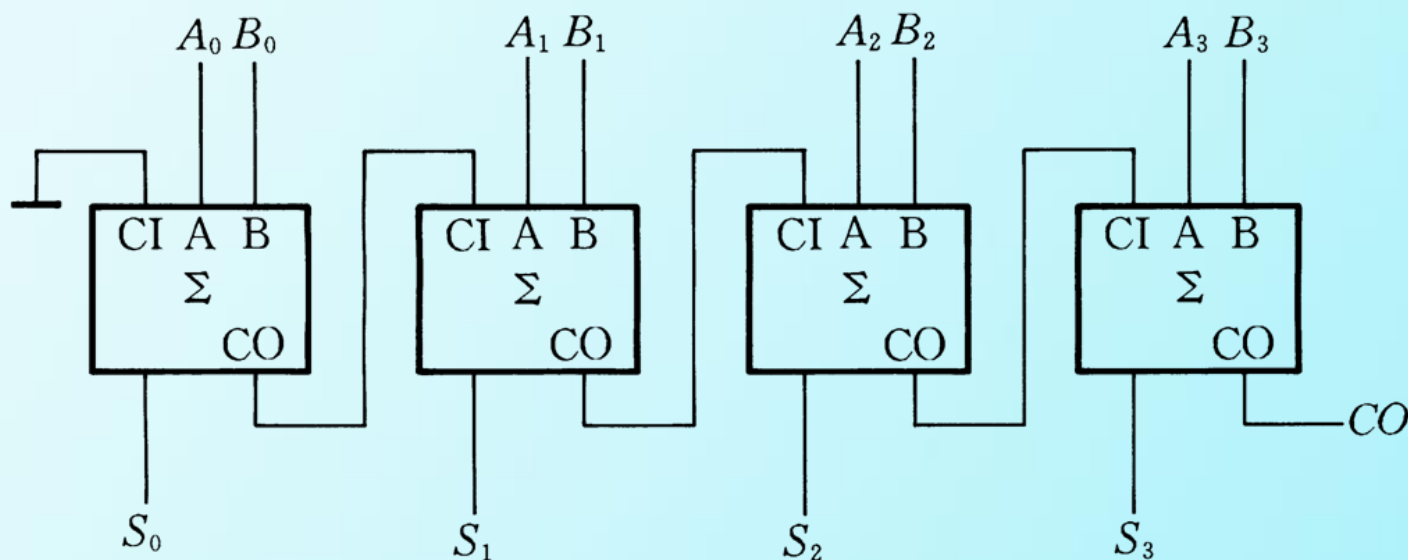




## 二、多位加法器

### 1. 串行进位加法器

两个多位二进制数相加时，每一位都是带进位相加的，因而必须使用全加器。依次将低位全加器的进位输出端**CO**接到高位输入端**CI**



4位串行进位加法器

缺点：速度慢，每次运算需要四个全加器的传输时间



## 2. 超前进位加法器

为了提高运算速度，必须设法减小或消除由于进位信号逐级传递所耗费的时间，于是设计出超前进位加法器

两个多位数中第*i*位相加产生的进位输出 $(CO)_i$ 可表示为

$$(CO)_i = A_i B_i + (A_i + B_i)(CI)_i$$

若将 $A_i B_i$ 定义为进位生成函数 $G_i$ ，同时将 $(A_i + B_i)$ 定义为进位传递函数 $P_i$ ，则上式可变为

$$(CO)_i = G_i + P_i (CI)_i$$

$$= G_i + P_i [G_{i-1} + P_{i-1} (CI)_{i-1}]$$

$$= \dots$$

$$= G_i + P_i G_{i-1} + P_i P_{i-1} G_{i-2} + \dots + P_i P_{i-1} \dots P_1 G_0 + P_i P_{i-1} \dots P_0 G_0$$



由全加器的真值表可得第*i*位和(**S<sub>i</sub>**)的逻辑式

$$S_i = A_i \bar{B}_i (\overline{CI})_i + \bar{A}_i B_i (\overline{CI})_i + \bar{A}_i \bar{B}_i (CI)_i + A_i B_i (CI)_i$$

上式变换成为异或函数:

$$\begin{aligned} S_i &= (A_i \bar{B}_i + \bar{A}_i B_i) (\overline{CI})_i + (A_i B_i + \bar{A}_i \bar{B}_i) (CI)_i \\ &= (A_i \oplus B_i) (\overline{CI})_i + \overline{(A_i \oplus B_i)} (CI)_i \\ &= A_i \oplus B_i \oplus (CI)_i \end{aligned}$$

全加器的真值表

输 入			输 出	
CI	A	B	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



東北大學

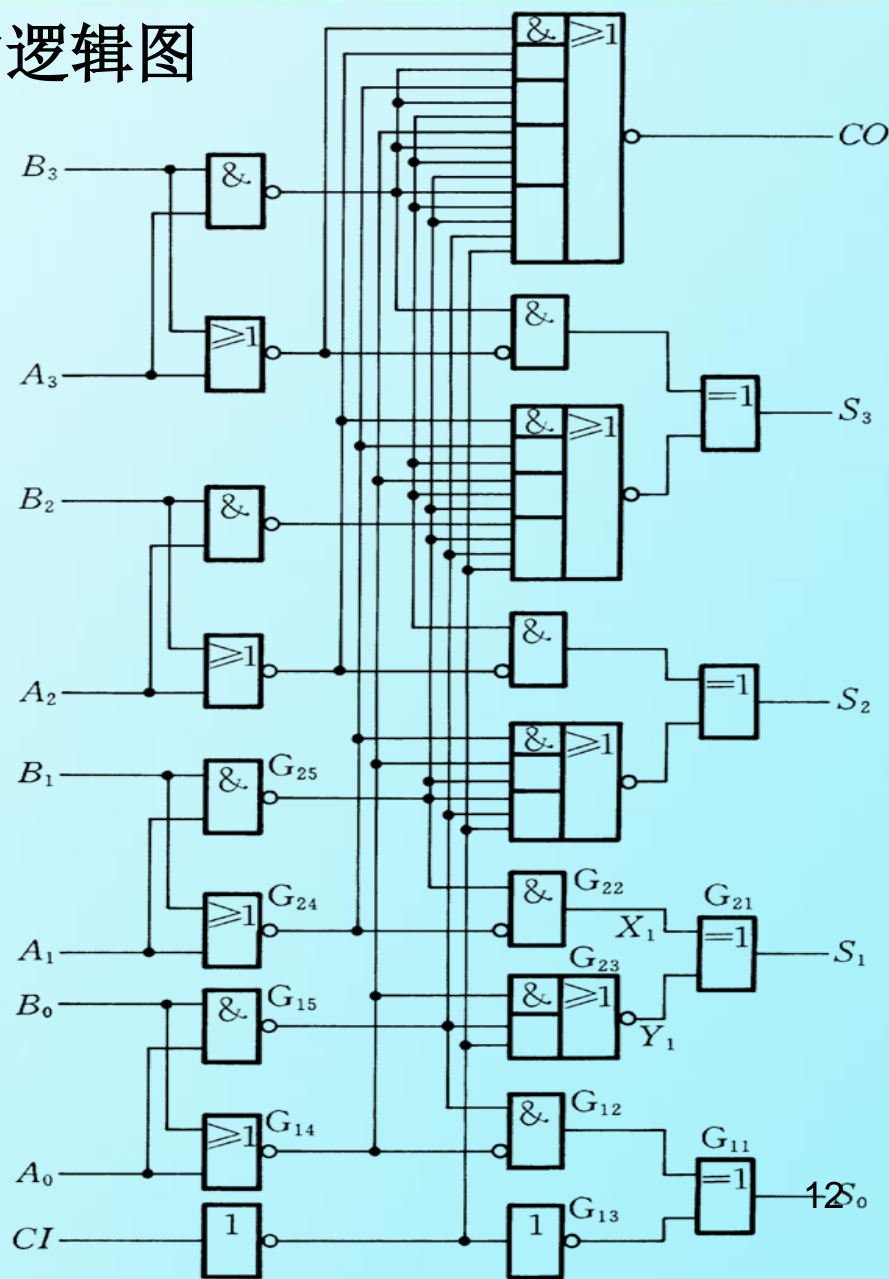
秦皇島分校

NORTHEASTERN UNIVERSITY AT QINHUANGDAO

## 4位超前进位加法器74LS283 的逻辑图

优点：运算时间短

缺点：电路复杂，增加了成本





### 三、用加法器设计组合逻辑电路

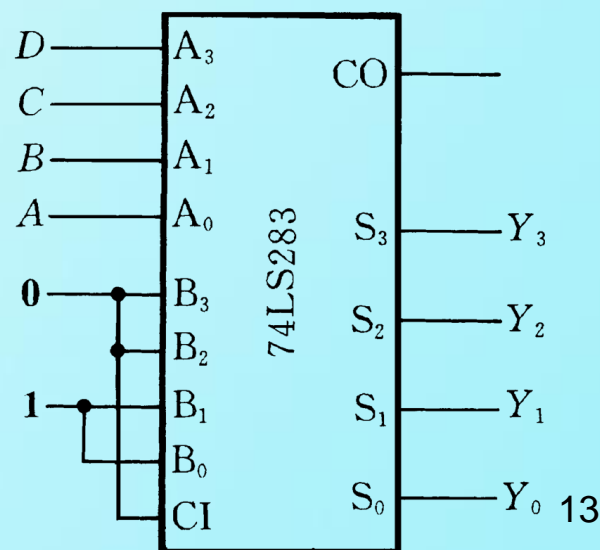
如果要产生的逻辑函数能化成输入变量与输入变量或者输入变量与常量在数值的形式，这时用加法器设计电路将比较简单。

**[例4.3.7]**设计一个代码转换电路，将BCD代码的8421码转换成余3码

解：以8421码为输入，余3码为输出，列真值表如下

输 入				输 出			
$D$	$C$	$B$	$A$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

$$Y_3Y_2Y_1Y_0 = DCBA + 00111$$





## 4.3.5 数值比较器

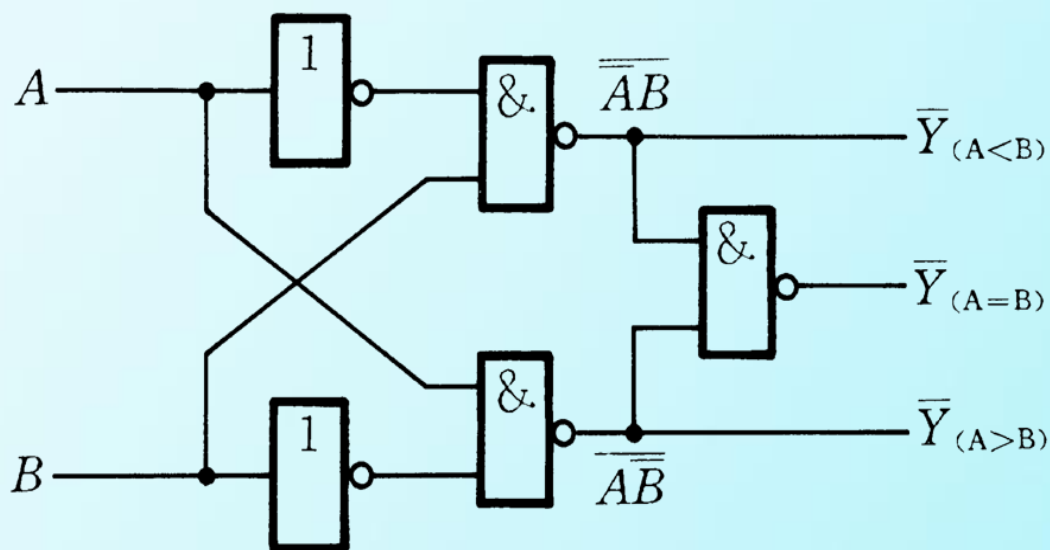
### 一、1位数值比较器

1.  **$A > B$** （即 **$A=1, B=0$** ），则  **$\overline{A}B = 1$**   
故可以用  **$\overline{A}B$**  作为  **$A > B$**  的输出信号  **$Y_{(A>B)}$**
2.  **$A < B$** （即 **$A=0, B=1$** ），则  **$A\overline{B} = 1$**   
故可以用  **$A\overline{B}$**  作为  **$A < B$**  的输出信号  **$Y_{(A<B)}$**
3.  **$A = B$** ，则  **$A \odot B = 1$**   
故可以用  **$A \odot B$**  作为  **$A = B$**  的输出信号  **$Y_{(A=B)}$**



### 1位数值比较器真值表

输 入		输 出		
$A$	$B$	$\overline{Y}_{(A>B)}$	$\overline{Y}_{(A<B)}$	$\overline{Y}_{(A=B)}$
0	0	1	1	0
0	1	1	0	1
1	0	0	1	1
1	1	1	1	0



$$\left\{ \begin{array}{l} \overline{Y}_{(A<B)} = \overline{\overline{AB}} \\ \overline{Y}_{(A=B)} = \overline{\overline{AB} \cdot \overline{\overline{AB}}} \\ \overline{Y}_{(A>B)} = \overline{\overline{AB}} \end{array} \right.$$

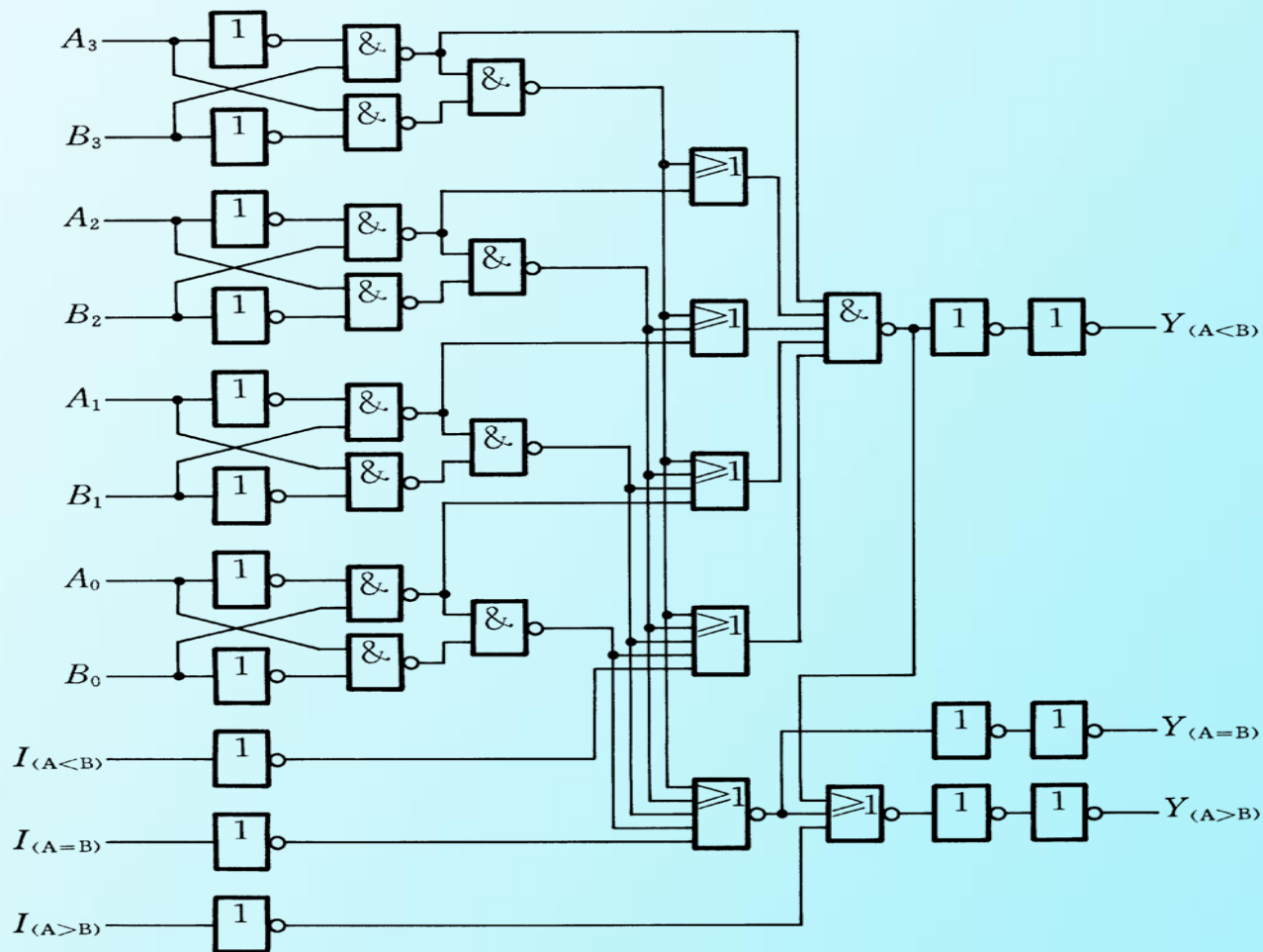
1位数值比较器





## 二、多位数值比较器

比较两个多位数的大小时，必须由高位到低位的逐位比较，只有高位相等的时候才需要比较低位。







## 输出的逻辑表达式为

$$\begin{aligned} Y_{(A<B)} &= \bar{A}_3 B_3 + (A_3 \odot B_3) \bar{A}_2 B_2 + (A_3 \odot B_3)(A_2 \odot B_2) \bar{A}_1 B_1 \\ &\quad + (A_3 \odot B_3)(A_2 \odot B_2)(A_1 \odot B_1) \bar{A}_0 B_0 \\ &\quad + (A_3 \odot B_3)(A_2 \odot B_2)(A_1 \odot B_1)(A_0 \odot B_0) I_{A<B} \end{aligned}$$

$$Y_{(A=B)} = (A_3 \odot B_3)(A_2 \odot B_2)(A_1 \odot B_1)(A_0 \odot B_0) I_{A=B}$$

$$Y_{(A>B)} = \overline{(Y_{(A<B)} + Y_{(A=B)})} I_{(A>B)}$$



## [例4.3.8] 试用两片CC14585组成一个8位数值比较器

解：根据多位数比较的规则，高位相等时取决于低位的比较结果。同时在CC14585中只有两个输入的4位数相等时，输出才由 $I_{(A<B)}$ 和 $I_{(A=B)}$ 的输入信号决定

