

实验二 组合逻辑电路分析

姓名 孔天欣

班级 计科 1802

学号 20188068 班级序号 180235

台号 -

日期 2020-06-15

实验成绩

一、实验目的

- (1)掌握组合逻辑电路的功能测试。
- (2)验证半加器和全加器的逻辑功能。
- (3)学会组合逻辑电路的设计方法。

二、实验仪器

- (1) YLSD 数字电路实验台。

- (2) 芯片:

74LS00	二输入端四与非门	3 片
74LS54	四输入端与或非门	1 片
74LS86	二输入端四异或门	1 片

三、实验电路图

- (1) 实验内容 1-4 逻辑表达式推导的详细过程

孔天欣

$$Y_1 = \overline{\overline{A}(\overline{AB})} = A + \overline{AB} = A + B$$
$$Y_2 = \overline{\overline{AB} \overline{BC}} = \overline{AB} + \overline{BC}$$

输入			计算输出	
A	B	C	Y_1	Y_2
0	0	0	0	0
0	0	1	0	1
0	1	1	1	1
1	1	1	1	0
1	1	0	1	0
1	0	0	1	0
1	0	1	1	1
0	1	0	1	1

3. 测试全加器的逻辑功能 孔天欣

(1) 逻辑表达式

$$Y = (\overline{A_i} \overline{B_i} A_i) (\overline{A_i} B_i B_i)$$

$$= \overline{A_i} B_i (A_i + B_i)$$

$$= \overline{A_i} B_i + A_i \overline{B_i}$$

$$= A_i \oplus B_i$$

$$Z = C_{i-1}$$

$$X_1 = \overline{(A_i \oplus B_i) C_{i-1}}$$

$$X_2 = \overline{X_1 Y}$$

$$= \overline{(A_i \oplus B_i) C_{i-1} (A_i \oplus B_i)}$$

$$= (A_i \oplus B_i) \overline{C_{i-1}}$$

$$X_3 = \overline{X_1 Z} = \overline{(A_i \oplus B_i) C_{i-1} C_{i-1}}$$

$$= \overline{(A_i \oplus B_i) C_{i-1}}$$

$$S_i = \overline{X_2 X_3} = X_1 (Y + Z) = \overline{(A_i \oplus B_i) C_{i-1}} (A_i \oplus B_i + C_{i-1})$$

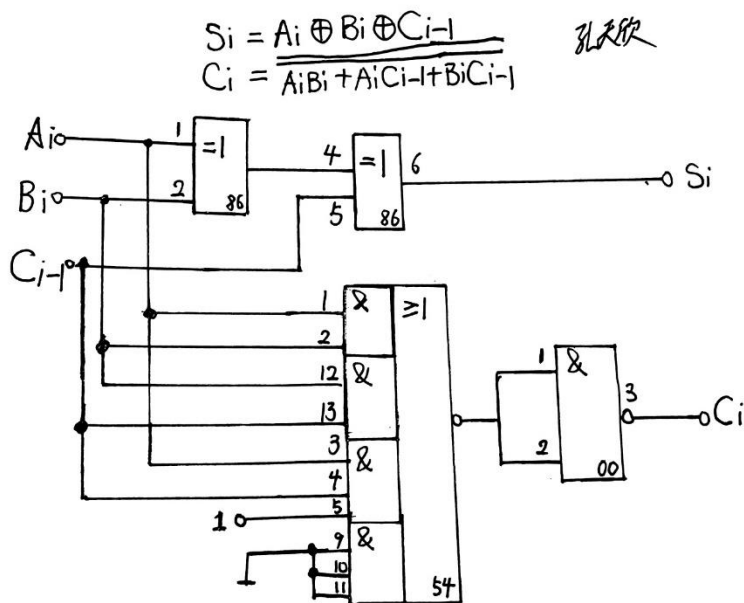
$$= [\overline{A_i \oplus B_i} + \overline{C_{i-1}}] [A_i \oplus B_i + C_{i-1}]$$

$$= A_i \oplus B_i \oplus C_{i-1}$$

$$C_i = \overline{X_1 C_{i-1}} = \overline{(A_i \oplus B_i) C_{i-1} (A_i \oplus B_i)}$$

$$= (A_i \oplus B_i) C_{i-1} + A_i B_i$$

(2) 实验内容 4 自行设计电路 b



四、预习内容

1. 半加器和全加器的区别
2. 74LS54 使用时需要注意哪些问题

孔天欣

(1) 半加器和全加器的区别

加数与被加数作为输入，和数和进位为输出的装置为半加器，若加数、被加数和低位的进位数作为输入以和数与进位作为输出的是全加器

半加器有两个二进制的输入其将输入的值相加，并输出结果到和和进位。半加器虽能产生进位值，但本身不能处理进位值。

全加器有三个二进制输入，其中一个为进位输入，所以全加器可以处理进位值。全加器可以由两个半加器结合而成。

(2): 74LS54 使用时需要注意哪些问题？

接线时如果与门有一个或几个引脚不被使用，则需将它们都接高电平；如果整个与门不被使用，则需将此与门的至少一个输入引脚接地。

五、实验原始数据记录

1. 组合逻辑电路功能测试（填表 7-43）。

表 7-43 组合逻辑电路功能测试输出结果

输入			计算输出		实验输出	
A	B	C	Y1	Y2	Y1	Y2
0	0	0	0	0	0	0
0	0	1	0	1	0	0
0	1	1	1	1	1	1
1	1	1	1	0	1	0
1	1	0	1	0	1	0
1	0	0	1	0	1	0
1	0	1	1	1	1	1
0	1	0	1	1	1	1

2. 测试用异或门（74LS86）和与非门（74LS00）组成的半加器的逻辑功能（填表 7-44）。

表 7-44 半加器测试输出显示

输入端	A	0	1	0	1
	B	0	0	1	1
输出端	Y	0	1	1	0
	Z	0	0	0	1

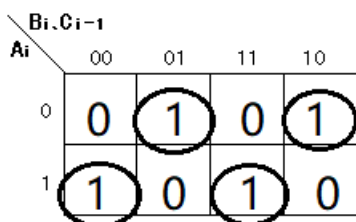
3. 测试全加器的逻辑功能。

（2）根据逻辑表达式列真值表，填写到表 7-45 中。

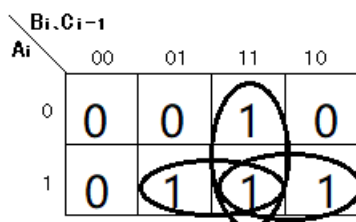
表 7-45 全加器真值表

A_i	B_i	C_{i-1}	Y	Z	X_1	X_2	X_3	S_i	C_i
0	0	0	0	0	1	1	1	0	0
0	1	0	1	0	1	0	1	1	0
1	0	0	1	0	1	0	1	1	0
1	1	0	0	0	1	1	1	0	1
0	0	1	0	1	1	1	0	1	0
0	1	1	1	1	0	1	1	0	1
1	0	1	1	1	0	1	1	0	1
1	1	1	0	1	1	1	0	1	1

（3）根据真值表画逻辑函数 S_iC_i 的卡诺图。



$$S_i = \overline{A}B\overline{C} + A\overline{B}C + A\overline{B}\overline{C} + \overline{A}BC$$



$$C_i = AC + AB + BC$$

全加器卡诺图

(4) 按原理图选择与非门并接线进行测试，将测试结果记入表 7-46，并与表 7-8 进行比较看逻辑功能是否一致。

表 7-46 全加器输出显示

Ai	Bi	Ci-1	Si	Ci
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

4. 用一块异或门（74LS86）、一块与或非门（74LS54）和一个与非门（74LS00）设计构成一位全加器并测试逻辑功能（填表 7-47）。

表 7-47 全加器的设计输出显示

输入端	Ai	0	0	0	0	1	1	1	1
	Bi	0	0	1	1	0	0	1	1
	Ci-1	0	1	0	1	0	1	0	1
输出端	Si	0	1	1	0	1	0	0	1
	Ci	0	0	0	1	0	1	1	1

六、误差分析与实验结论

本次实验成功测试了半加器和全加器的性质，同时自行设计了全加器电路。可得如下结论：

1. 半加器以加数和被加数作为输入，以和数和进位作为输出。不能考虑来自低位的进

位。

2. 全加器以被加数、加数和来自上一位的进位作为输入，以合数和进位作为输出。可以考虑来自低位的进位。

3. 可以使用真值表得出逻辑表达式，并用卡诺图对逻辑表达式进行化简，获得效率更高或成本更低的电路。以上两种器件都可以由各种不同结构的门电路组成，实验截图如下：

