

计算机组成原理实验指导书

(适用于计算机科学与技术专业)

实验指导教师：张旭

东北大学秦皇岛分校计算机与通信工程学院

2020 年 10 月

实验一 数字集成电路设计方法.....	3
1 实验目的.....	3
2 实验设备.....	3
3 实验任务.....	3
4 实验报告要求.....	3
实验二 寄存器实验.....	4
1 实验目的.....	4
2 实验设备.....	4
3 实验任务.....	4
4 实验报告要求.....	4
实验三 只读存储器 ROM 实验.....	5
1 实验目的.....	5
2 实验设备.....	5
3 实验任务.....	5
4 实验报告要求.....	5
实验四 随机存取存储器 RAM 的原理.....	6
1 实验目的.....	6
2 实验设备.....	6
3 实验任务.....	6
4 实验报告要求.....	6
实验五 运算器实验.....	7
1 实验目的.....	7
2 实验设备.....	7
3 实验任务.....	7
4 实验报告要求.....	7
实验 6-8 五级流水 CPU.....	8
1 实验目的.....	8
2 实验设备.....	8
3 实验任务.....	8
4 实验报告要求.....	8

实验一 数字集成电路设计方法

1 实验目的

- 1.了解数字集成电路设计方法。
- 2.熟悉并运用 Verilog 语言进行电路设计。

2 实验设备

装有 Xilinx Vivado 的计算机一台。

3 实验任务

- 1.阅读《vivado 安装说明_v1.00.pdf》和《vivado 使用说明_v1.00.pdf》学会 Vivado 使用。
- 2.翻阅《夏宇闻数字逻辑设计.pdf》对实验课上讲到的重要关键字进行复习。
module,endmodule,input,output,inout,wire,reg,assign,always,initial,begin,end,posedge,negedge,case,endcase,default,if,else,for,`define,`include,`timescale。
- 3.完成组合逻辑电路裁判表决器设计。设计一个比赛裁判表决电路，设比赛有三个裁判，一个主裁判和两个副裁判。只有当两个或两个以上裁判判明成功，并且有一个为主裁判时，表明成功。使用 verilog 语言进行描述并且仿真，得到正确的波形图。
- 4.完成时序逻辑电路 D 触发器的设计。使用 verilog 语言进行描述并且仿真,得到正确的波形图。

4 实验报告要求

- 1.完成实验任务中的 3 和 4，并将设计框图，verilog 代码，仿真代码，仿真波形填到实验报告中的相应位置。

实验二 寄存器实验

1 实验目的

1. 熟悉并掌握 MIPS 计算机中寄存器堆的原理和设计方法。
2. 初步了解 MIPS 指令结构和源操作数/目的操作数的概念。
3. 熟悉并运用 verilog 语言进行电路设计。
4. 为后续设计 cpu 的实验打下基础。

2 实验设备

1. 装有 Xilinx Vivado 的计算机一台。

3 实验任务

1. 学习 MIPS 计算机中寄存器堆的设计及原理，如：有多少个寄存器，有无特殊设置的寄存器，mips 指令如何去索引寄存器的等。
2. 自行设计本次实验的方案，画出结构框图，详细标出输入输出端口。
3. 本次实验建议寄存器堆设计为 1 个写端口和 2 个读端口，后续 CPU 实验用到的寄存器堆需要 1 个写端口和 2 个读端口。
4. 根据设计的实验方案，使用 verilog 编写相应代码。
5. 对编写的代码进行仿真，得到正确的波形图。

4 实验报告要求

1. 完成实验任务，并将设计框图，verilog 代码，仿真代码，仿真波形填到实验报告中的相应位置。

实验三 只读存储器 ROM 实验

1 实验目的

1. 了解只读存储器 ROM 原理。
2. 理解 ROM 读取数据及的过程。
3. 理解计算机中存储器地址编址和数据索引方法。
4. 熟悉并运用 verilog 语言进行电路设计。
5. 为后续设计 cpu 的实验打下基础。

2 实验设备

1. 装有 Xilinx Vivado 的计算机一台。

3 实验任务

1. 学习存储器的设计及原理，如 ROM 读地址索引读取数据过程及时序。
2. 学习计算机中内存地址编址和数据索引方法。
3. 自行设计本次实验的方案，画出结构框图，详细标出输入输出端口，确定存储器宽度、深度。
4. 根据设计的实验方案，使用 verilog 编写相应代码。
5. 对编写的代码进行仿真，得到正确的波形图。

4 实验报告要求

1. 完成实验任务，并将设计框图，verilog 代码，仿真代码，仿真波形填到实验报告中的相应位置。

实验四 随机存取存储器 RAM 的原理

1 实验目的

1. 了解随机存取存储器 RAM 的原理。
2. 理解 RAM 读取、写入数据的过程。
3. 理解计算机中存储器地址编址和数据索引方法。
4. 理解同步 RAM 和异步 RAM 的区别。
5. 熟悉并运用 verilog 语言进行电路设计。
6. 为后续设计 cpu 的实验打下基础。

2 实验设备

1. 装有 Xilinx Vivado 的计算机一台。

3 实验任务

1. 学习存储器的设计及原理，如：RAM 读写时序，同步和异步的区别等。
2. 学习计算机中内存地址编址和数据索引方法。
3. 自行设计本次实验的方案，画出结构框图，详细标出输入输出端口，确定存储器宽度、深度和写使能位数。
4. 根据设计的实验方案，使用 verilog 编写相应代码。
5. 对编写的代码进行仿真，得到正确的波形图。

4 实验报告要求

1. 完成实验任务，并将设计框图，verilog 代码，仿真代码，仿真波形填到实验报告中的相应位置。

实验五 运算器实验

1 实验目的

1. 了解 MIPS 指令集中的运算指令，学会对这些指令进行归纳分类。
2. 熟悉并掌握 ALU 的原理、功能和设计。
3. 进一步加强运用 verilog 语言进行电路设计的能力。
4. 为后续设计 cpu 的实验打下基础。

2 实验设备

1. 装有 Xilinx Vivado 的计算机一台。

3 实验任务

1. 学习 MIPS 指令集，熟知指令类型，了解指令功能和编码，归纳基础的 ALU 运算指令。
2. 归纳确定自己本次实验中准备实现的 ALU 运算，要求不实现定点乘除指令和浮点运算指令，要求实现 3-5 种 ALU 运算，其中要包含加减运算，其中减法在内部要转换为加法。
3. 自行设计本次实验的方案，画出结构框图。
4. 根据设计的实验方案，使用 verilog 编写相应代码。
5. 对编写的代码进行仿真，得到正确的波形图。

4 实验报告要求

1. 完成实验任务，并将设计框图，verilog 代码，仿真代码，仿真波形填到实验报告中的相应位置。

实验 6-8 五级流水 CPU

1 实验目的

1. 深入理解 CPU 流水线的概念。
2. 熟悉并掌握流水线 CPU 的原理和设计。
3. 设计并实现静态 5 级流水线 CPU，加深对计算机组成原理的理解。

2 实验设备

1. 装有 Xilinx Vivado 的计算机一台。

3 实验任务

1. 实现支持 ORI 指令的五级流水 CPU。
2. 建立流水线简单模型，画出原始的五级流水线结构。
3. 完成取指，译码，执行，访存，回写阶段的框图设计。
4. 根据设计的实验方案，使用 verilog 编写相应代码。
5. 对编写的代码进行仿真，得到正确的波形图。

4 实验报告要求

1. 完成实验任务，并将设计框图，verilog 代码，仿真代码，仿真波形填到实验报告中的相应位置。