



## 6.3 若干常用的时序逻辑电路

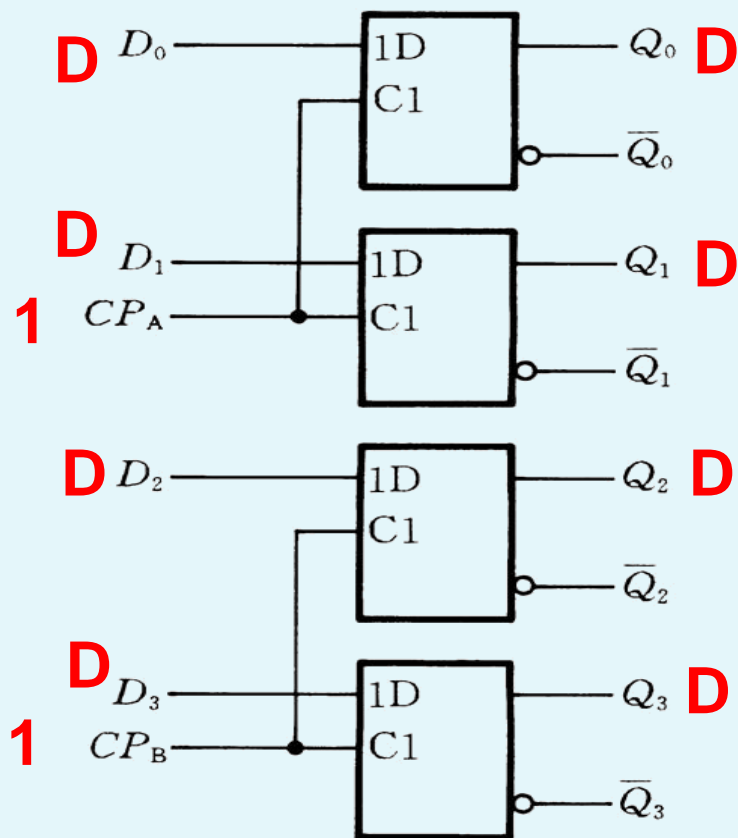
### 6.3.1 寄存器和移位寄存器

#### 一、寄存器

寄存器是一种常用的时序逻辑电路，广泛应用于各类数字系统和数字计算机中。

寄存器用于寄存一组二值代码，寄存器的存储电路由触发器组成，一个触发器能够储存**1**位二值代码，**N**个触发器组成的寄存器能储存一组**N**位的二值代码。

寄存器中的触发器只要求具有置**1**、置**0**的功能，因此同步**RS**触发器、主从结构的触发器，都可以组成寄存器。



由同步RS触发器构成

**CP=1**期间Q端的状态输出跟随**D**端状态而变

**CP=0**以后，Q端将保持CP变为低电平时**D**端的状态。

图6.3.1 74LS75的逻辑图



## 二、移位寄存器

移位寄存器除了具有存储代码的功能，还有移位功能

移位功能是指寄存器里存储的代码能在移位脉冲的作用下依次左移或右移。

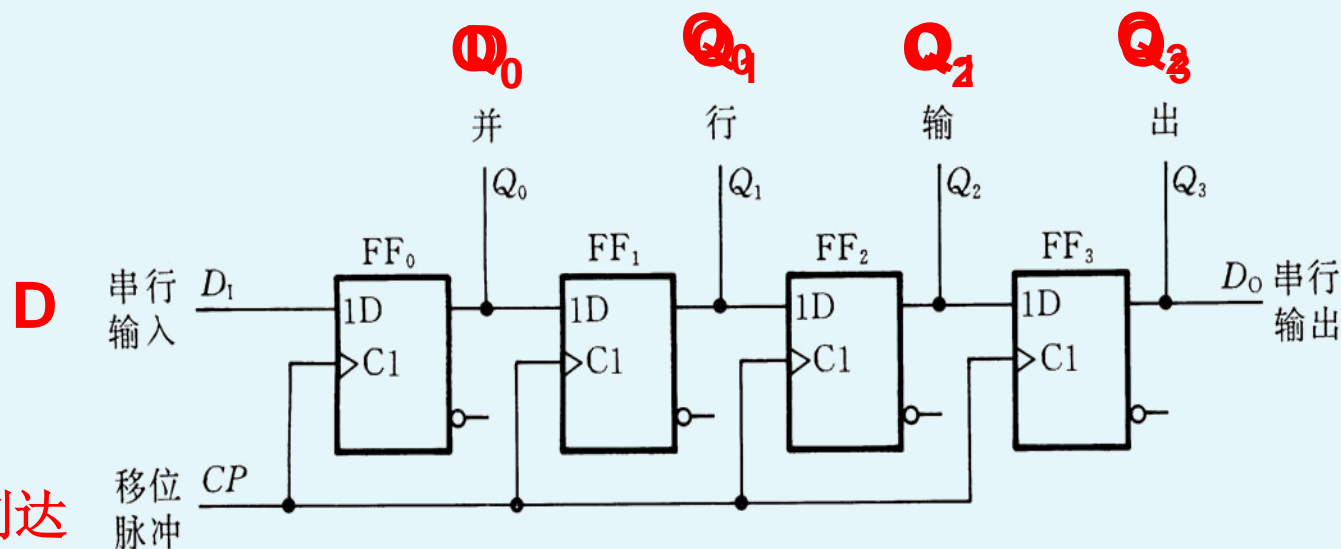


图6.3.4 用D触发器构成的移位寄存器

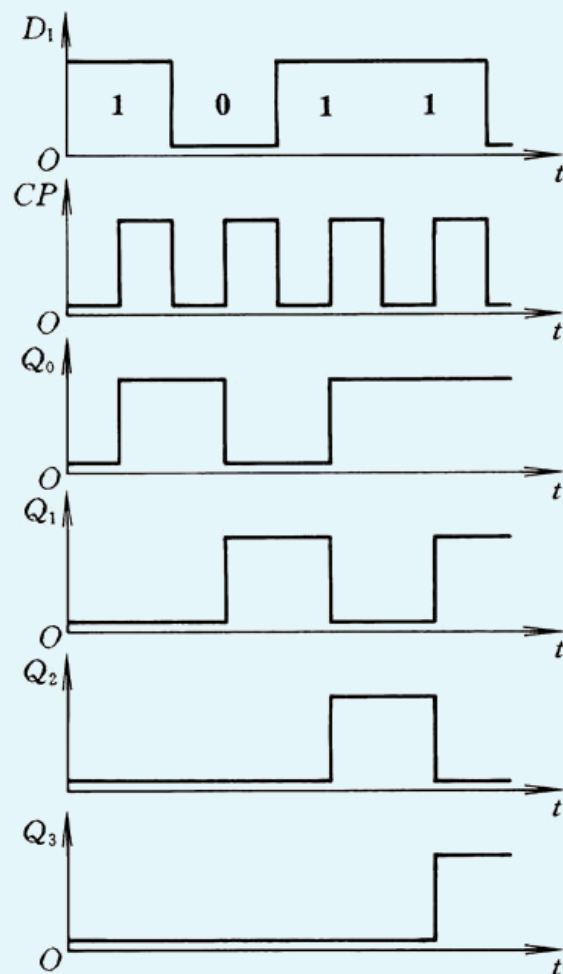
总的效果相当于移位寄存器里原来代码依次右移移位



例如，在4个时钟周期内输入代码依次为**1011**，而移位寄存器的初始状态为 $Q_0Q_1Q_2Q_3=0000$ ，在移位脉冲作用下，移位寄存器代码的移动情况如表6.3.1所示

表6.3.1 移位寄存器中代码的移动状况

cp	$D_1$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	0	0	0	0	0
1	1	1	0	0	0
2	0	0	1	0	0
3	1	1	0	1	0
4	1	1	1	0	1



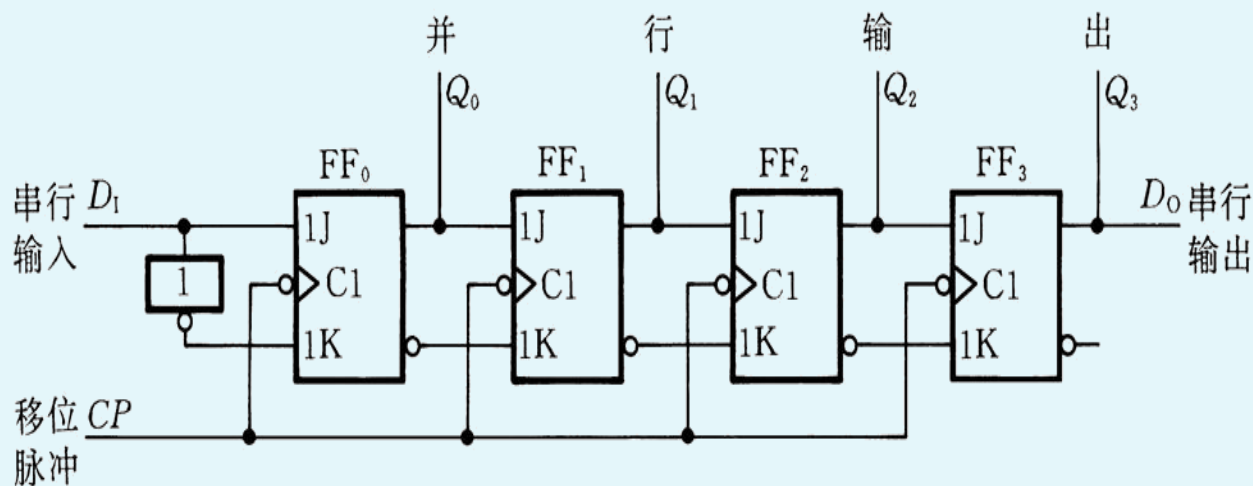


图6.3.6 用JK触发器构成的移位寄存器

图6.3.6是用JK触发器组成的4位移位寄存器，它和图6.3.4电路具有同样的逻辑功能。

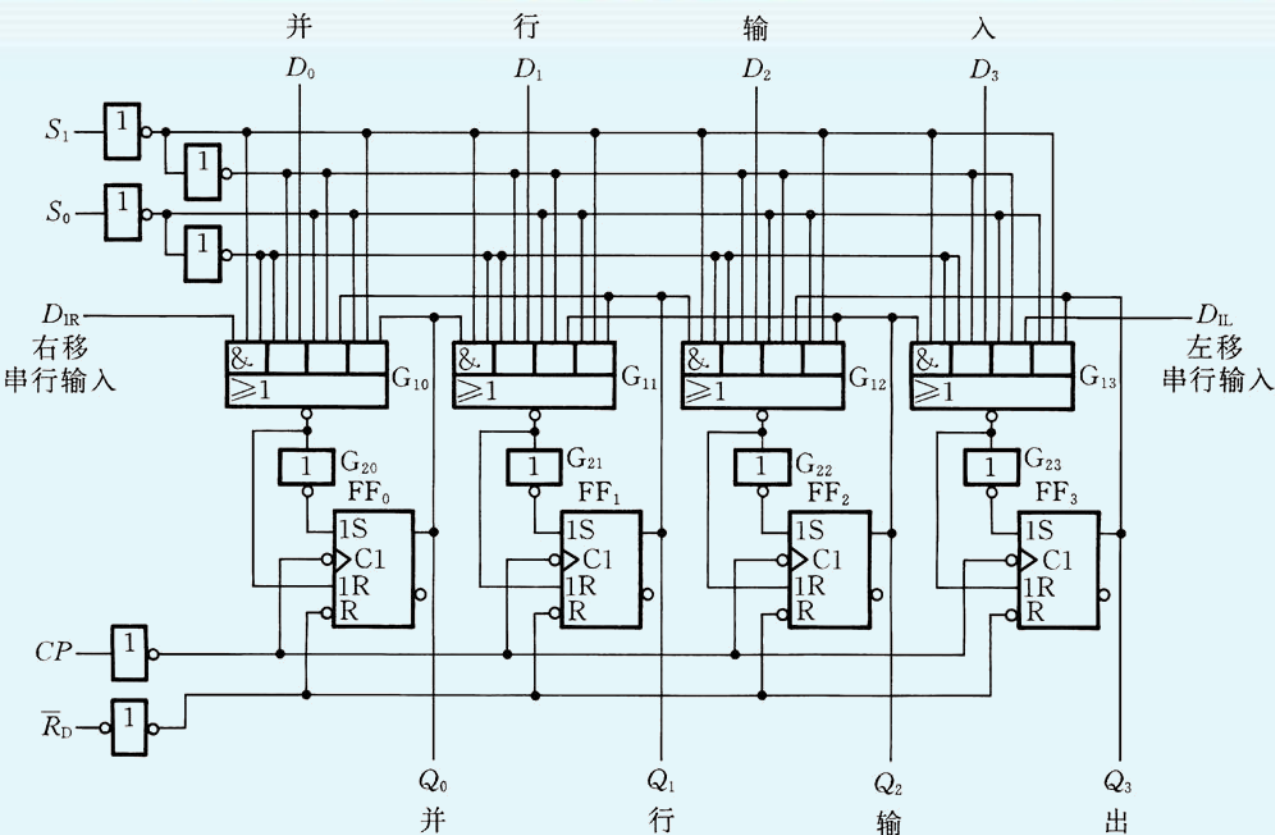


表6.3.2 双向移位寄存器  
74LS194A的功能表

$\overline{R_D}$	$S_1$	$S_0$	工作状态
0	×	×	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

图6.3.7 4位双向移位寄存器74LS194A的逻辑图

正常工作时， $\overline{R_D}$ 处于高电平



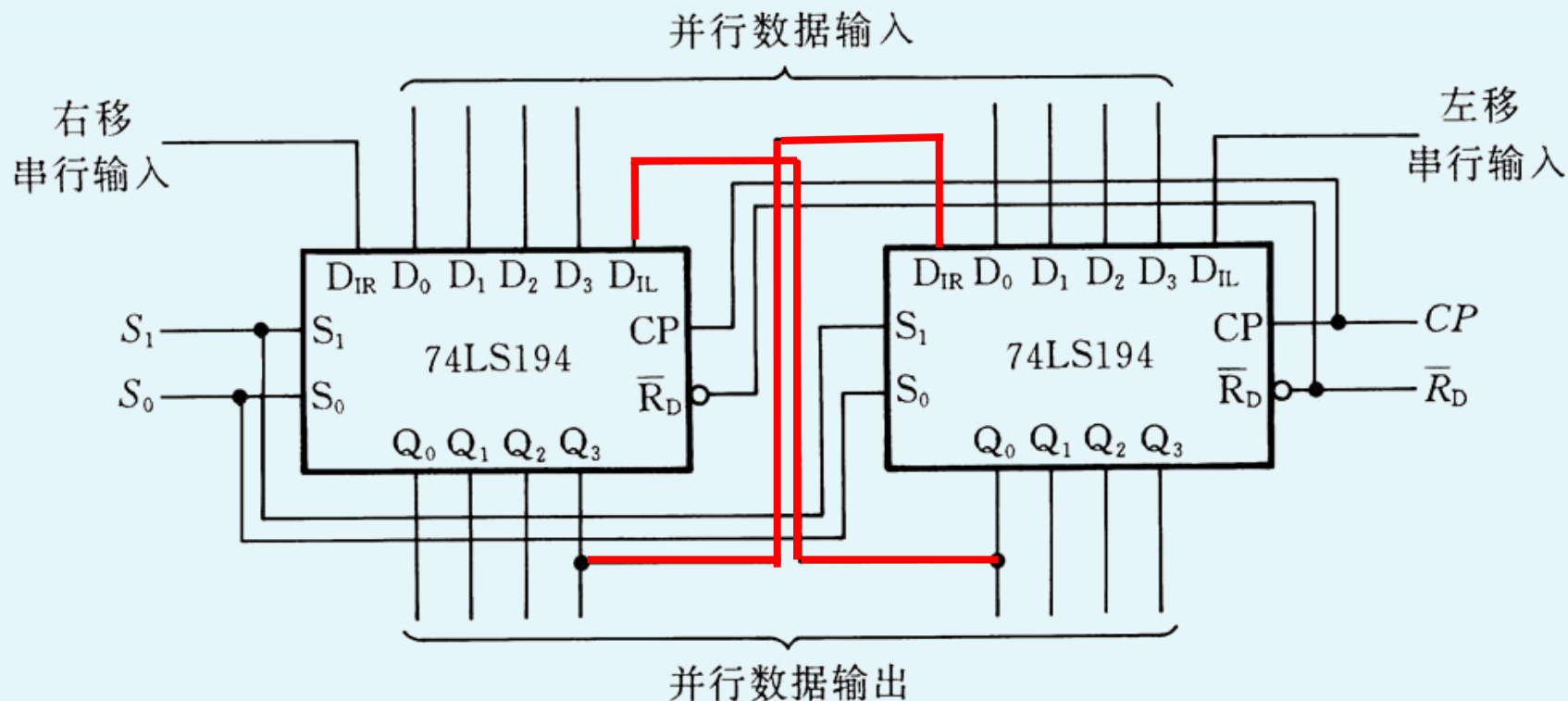


图6.3.8 用两片4位双向移位寄存器接成8位双向移位寄存器

一片的 $Q_3$ 接至另一片的 $D_{IR}$ 端，而将另一片的 $Q_0$ 接到这一片的 $D_{IL}$ ，同时把两片的 $S_1$ 、 $S_0$ 、 $CP$ 和 $\overline{R_D}$ 分别并联



## 6.3.2 计数器

计数器——用以统计输入脉冲CP个数的电路。

计数器的分类：

(1) 按计数器中触发器翻转是否同时进行分为同步计数器和异步计数器

(2) 按数字的增减趋势可分为加法计数器、减法计数器和可逆计数器。

(3) 按计数器中数字的编码方式分为二进制计数器、二—十进制计数器、循环码计数器等。

(4) 按计数器的容量分类，如十进制计数器、六十进制计数器





# 一、同步计数器

## 1. 同步二进制计数器

目前生产的同步计数器芯片基本上分为二进制和十进制两种

$$\begin{array}{r} 1\ 0\ 1\ 1\ 0\ 1\ 1 \\ + \qquad \qquad \qquad 1 \\ \hline \end{array}$$

状态未变 1 0 1 1 1 0 0 改变状态

T触发器构成的同步计数器，每次CP信号到达时应使该翻转的那些触发器控制端 $T_i=1$ ，不该翻转的 $T_i=0$



计数器用T触发器构成时，第i位触发器输入端的逻辑式为：

$$\begin{aligned} T_i &= Q_{i-1}Q_{i-2}\cdots Q_1Q_0 \\ &= \prod_{j=0}^{i-1} Q_j \quad (i = 1, 2, \dots, n-1) \end{aligned} \quad (6.3.1)$$

只有最低位例外，按照计数规则，每次输入计数脉冲时它都要翻转，故 $T_0=1$

图6.3.11所示电路就是按式（6.3.1）接成的4位二进制同步加法计数器。



计数脉冲

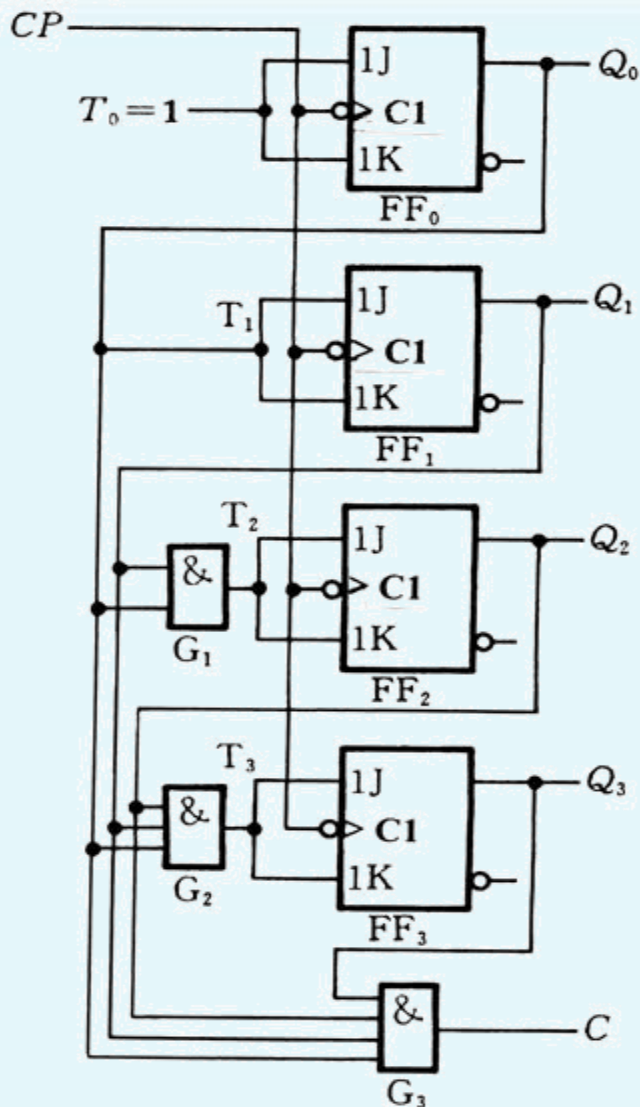


图6.3.11 用T触发器构成的  
同步二进制加法计数器

各触发器的驱动方程为：

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_0 Q_1 \\ T_3 = Q_0 Q_1 Q_2 \end{cases} \quad (6.3.2)$$

电路的状态方程为：

$$\begin{cases} Q_0^{n+1} = \overline{Q_0} \\ Q_1^{n+1} = Q_0 \overline{Q_1} + \overline{Q_0} Q_1 \\ Q_2^{n+1} = Q_0 Q_1 \overline{Q_2} + \overline{Q_0} \overline{Q_1} Q_2 \\ Q_3^{n+1} = Q_0 Q_1 Q_2 \overline{Q_3} + \overline{Q_0} \overline{Q_1} \overline{Q_2} Q_3 \end{cases} \quad (6.3.3)$$



电路的输出方程为： $C = Q_0Q_1Q_2Q_3$  (6.3.4)

根据式 (6.3.3) 和 (6.3.4) 求出电路的状态转换表



表6.3.3 图6.3.11电路的状态转换表

计数顺序	电路状态				等效十进制数	进位输出 C
	Q3	Q2	Q1	Q0		
0	0	0	0	0	0	0
1	0	0	0	1	1	0
2	0	0	1	0	2	0
3	0	0	1	1	3	0
4	0	1	0	0	4	0
5	0	1	0	1	5	0
6	0	1	1	0	6	0
7	0	1	1	1	7	0
8	1	0	0	0	8	0
9	1	0	0	1	9	0
10	1	0	1	0	10	0
11	1	0	1	1	11	0
12	1	1	0	0	12	0
13	1	1	0	1	13	0
14	1	1	1	0	14	0
15	1	1	1	1	15	1
16	0	0	0	0	0	0

利用第十六个计数脉冲到达时C端电位的下降沿可作为向高位计数器电路进位的输出信号。

十六进制计数器电路

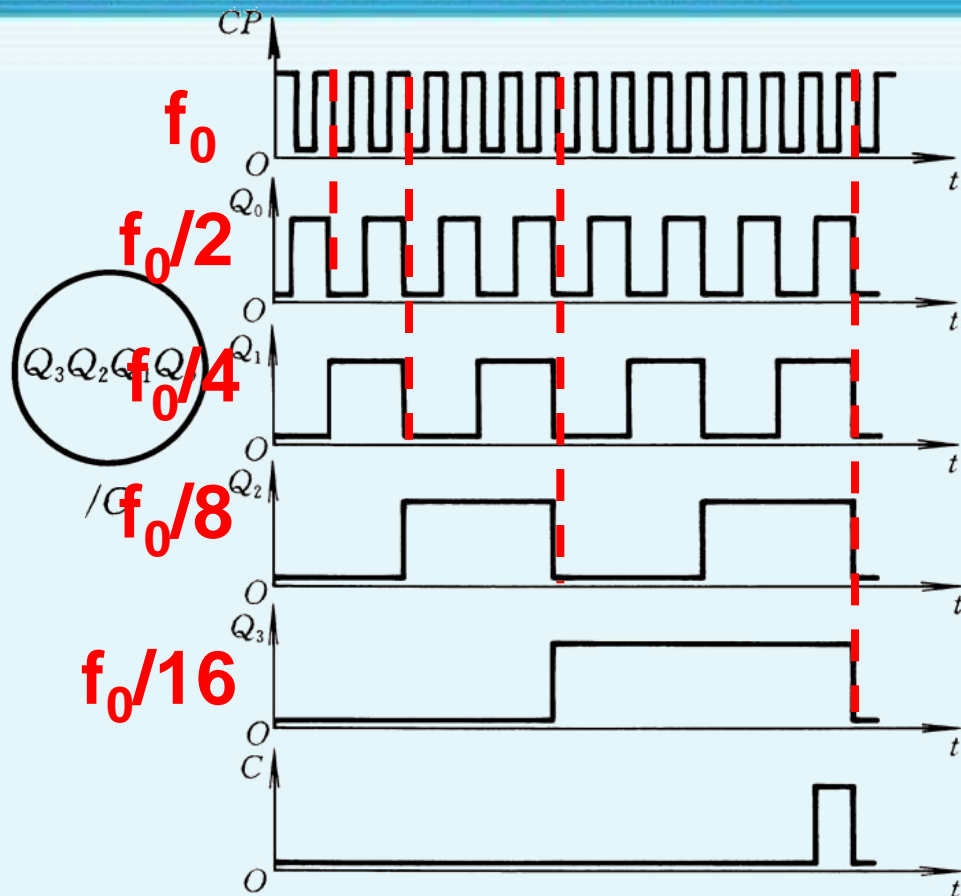
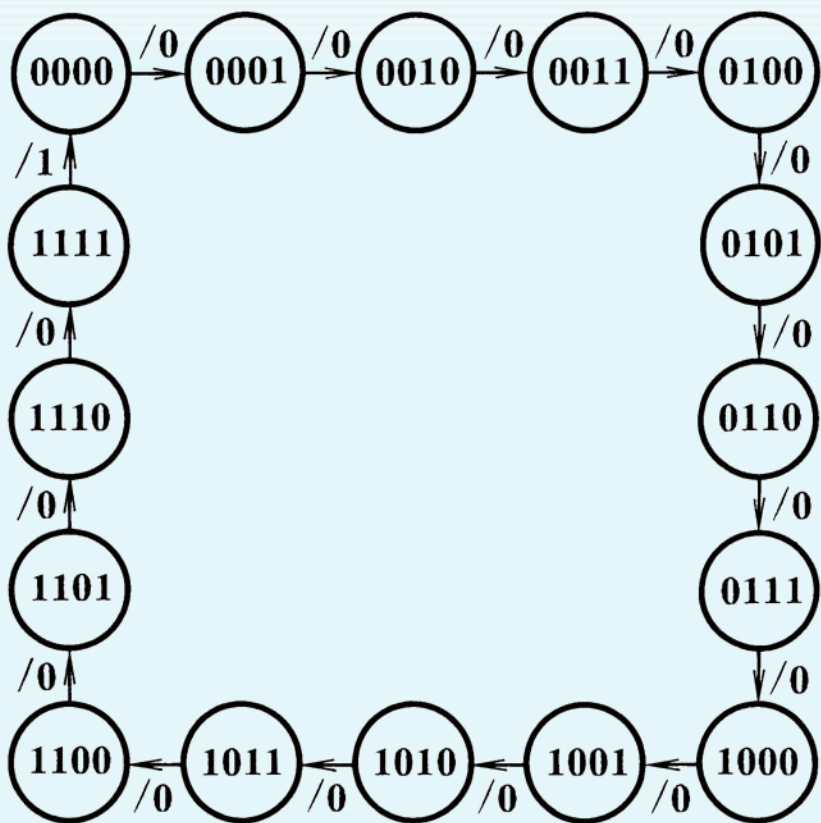


图6.3.12 图6.3.11电路的状态转换图

图6.3.13 图6.3.11电路的时序图

针对计数器的这种分频功能，也把它叫做分频器。

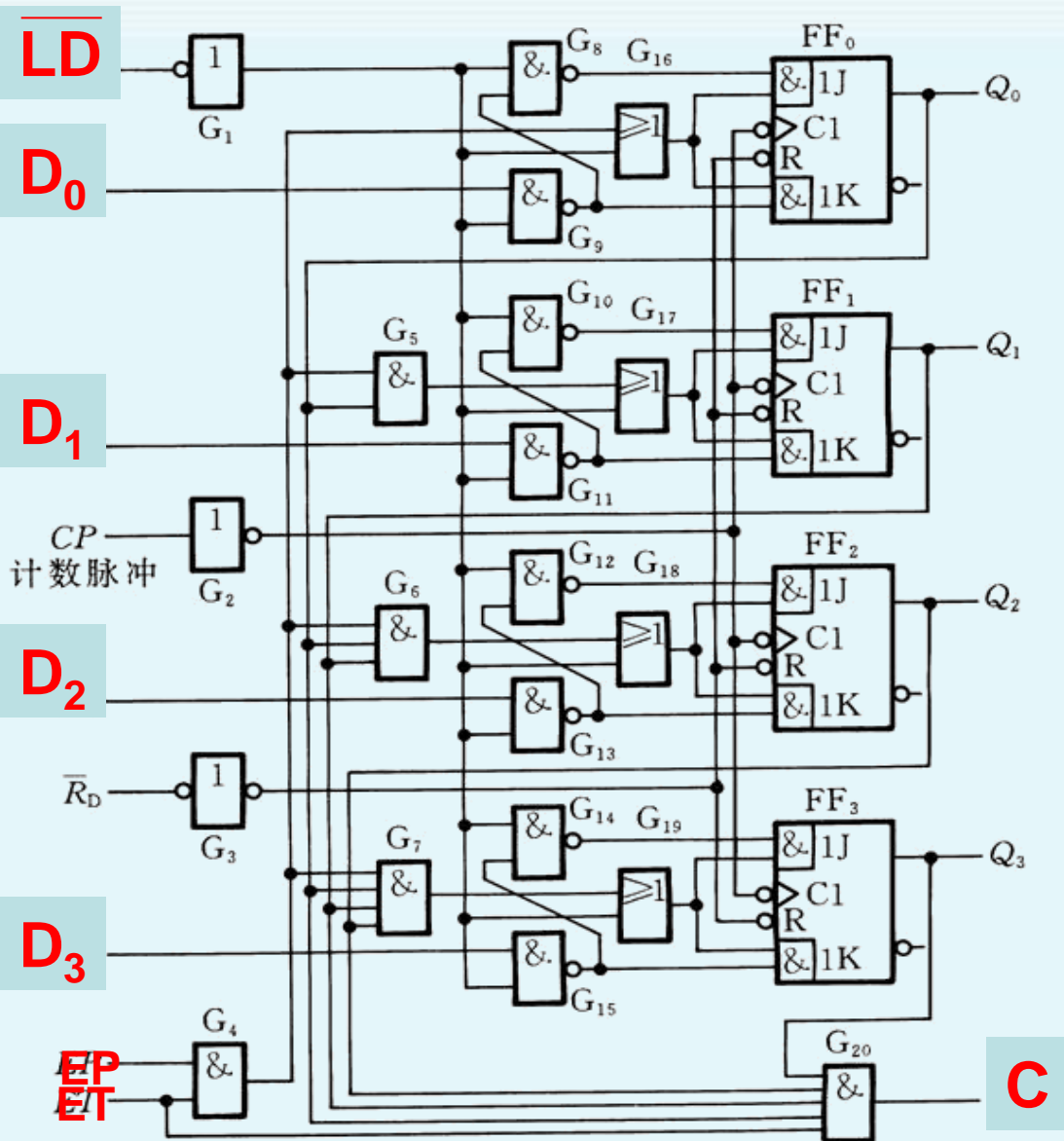
计数器中能计到的最大数称为计数器的容量，它等于计数器所有各位全为1时的数值。**N**位二进制计数器的容量等于 $2^n-1$





在实际生产的计数芯片中，往往还附加了一些控制电路，以增加电路的功能和使用的灵活性。

常用的附加控制功能有：异步置零、预置数、保持。



LD—预置数控制端，  
D<sub>0</sub>~D<sub>3</sub>—数据输入端

C—进位输出端


$\overline{R_D}$ —异步置零（复位）端

EP和ET—工作状态控制端

图6.3.14 4位同步二进制计数器74161的逻辑图



表6.3.4 4位同步二进制计数器74161的功能表

CP	$\overline{R_D}$	$\overline{LD}$	EP	ET	工作状态
×	0	×	×	×	置零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (C=0)
	1	1	1	1	计数

$\overline{R_D}=0$ ，所有触发器将同时被置零

$\overline{R_D}=1$ 、 $\overline{LD}=0$ 时，电路工作在预置数状态

$\overline{R_D}=\overline{LD}=1$ 时而 $EP=0$ 、 $ET=1$ 时，电路工作在保持状态

$\overline{R_D}=\overline{LD}=1$ 时而 $EP=×$ 、 $ET=0$ 时，电路工作在保持状态，同时 $C=0$

$\overline{R_D}=\overline{LD}=1=EP=ET=1$ 时，电路工作在计数状态



## 几个需要注意的问题:

**异步置零:** 置零端出现低电平, 触发器立即置零, 不受时钟控制

**同步置零:** 置零端出现低电平, 要等时钟信号到达才能置零

**同步预置数:** 必须等待时钟到达, 才能置数

**异步预置数:** 不须等待时钟脉冲



二进制减法计数规则：在n位二进制减法计数器中，只有当第i位以下各位触发器同时为0时，再减1才能使第i位触发器翻转

用T触发器组成同步二进制减法计数器时，第i位触发器输入端 $T_i$ 的逻辑式为

$$\begin{aligned} T_i &= \overline{Q_{i-1}} \cdot \overline{Q_{i-2}} \cdots \overline{Q_1} \cdot \overline{Q_0} \\ &= \prod_{j=0}^{i-1} \overline{Q_j} \quad (i = 1, 2, \dots, n-1) \end{aligned} \quad (6.3.6)$$



图6.3.16电路是根据式 (6.3.6) 接成的同步二进制减法计数器电路

$$T_i = \overline{Q_{i-1}} \cdot \overline{Q_{i-2}} \cdots \overline{Q_1} \cdot \overline{Q_0}$$
$$= \prod_{j=0}^{i-1} \overline{Q_j} \quad (i = 1, 2, \dots, n-1)$$

T触发器是将JK触发器的J和K接在一起作为T输入端 (J=K=T)

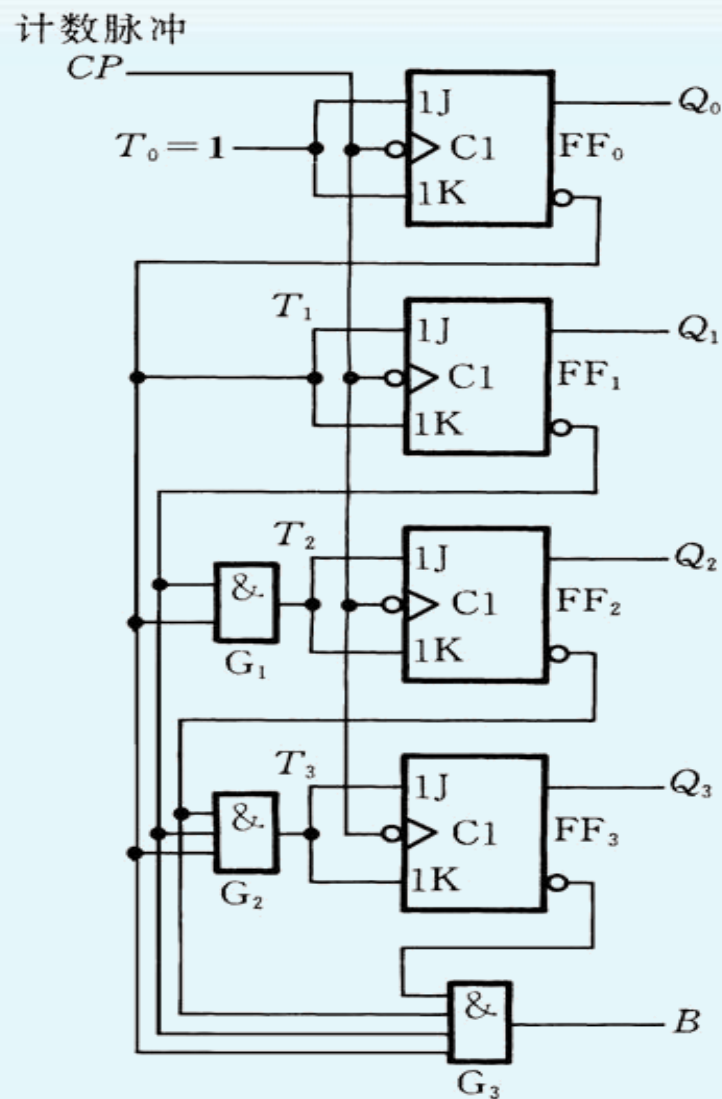
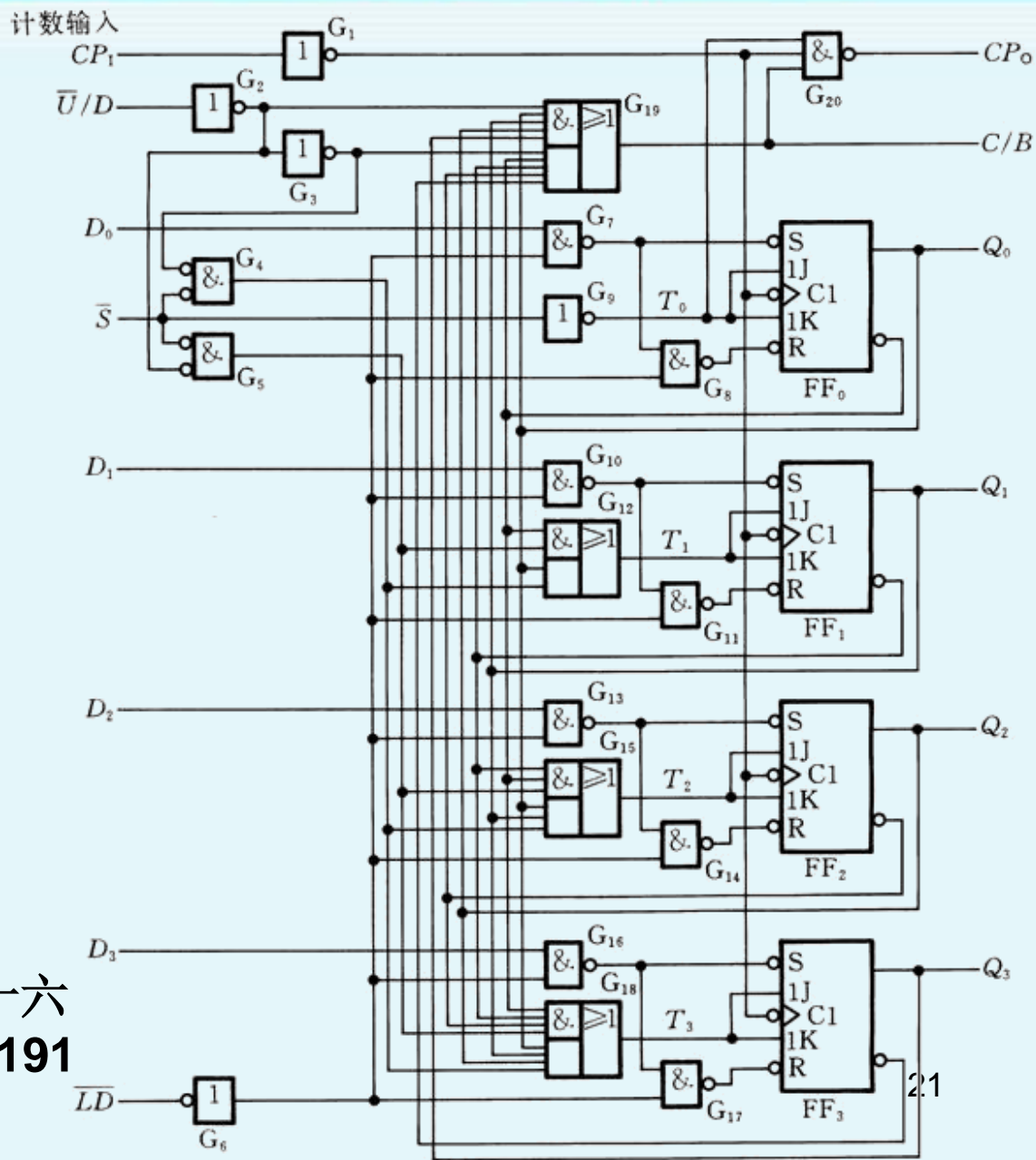


图6.3.16 用T触发器接成的同步二进制减法计数器



可逆计数器74LS191逻辑图如图6.3.17所示.



### 图6.3.17 单时钟同步十六进制加/减计数器74LS191



表6.3.5 同步十六进制加/减法计数器74LS191的功能表

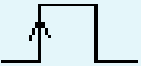
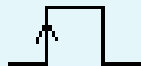
$CP_1$	$\overline{S}$	$\overline{LD}$	$\overline{U/D}$	工作状态
×	1	1	×	保持
×	×	0	×	预置数
	0	1	0	加法计数
	0	1	1	减法计数

图6.3.17 电路只有一个时钟信号（计数脉冲）输入端，电路的加、减由 $\overline{U/D}$ 电平决定，所以称这种电路结构为单时钟脉冲

倘若加法计数器脉冲和减法计数器脉冲来自两个不同的脉冲源，则需要使用双时钟结构的加/减计数器计数



## 2. 同步十进制计数器 电路由T触发器组成

电路的驱动方程为

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \overline{Q_3} \\ T_2 = Q_0 Q_1 \\ T_3 = Q_0 Q_1 Q_2 + Q_0 Q_3 \end{cases} \quad (6.3.10)$$

电路的状态方程为

$$\begin{cases} Q_0^{n+1} = \overline{Q_0} \\ Q_1^{n+1} = Q_0 \overline{Q_3} \overline{Q_1} + \overline{Q_0} \overline{Q_3} Q_1 \\ Q_2^{n+1} = Q_0 Q_1 \overline{Q_2} + \overline{Q_0} \overline{Q_1} Q_2 \\ Q_3^{n+1} = (Q_0 Q_1 Q_2 + Q_0 Q_3) \overline{Q_3} \\ \quad + \overline{(Q_0 Q_1 Q_2 + Q_0 Q_3)} Q_3 \end{cases} \quad (6.3.11)$$

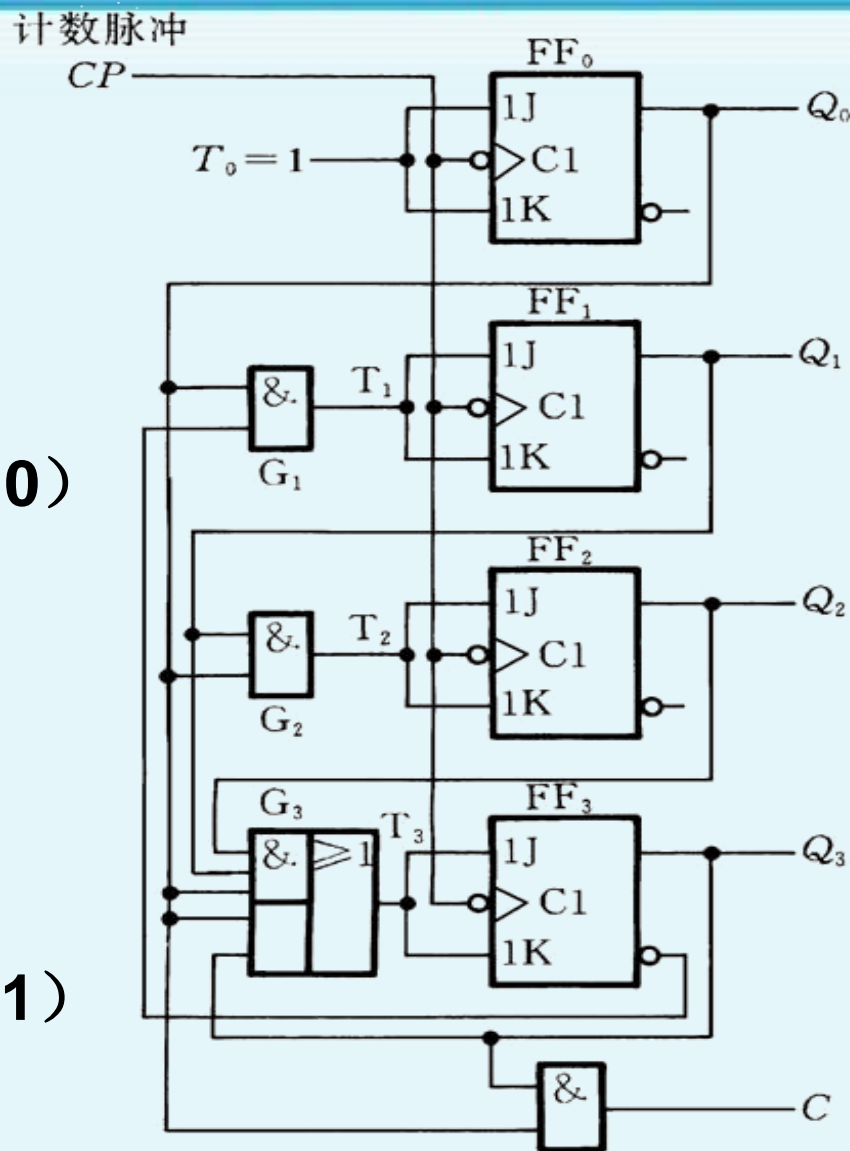


图6.3.20 同步十进制加法计数器电路



计 数 顺 序	电 路 状 态				等 效 十 进 制 数	输 出 C
	$Q_3$	$Q_2$	$Q_1$	$Q_0$		
0	0	0	0	0	0	0
1	0	0	0	1	1	0
2	0	0	1	0	2	0
3	0	0	1	1	3	0
4	0	1	0	0	4	0
5	0	1	0	1	5	0
6	0	1	1	0	6	0
7	0	1	1	1	7	0
8	1	0	0	0	8	0
9	1	0	0	1	9	1
10	0	0	0	0	0	0
0	1	0	1	0	10	0
1	1	0	1	1	11	1
2	0	1	1	0	6	0
0	1	1	0	0	12	0
1	1	1	0	1	13	1
2	0	1	0	0	4	0
0	1	1	1	0	14	0
1	1	1	1	1	15	1
2	0	0	1	0	2	0

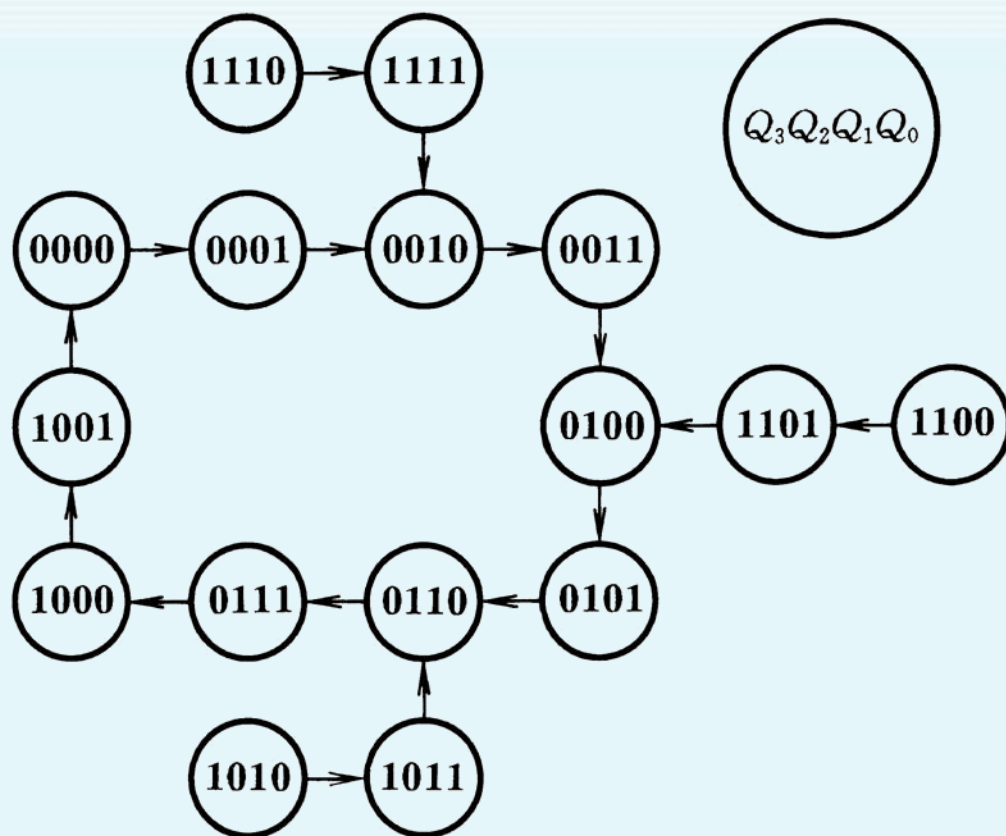


图6.3.21 图6.3.20电路的状态转换图

由状态转换图上可见，电路是能够自启动电路

## 电路的驱动方程

$$\left\{ \begin{array}{l} T_0 = 1 \\ T_1 = \overline{Q_0} (\overline{Q_1 Q_2 Q_3}) \\ T_2 = \overline{Q_0} \overline{Q_1} (\overline{Q_1 Q_2 Q_3}) \\ T_3 = \overline{Q_0} \overline{Q_1} \overline{Q_3} \end{array} \right. \quad (6.3.12)$$

## 电路的状态方程

$$\begin{cases} Q_0^{n+1} = \overline{Q_0} \\ Q_1^{n+1} = \overline{Q_0}(Q_2 + Q_3)\overline{Q_1} + Q_0Q_1 \\ Q_2^{n+1} = (\overline{Q_0}\overline{Q_1}Q_3)\overline{Q_2} + (Q_0 + Q_1)Q_2 \\ Q_3^{n+1} = (\overline{Q_0}\overline{Q_1}\overline{Q_2})\overline{Q_3} + (Q_0 + Q_1 + Q_2)Q_3 \end{cases} \quad (6.3.13)$$

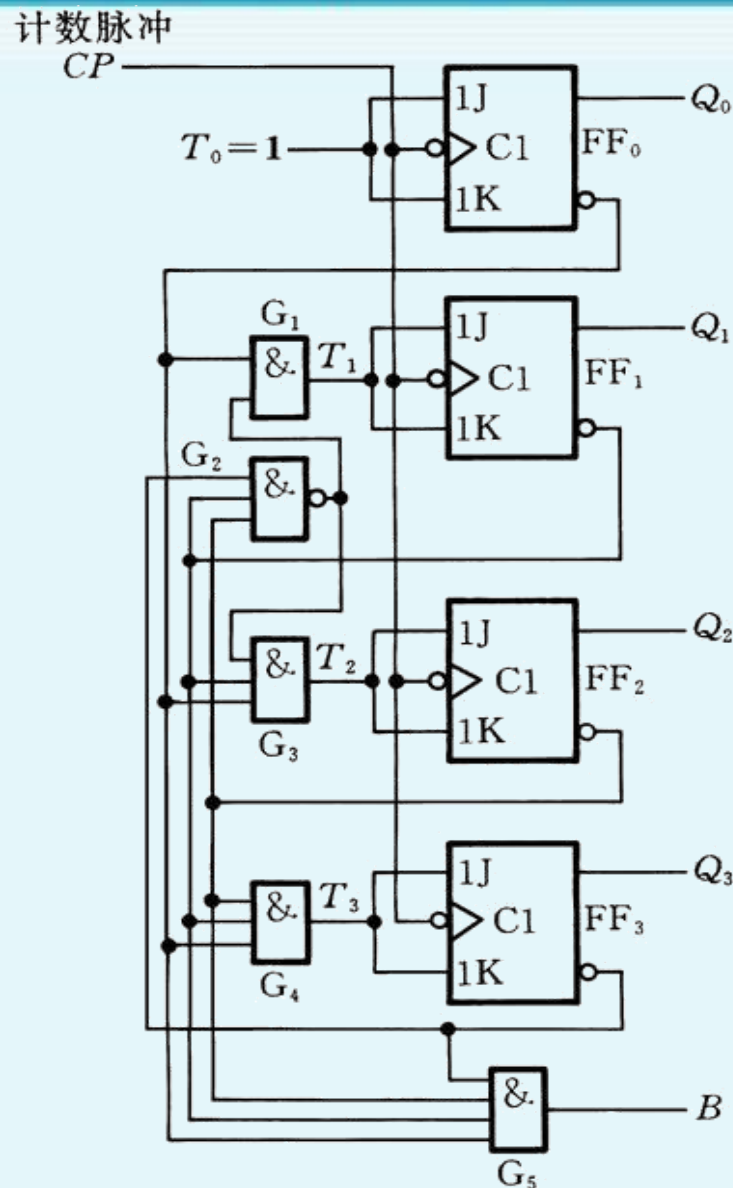


图6.3.23 同步十进制减法计数器





計 數 順 序	電 路 狀 態				等 效 十 進 制 數	借 位 B
	$Q_3$	$Q_2$	$Q_1$	$Q_0$		
0	0	0	0	0 ←	0	1
1	1	0	0	1 ←	9	0
2	1	0	0	0	8	0
3	0	1	1	1	7	0
4	0	1	1	0	6	0
5	0	1	0	1	5	0
6	0	1	0	0	4	0
7	0	0	1	1	3	0
8	0	0	1	0	2	0
9	0	0	0	1	1	0
10	0	0	0	0	0	1
0	1	1	1	1	15	0
1	1	1	1	0	14	0
2	1	1	0	1	13	0
3	1	1	0	0	12	0
4	1	0	1	1	11	0
5	1	0	1	0	10	0
6	1	0	0	1	9	0



根据式 (6.3.13) 可列出状态转换表，并可画出6.3.24的状态转换图

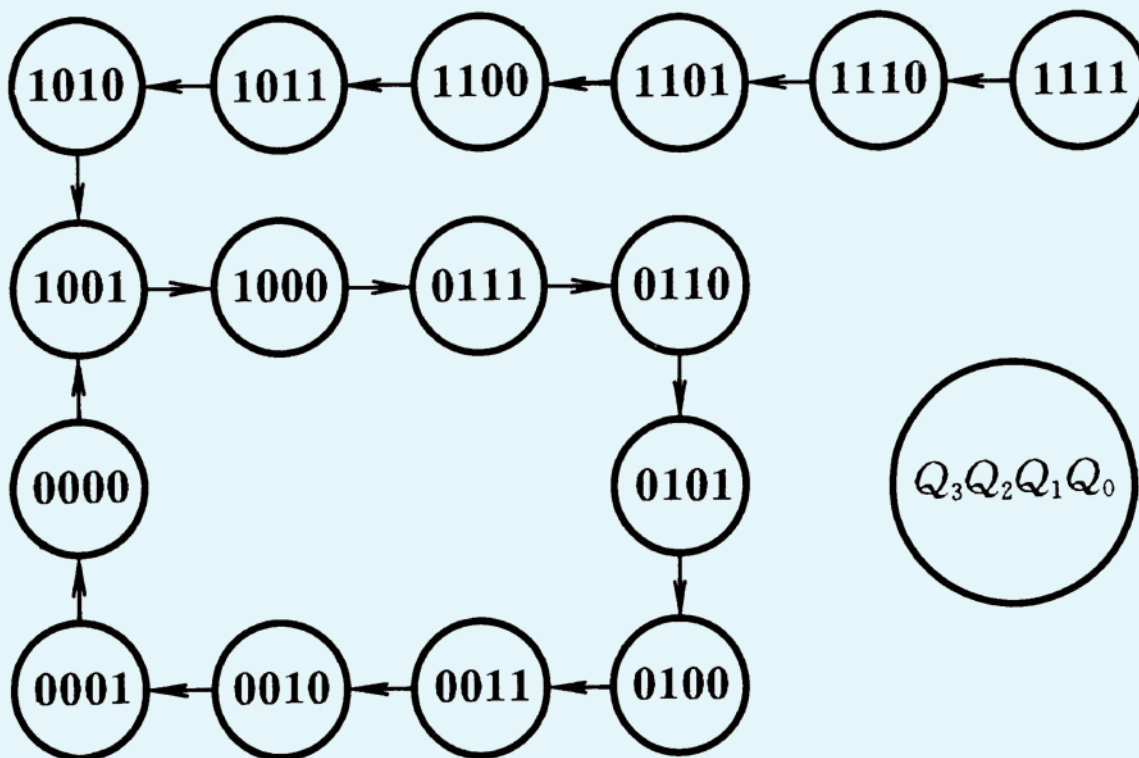
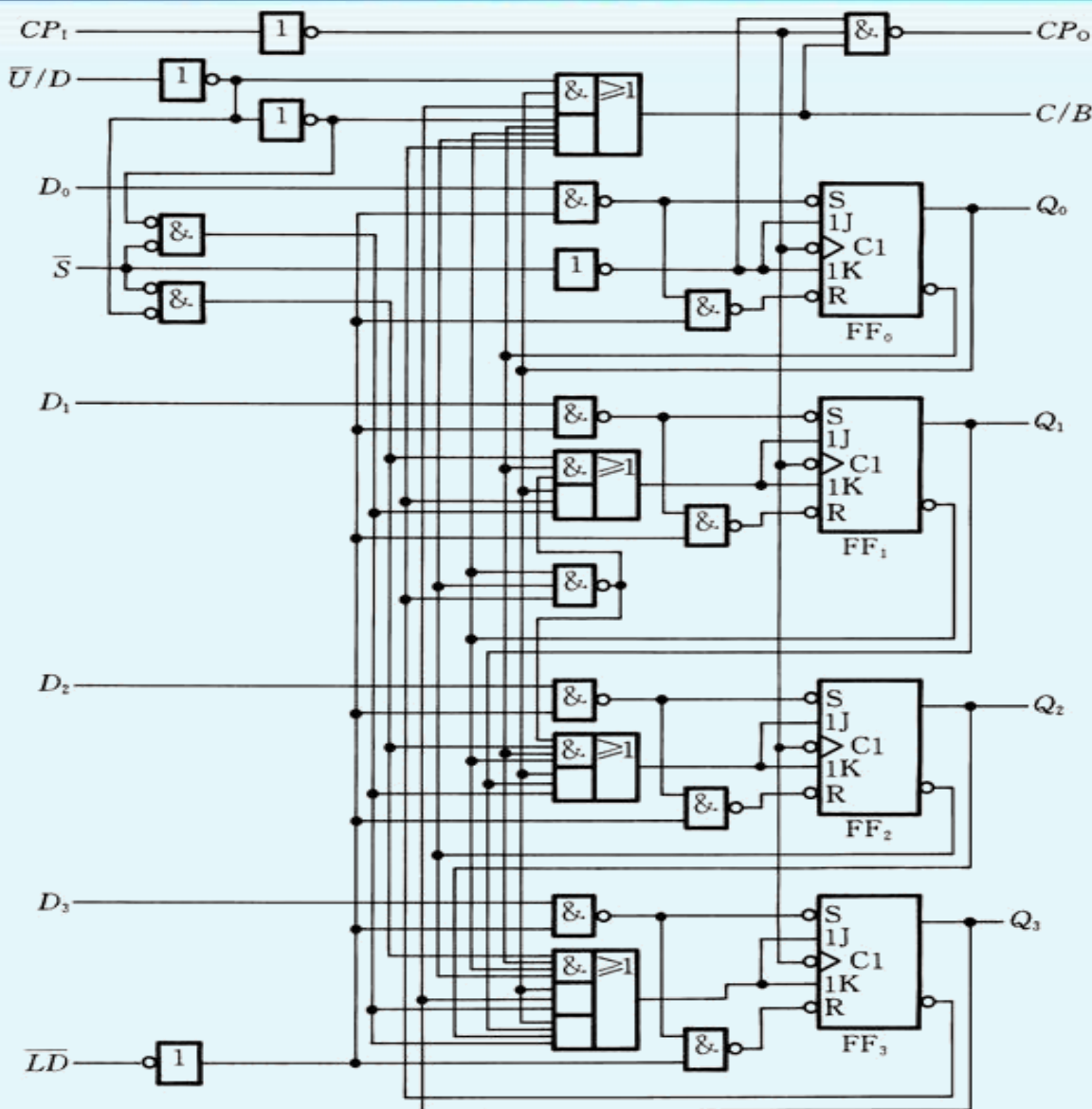


图6.3.24 图6.3.23电路的状态转换图



$\overline{U/D}=0$ 时做加法计数

$\overline{U/D}=1$ 时做减法计数

图6.3.25 单时钟同步十进制可逆计数器74LS190的逻辑图