### 实验二 组合逻辑电路分析

姓名 孔天欣 班级 计科1802 学号 20188068 班级序号 180235

台号 - 日期 2020-06-15 实验成绩

一、实验目的

(1)掌握组合逻辑电路的功能测试。

(2)验证半加器和全加器的逻辑功能。

(3)学会组合逻辑电路的设计方法。

二、实验仪器

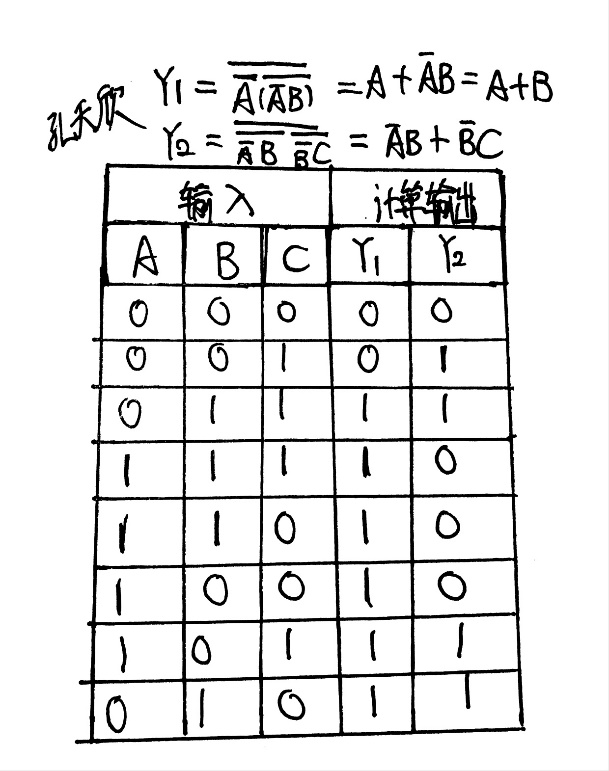
(1) YLSD 数字电路实验台。

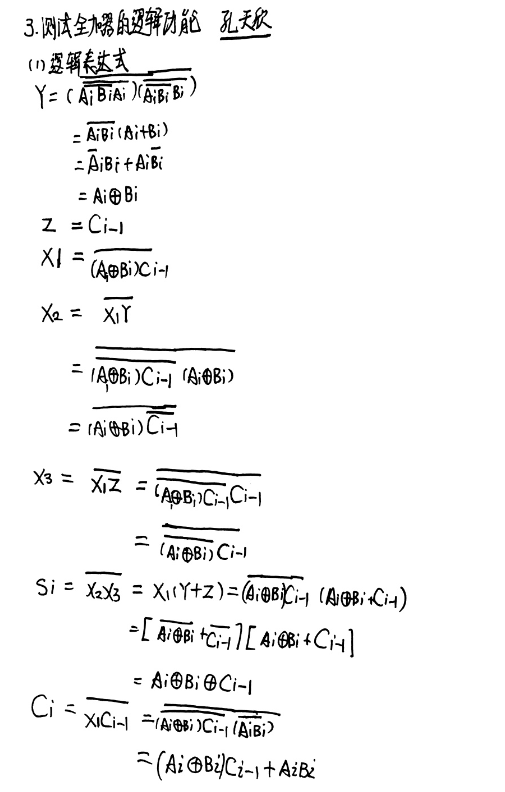
(2)芯片:

|  |  |  |
| --- | --- | --- |
| 74LS00 | 二输入端四与非门 | 3 片 |
| 74LS54 | 四输入端与或非门 | 1 片 |
| 74LS86 | 二输入端四异或门 | 1 片 |

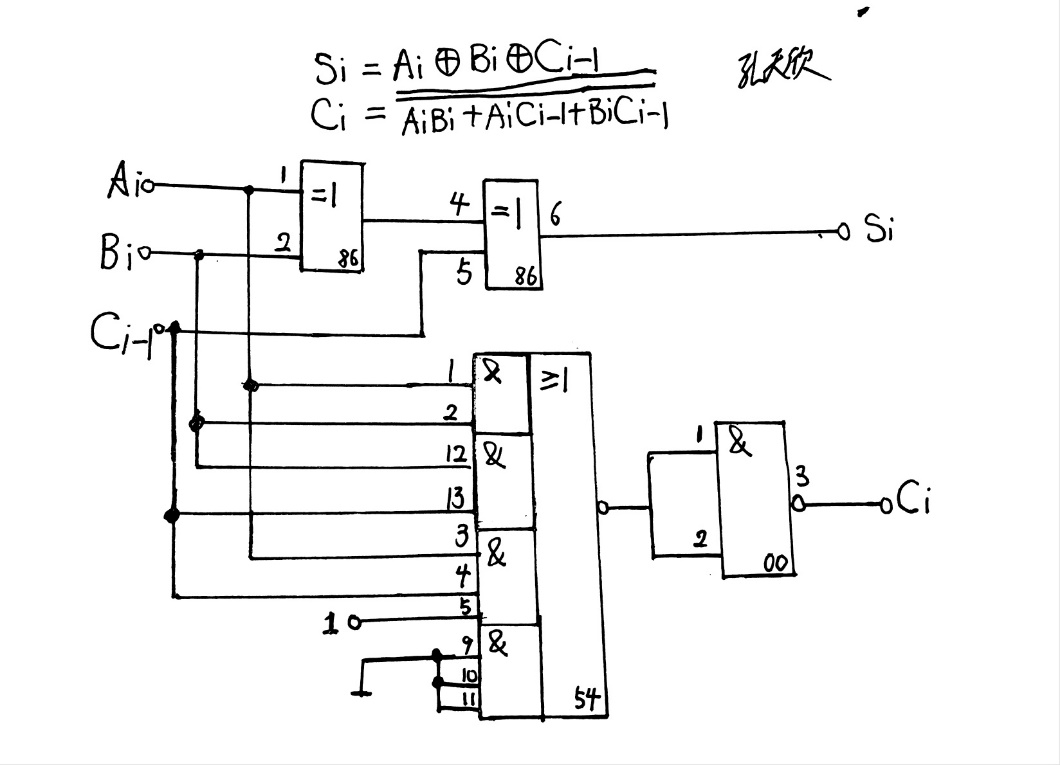
**三、实验电路图**

（1）实验内容1-4逻辑表达式推导的详细过程





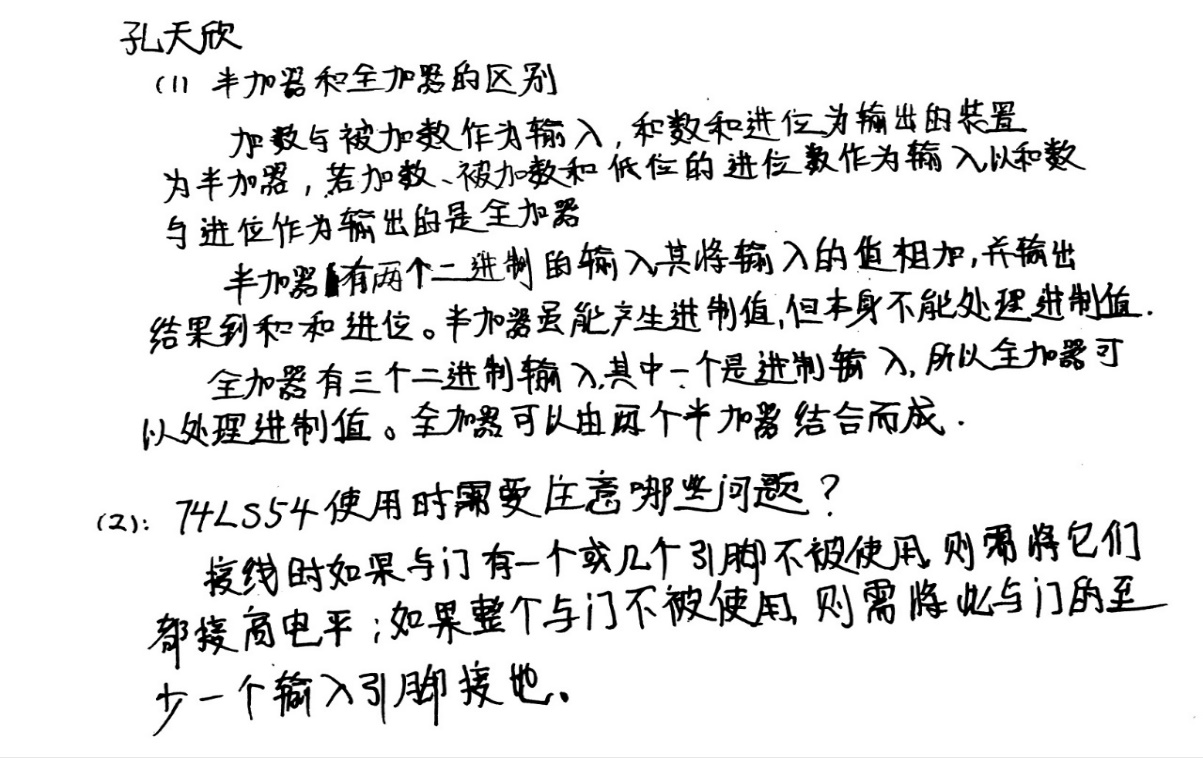
（2）实验内容4自行设计电路b



**四、预习内容**

1**.** 半加器和全加器的区别

2. 74LS54使用时需要注意哪些问题



**五、实验原始数据记录**

1. 组合逻辑电路功能测试（填表7-43）。

**表7-43**组合逻辑电路功能测试输出结果

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | 计算输出 | | 实验输出 | |
| A | B | C | Y1 | Y2 | Y1 | Y2 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 |

2. 测试用异或门（74LS86）和与非门（74LS00）组成的半加器的逻辑功能（填表7-44）。

**表7-44**半加器测试输出显示

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输入端 | A | 0 | 1 | 0 | 1 |
| B | 0 | 0 | 1 | 1 |
| 输出端 | Y | 0 | 1 | 1 | 0 |
| Z | 0 | 0 | 0 | 1 |

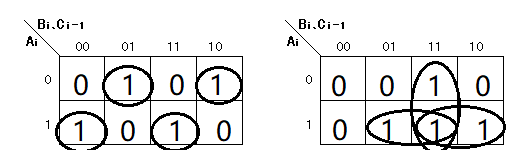
3. 测试全加器的逻辑功能。

（2）根据逻辑表达式列真值表，填写到表7-45中。

**表7-45**全加器真值表

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Ai | Bi | Ci-1 | Y | Z | X1 | X2 | X3 | Si | Ci |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |

（3）根据真值表画逻辑函数SiCi的卡诺图。



**Si=** **Ci=** **AC+AB+BC**

**全加器卡诺图**

（4）按原理图选择与非门并接线进行测试，将测试结果记入表7-46，并与表7-8进行比较看逻辑功能是否一致。

**表7-46全加器输出显示**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Ai | Bi | Ci-1 | Si | Ci |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

　　4．用一块异或门（74LS86）、一块与或非门（74LS54）和一个与非门（74LS00）设计构成一位全加器并测试逻辑功能（填表7-47）。

**表7-47全加器的设计输出显示**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入端 | Ai | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| Bi | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| Ci-1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 输出端 | Si | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| Ci | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |

**六、误差分析与实验结论**

本次实验成功测试了半加器和全加器的性质，同时自行设计了全加器电路。可得如下结论：

1. 半加器以加数和被加数作为输入，以和数和进位作为输出。不能考虑来自低位的进位。

2. 全加器以被加数、加数和来自上一位的进位作为输入，以合数和进位作为输出。可以考虑来自低位的进位。

3. 可以使用真值表得出逻辑表达式，并用卡诺图对逻辑表达式进行化简，获得效率更高或成本更低的电路。以上两种器件都可以由各种不同结构的门电路组成，

实验截图如下：

