# 实验八 五级流水CPU

## 实验目的、重点、难点

实验目的：

1.在单周期CPU实验完成的提前下，理解多周期流水线的概念。

2.熟悉并掌握多周期流水CPU的原理和设计。

实验重点：

熟悉使用verilog语言进行设计，仿真的过程。

实验难点：

观察仿真波形，确认电路设计是否正确。

## 实验任务

本次实验是对单周期CPU实验的拔高，多周期CPU是指一条指令需要花费多个周期才能完成所有操作，在每个周期内只做一部分操作，本次实验分为取指、译码、执行、访存、写回五个阶段，此时每个周期只做一部分操作。将CPU划分为多周期的优势在于，每个时钟周期内CPU需要做的工作就变少，因此频率可以更高，且每个部件做的事情单一了，比如取指部件只负责从指令存储器中取出指令，因此CPU可以进行流水工作，也相当于一个时钟周期完成一条指令，频率更高，因此CPU可以运行的更快。本次实验就是将实验七所实现的单周期CPU划分为多周期CPU。

实验八中的mips\_sopc实现框图如图2.1所示，与实验七相比只是将single\_cycle\_cpu模块替换为pipeline\_cpu模块。pipeline\_cpu实现框图如图2.2所示，在图2.2中，可以看到本次实现新增了4个和流水级有关的模块，分别是if\_id模块，id\_ex模块，ex\_mem模块，mem\_wb模块。

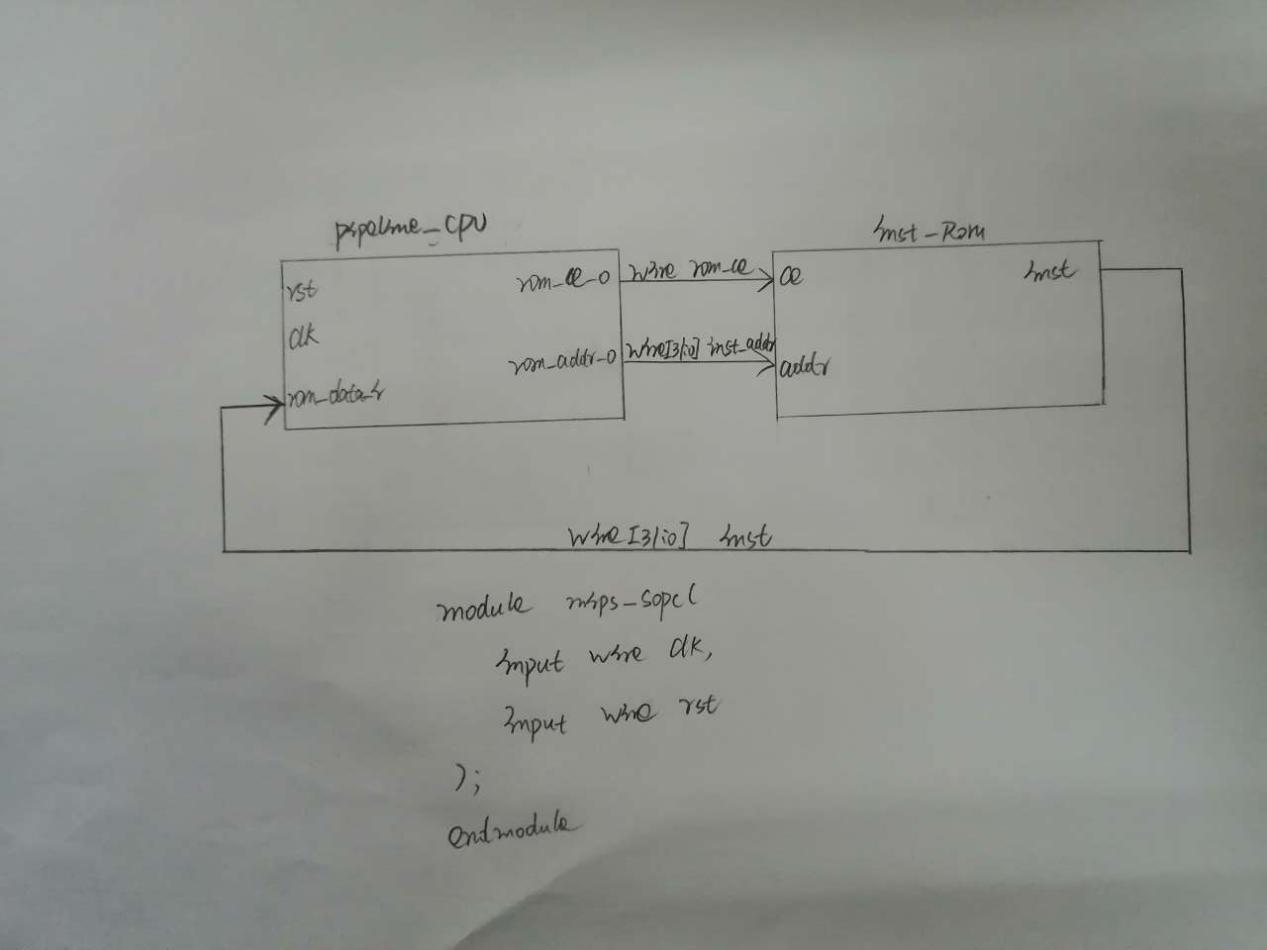


图2.1 mips\_sopc实现框图

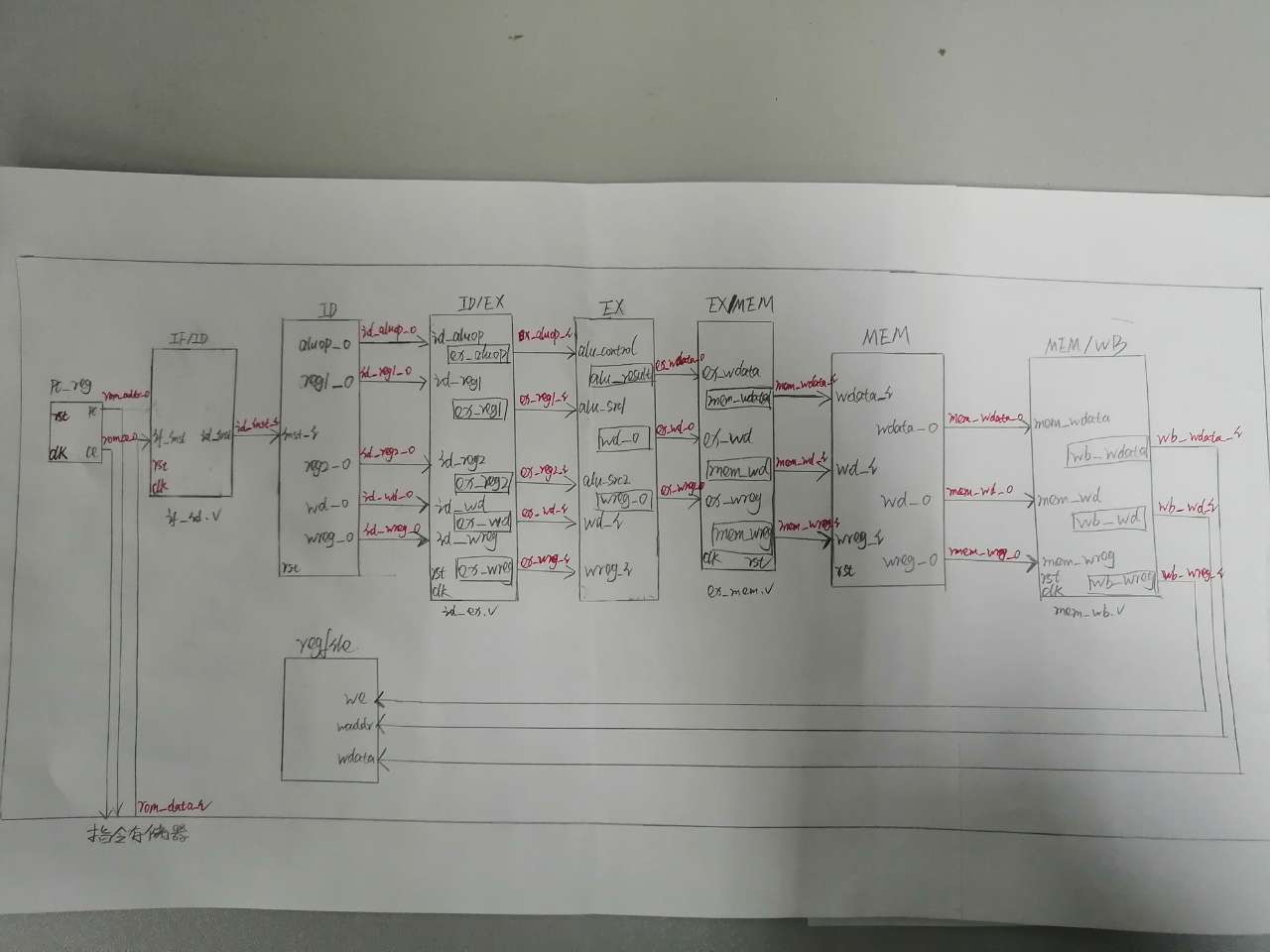
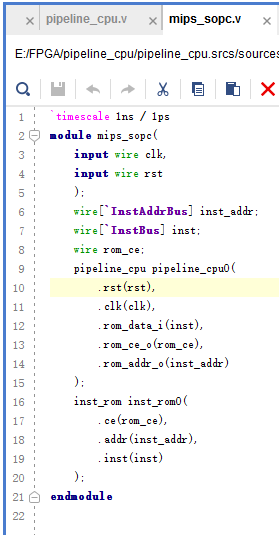
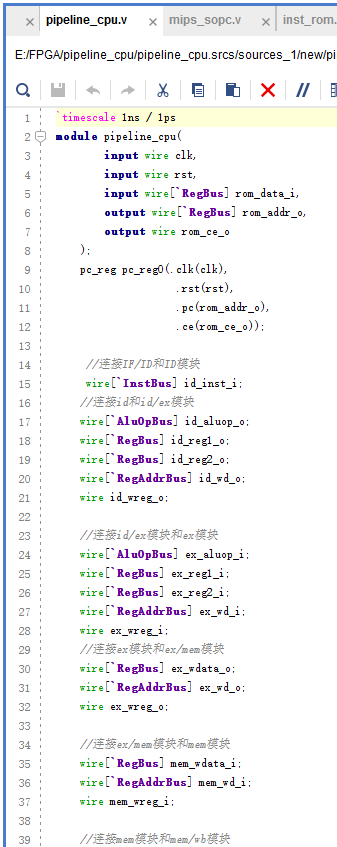


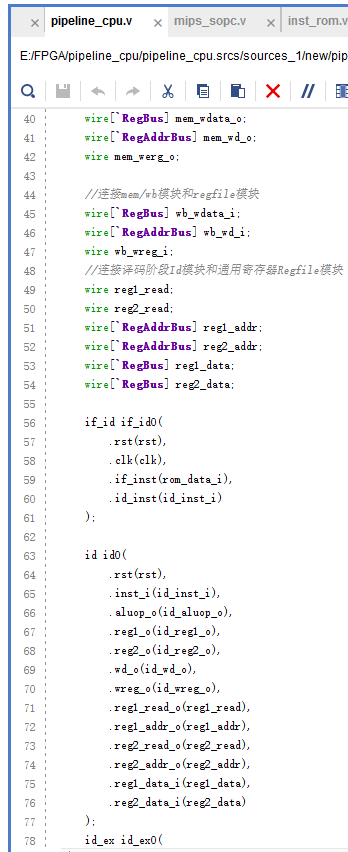
图2.2 pipeline\_cpu实现细节框图

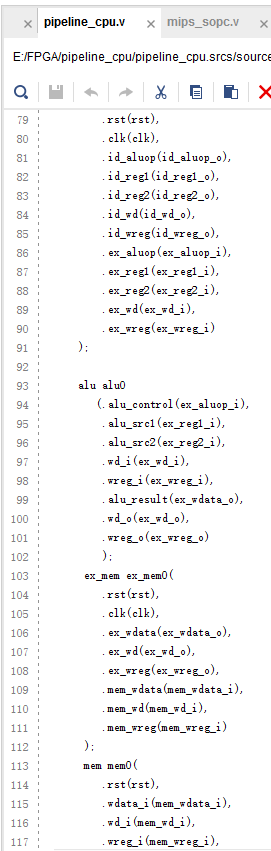
本次实现需要修改代码mips\_sopc，见代码2.1所示。需要新增pipeline\_cpu模块，见代码2.2所示。if\_id,id\_ex,ex\_mem,mem\_wb代码见本次实验文件夹。

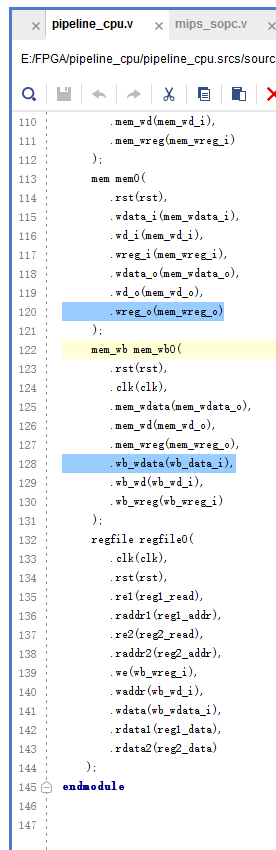


代码2.1 mips\_sopc代码









代码2.2 pipeline\_cpu代码

## 相关知识

### 3.1 流水线相关知识

流水线电路纯粹就是一个数字电路的概念，不要一谈到流水线就仅仅认为是处理器中的流水线。下面给出一个完全不会被阻塞的3级流水线电路写法。流水线实现框图如图3.1所示。

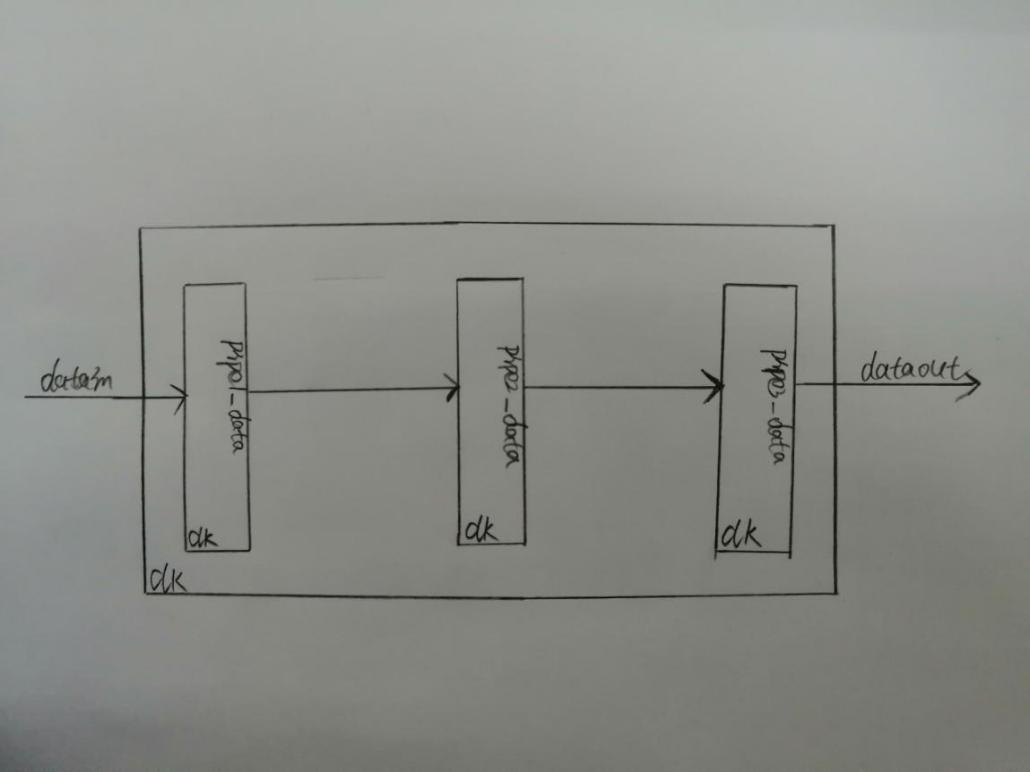
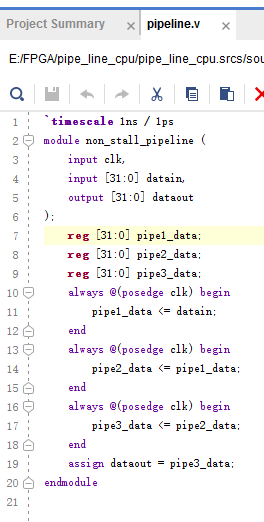


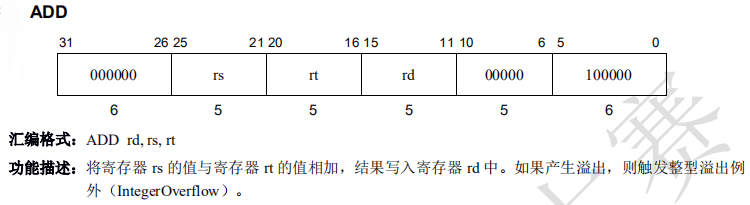
图3.1 三级无阻塞流水线框图



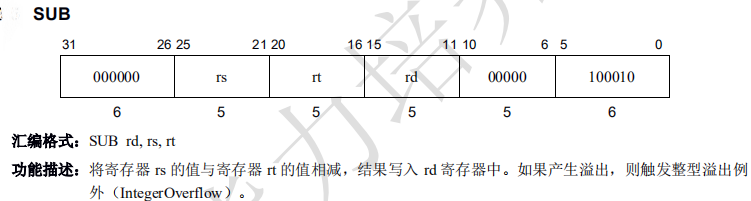
代码3.1 三级流水线实现代码

### 3.2 MIPS相关指令

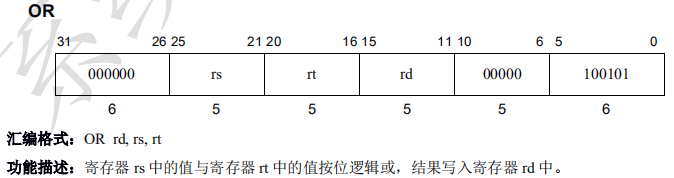
1. ADD指令。rd=rs+rt



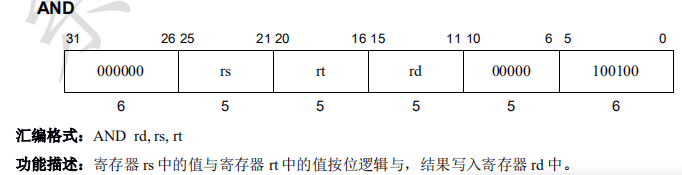
1. SUB指令。rd=rs-rt



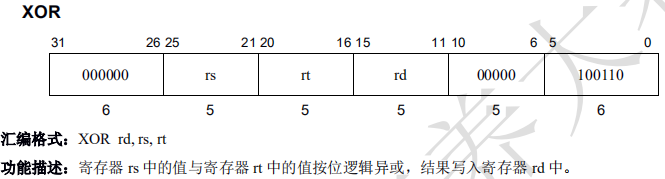
1. OR指令。rd=rs or rt



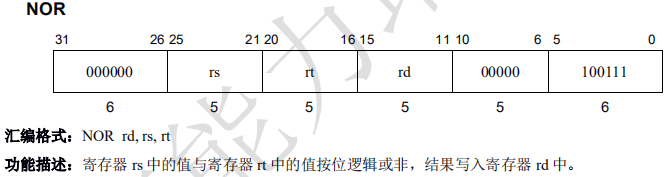
1. AND指令。rd=rs and rt



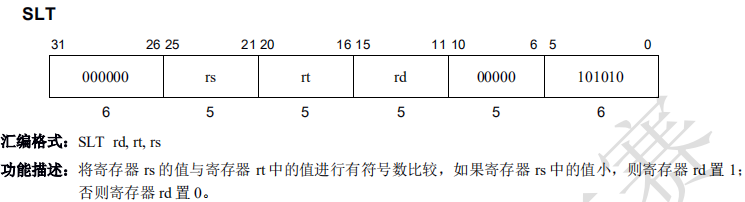
1. XOR指令。rd=rs xor rt



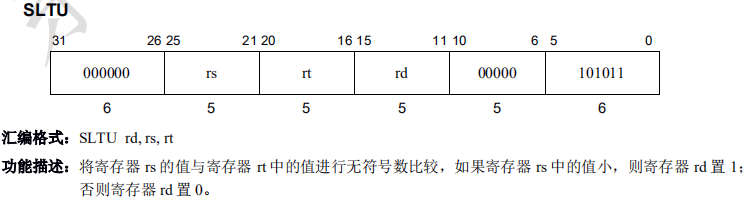
6、NOR指令。rd=rs nor rt



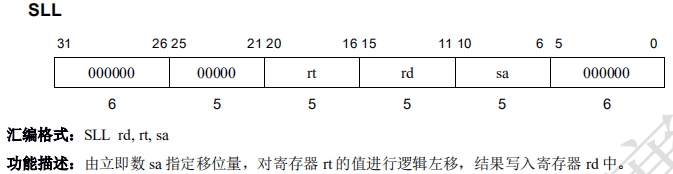
7、SLT指令。



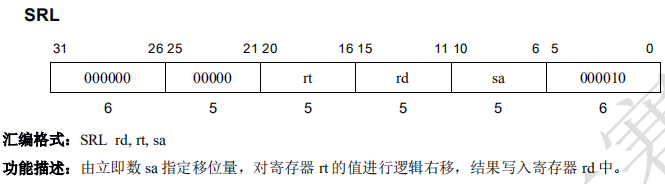
1. SLTU指令。



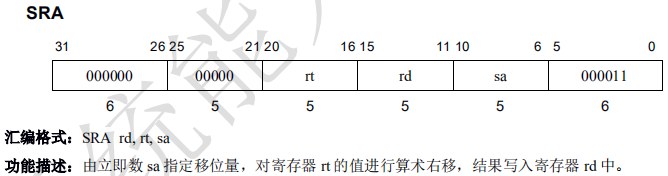
1. SLL指令



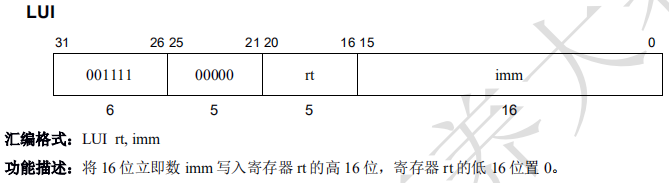
1. SRL指令



1. SRA指令



1. LUI指令



1. 指令格式归纳

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| op | rs | rt | rd | op2 | op3 |

31 26 25 21 20 16 15 11 10 6 5 0

