# 实验六 cpu上课讲解内容译码器

## 实验目的、重点、难点

实验目的：

1.了解MIPS指令集中的运算指令，学会对这些指令进行归纳分类。

2.熟悉并掌握译码器的原理、功能和设计。

3.进一步加强运用 verilog 语言进行电路设计的能力。

4.为后续设计 cpu 的实验打下基础。

实验重点：

熟悉使用verilog语言进行设计，仿真的过程。

实验难点：

观察仿真波形，确认电路设计是否正确。

## 实验任务

学习MIPS指令集，熟知指令类型，了解指令功能和编码，译码器实现框图2.1。详细端口说明如表2.1。id代码见代码2.1-2.4,id\_tb代码见代码2.5-2.6，defines代码见代码2.7-2.8。

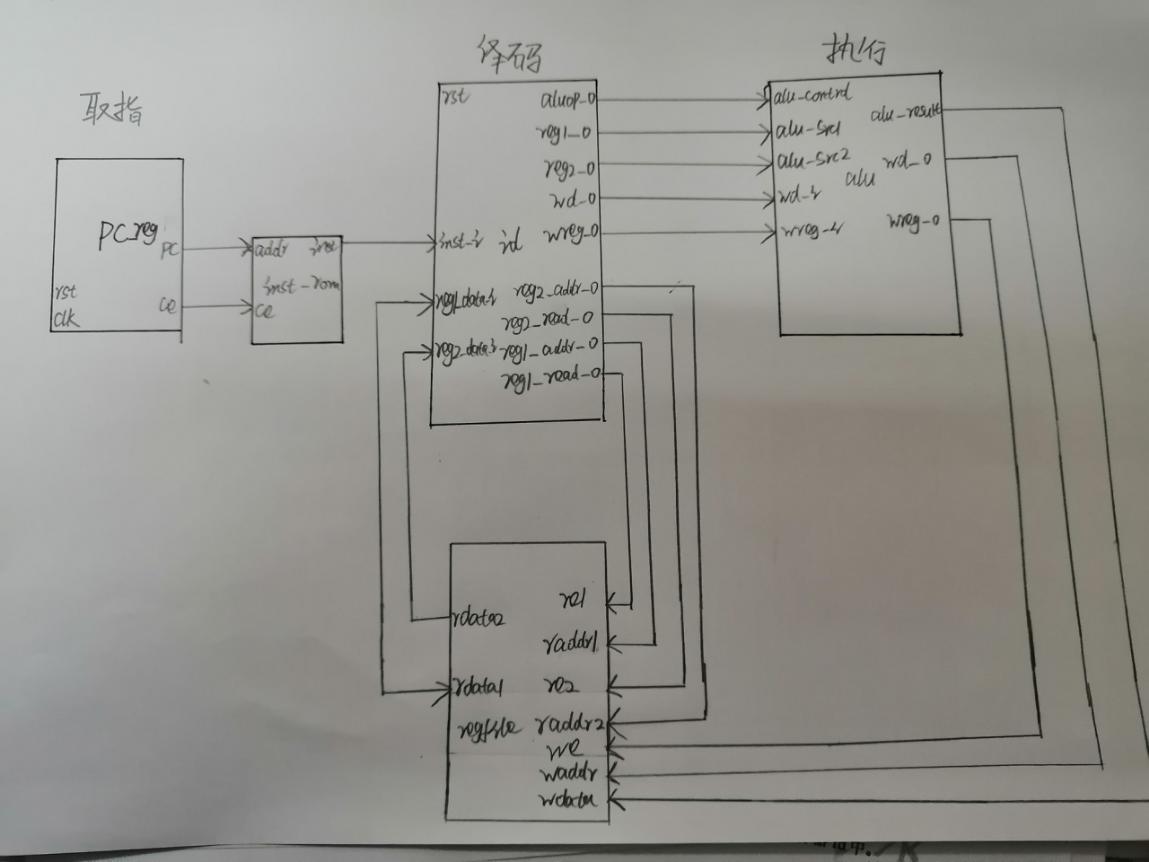


图2.1 单周期CPU实现细节框图

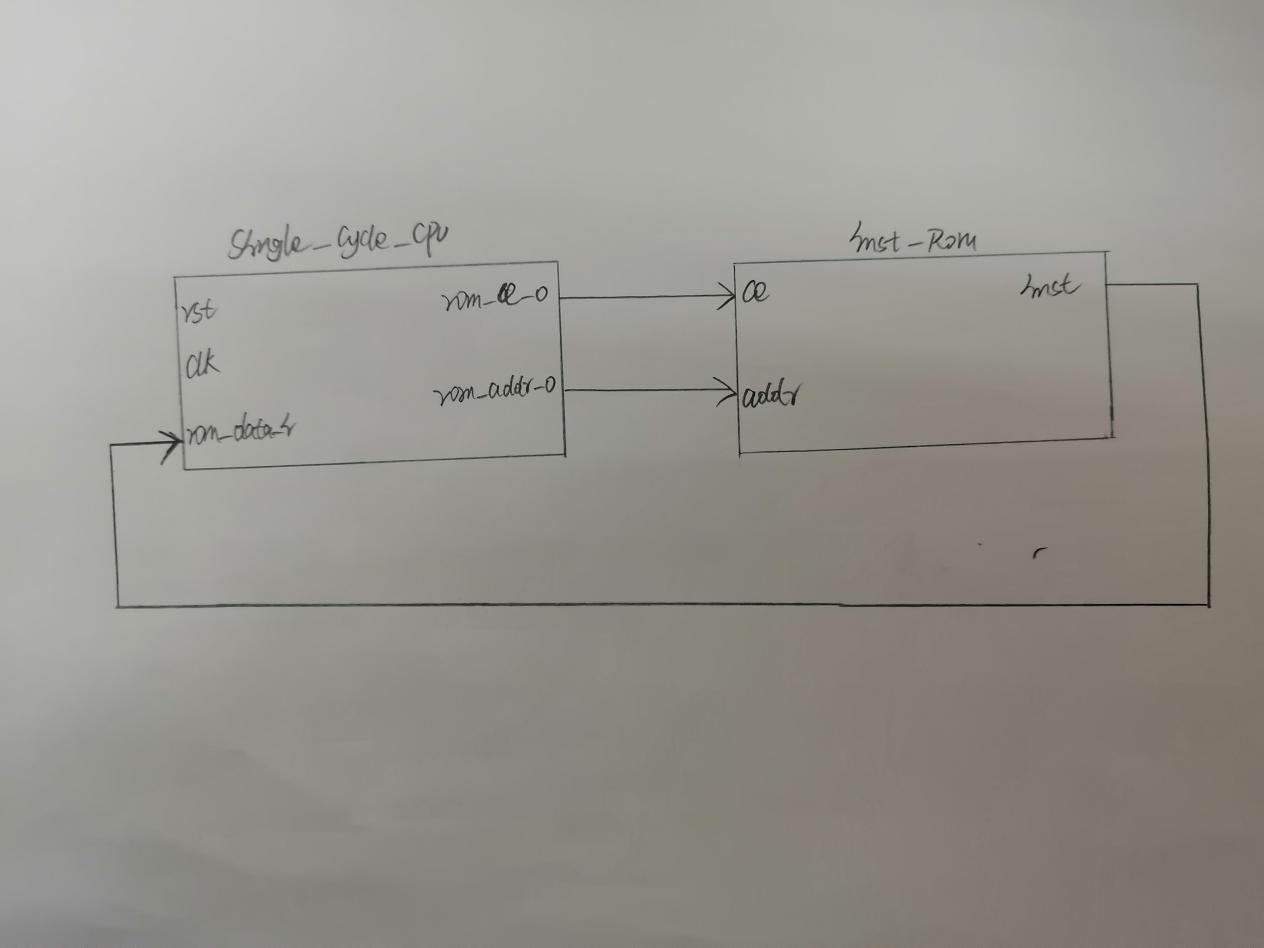
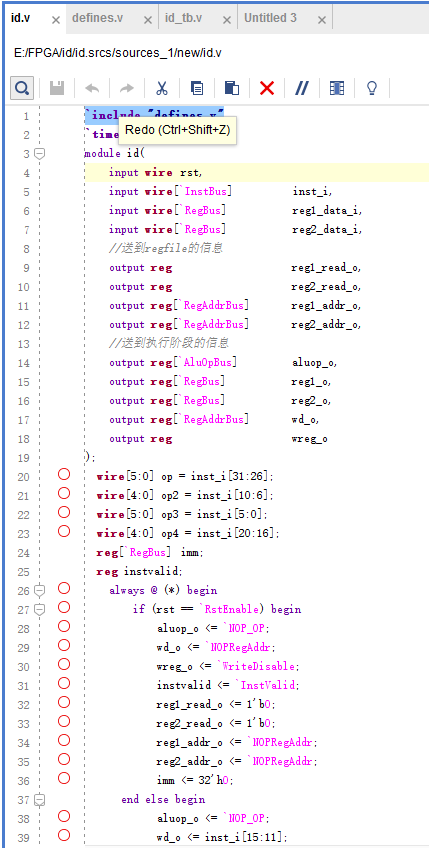


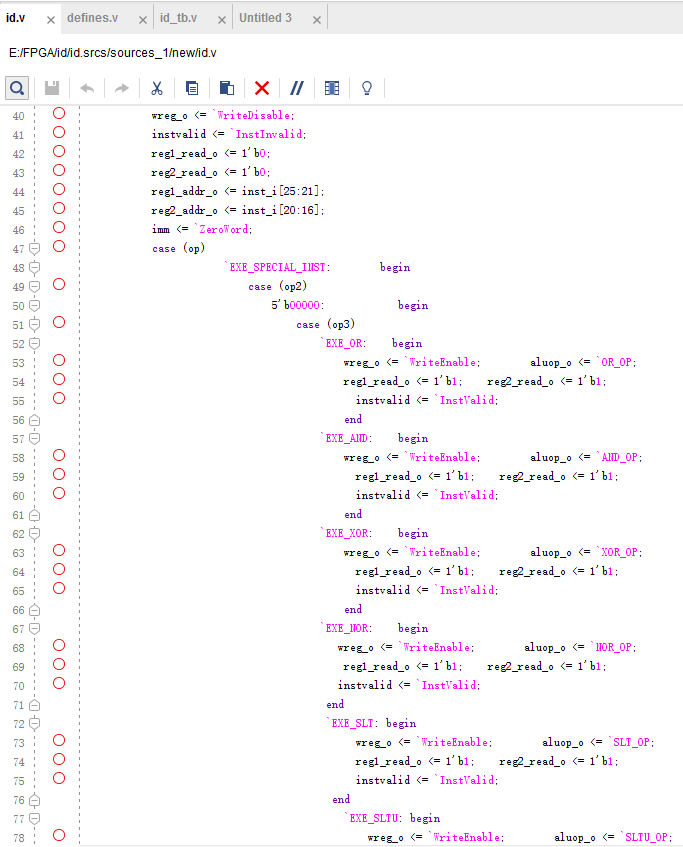
图2.2 CPU实现框图2

表2.1 译码器端口说明

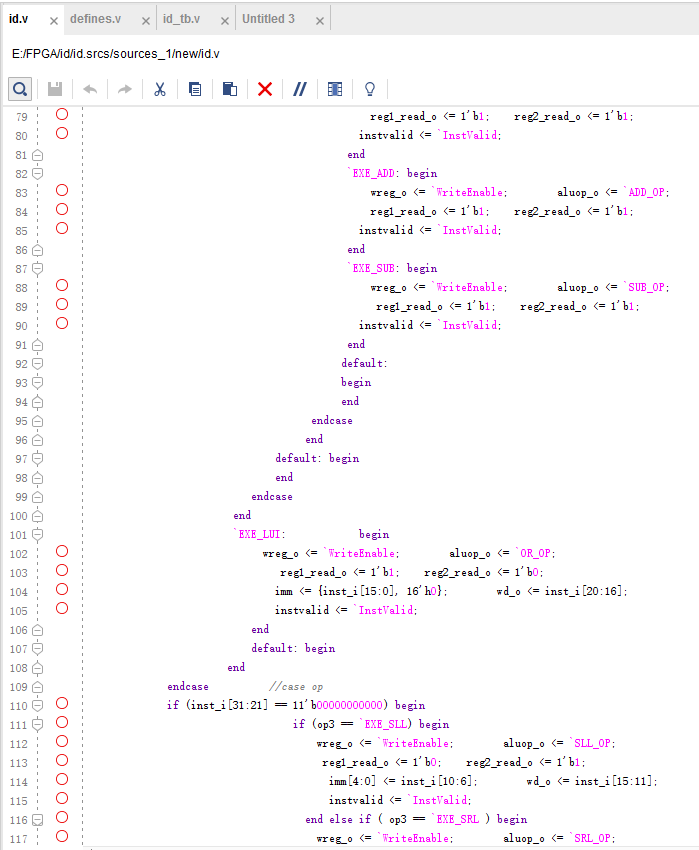
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 接口名 | 宽度 | 输入/输出 | 作用 |
| 1 | rst | 1 | 输入 | 复位信号 |
| 2 | inst\_i | 32 | 输入 | 译码阶段的指令 |
| 3 | reg1\_data\_i | 32 | 输入 | 从regfile读入数据1 |
| 4 | reg2\_data\_i | 32 | 输入 | 从regfile读入数据2 |
| 5 | aluop\_o | 4 | 输出 | 译码阶段运算类型 |
| 6 | reg1\_o | 32 | 输出 | 译码阶段源操作数1 |
| 7 | reg2\_o | 32 | 输出 | 译码阶段源操作数2 |
| 8 | wd\_o | 5 | 输出 | 目的寄存器地址 |
| 9 | wreg\_o | 1 | 输出 | 是否要写入目的寄存器 |
| 10 | reg2\_addr\_o | 5 | 输出 | regfile第二个寄存器地址 |
| 11 | reg2\_read\_o | 1 | 输出 | regfile第二个寄存器读使能信号 |
| 12 | reg1\_addr\_o | 5 | 输出 | regfile第一个寄存器地址 |
| 13 | reg1\_read\_o | 1 | 输出 | regfile第一个寄存器读使能信号 |



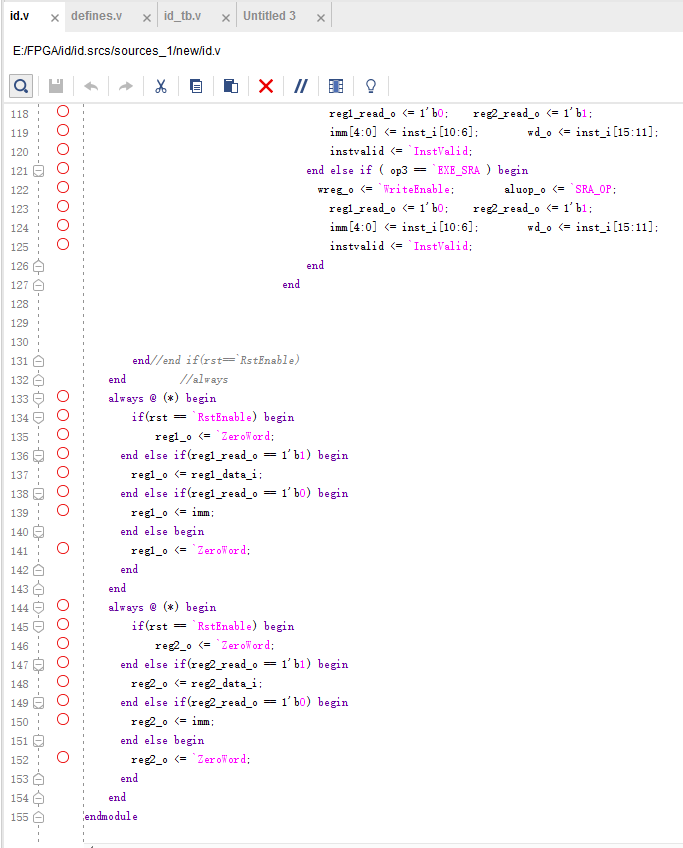
代码2.1 id代码1



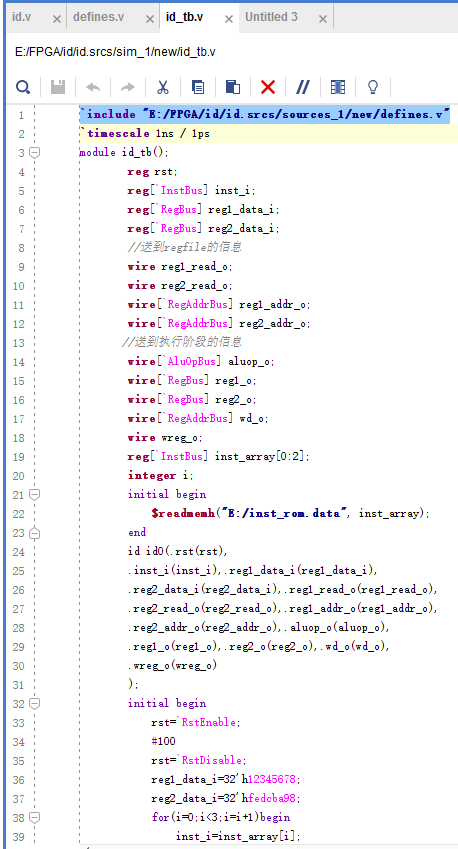
代码2.2 id代码2



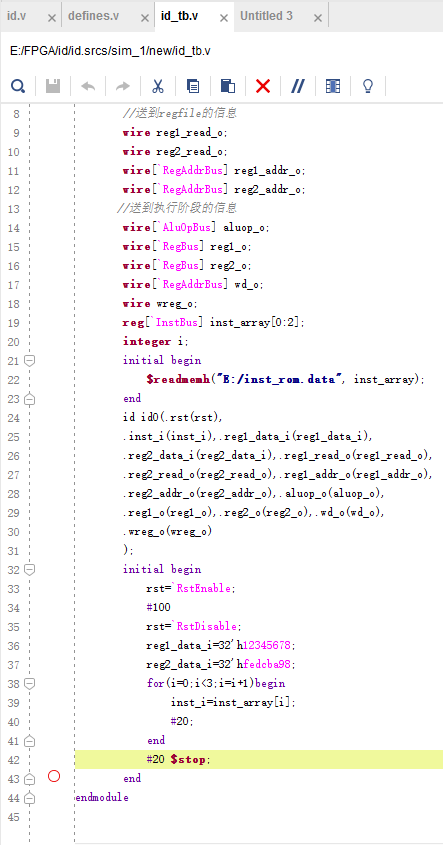
代码2.3 id代码3



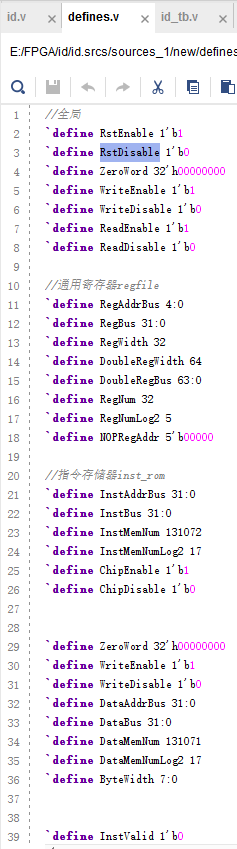
代码2.4 id代码4



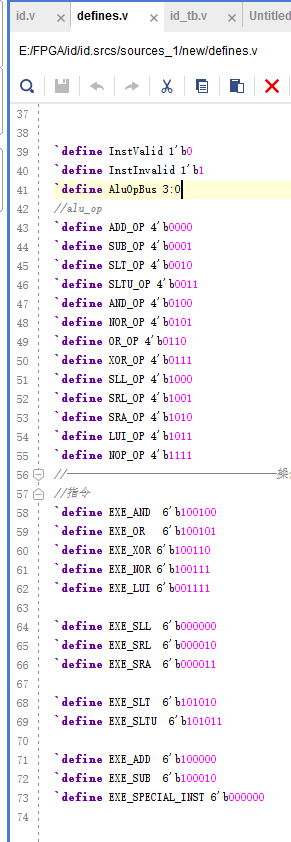
代码2.5 id\_tb 代码1



代码2.6 id\_tb代码2



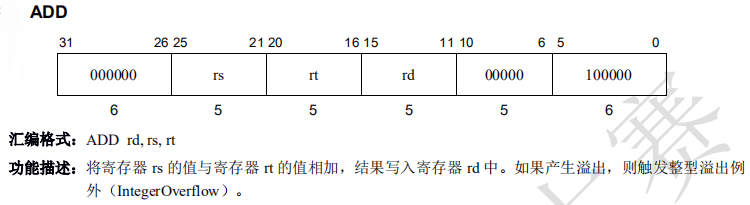
代码2.7 defines代码1



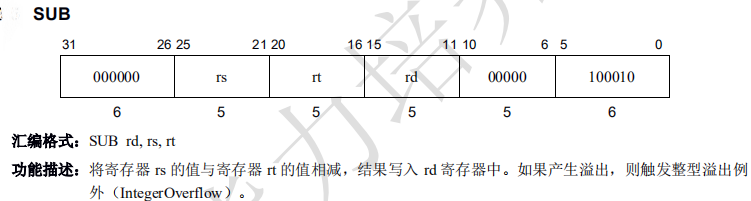
代码2.8 defines代码2

## 3、MIPS相关知识

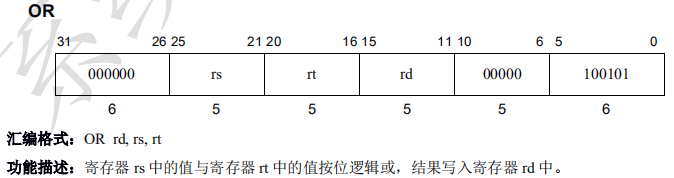
1. ADD指令。rd=rs+rt



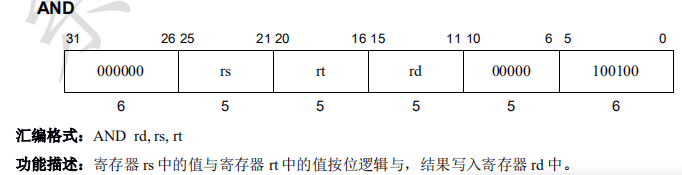
1. SUB指令。rd=rs-rt



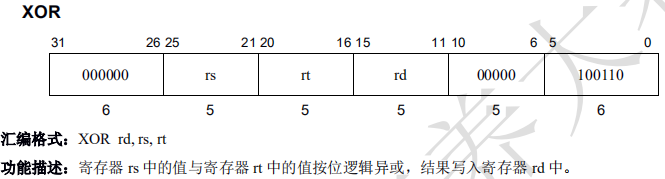
1. OR指令。rd=rs or rt



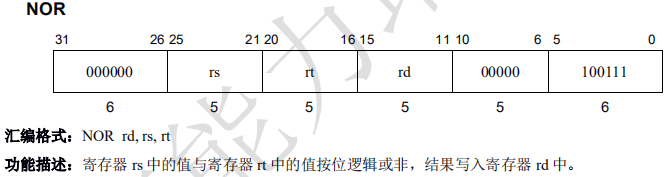
1. AND指令。rd=rs and rt



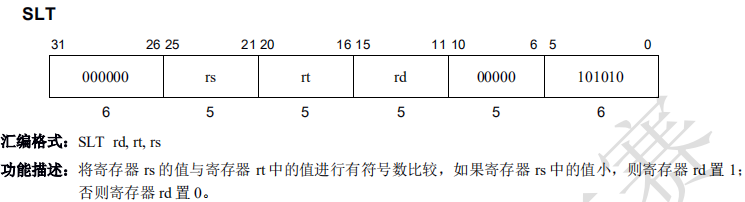
1. XOR指令。rd=rs xor rt



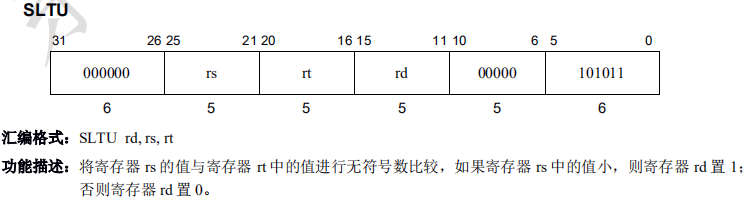
6、NOR指令。rd=rs nor rt



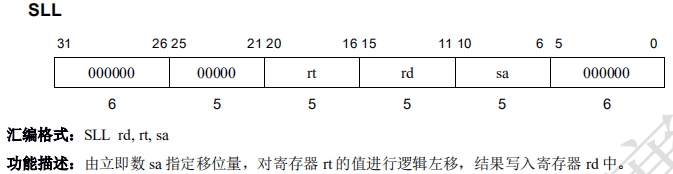
7、SLT指令。



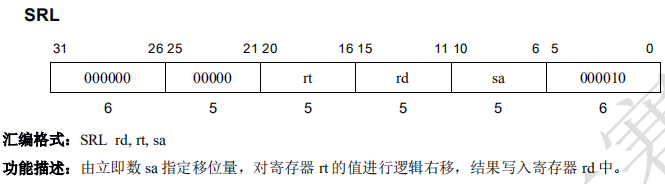
1. SLTU指令。



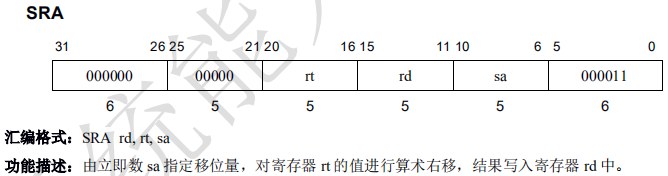
1. SLL指令



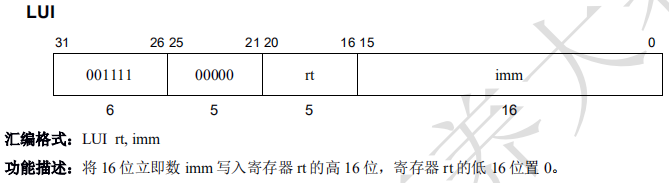
1. SRL指令



1. SRA指令



1. LUI指令



1. 指令格式归纳

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| op | rs | rt | rd | op2 | op3 |

31 26 25 21 20 16 15 11 10 6 5 0

