

INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA
DE SANTA CATARINA.
DEPARTAMENTO ACADÊMICO DE ELETRÔNICA
ENGENHARIA ELETRÔNICA

Projeto Integrador III

Elaboração de um Sistema de Auto-Equalização Ambiente

Ana Cláudia Banderchuk

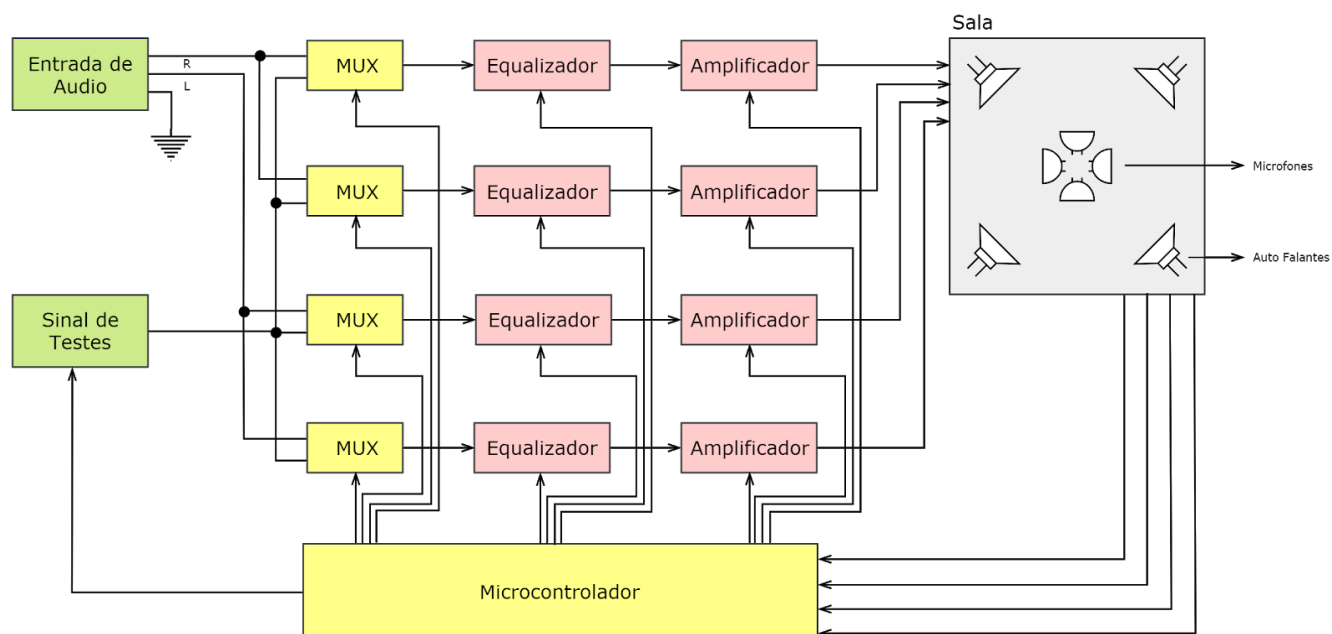
Felipe Rodrigues Broering

Florianópolis, 17 de dezembro de 2018

1 Introdução

O projeto proposto é um sistema de equalização sonora automática utilizando equalizadores analógicos cujos ganhos de cada banda são controlados por uma tensão proveniente de um microcontrolador. Esses ganhos irão variar conforme os aspectos mecânicos da sala, tais como material da parede e móveis posicionados em diferentes lugares, fazendo com que o espectro de frequências de áudio antes não linear em decorrência das perdas ocasionadas, se torne linear. O esquema inicial proposto ao projeto é o presente na Figura 1.

FIGURA 01 - Esquema inicial do projeto.



1.2 Cronograma Proposto

Para a realização do projeto, propôs-se um cronograma de atividades separado em semanas, conforme a Tabela 1.

TABELA 01 - Cronograma de Atividades.

Semana		Atividade
1	01/08	Definição do projeto.
2	08/08	Definição e estudo de viabilidade do projeto.
3	15/08	Estudo de viabilidade do projeto.
4	22/08	Validação da estrutura VCA (<i>voltage controlled amplifier</i>). Simulação e bancada.
5	29/08	Equacionamento da estrutura VCA em conjunto com filtros.
6	05/09	Equacionamento da estrutura VCA em conjunto com filtros e definição do circuito de equalização.
7	12/09	<i>Layout</i> do circuito equalizador com VCA e circuito amplificador.
8	19/09	<i>Layout</i> do circuito equalizador com VCA e circuito amplificador. Elaboração da lista de compras.
9	26/09	Definição do circuito de geração do sinal de testes.
10	03/10	Confecção e teste de PCs.
11	10/10	
12	17/10	Validação de todos os circuitos e definição do microcontrolador.
13	24/10	Programação do microcontrolador e testes.
14	31/10	
15	07/11	
16	14/11	
17	21/11	
18	28/11	
19	05/12	
20	12/12	Entrega e testes do Projeto.

2 Sistema de Auto-Equalização Ambiente

O sistema ao todo é separado em blocos, sendo eles: equalizador, amplificador e microcontrolador, além do multiplexador para o sinal de entrada do áudio ou sinal de testes. O Equalizador é separado nos blocos de filtros, responsável por filtrar as bandas, da estrutura de ganho e o circuito inversor com multiplexador analógico.

Os componentes utilizados para o projeto foram da família CMOS, que operam na faixa de 15 V. Essa escolha foi feita de maneira a se obter um maior aproveitamento das estruturas amplificadoras, levando em consideração a alimentação simétrica dos Amp Ops, de forma a aumentar o range de tensão de operação. Devido ao tamanho do projeto, optou-se pelo uso de fonte comercialmente vendida. Foi utilizado uma fonte chaveada que fornece alimentação +15V, -15V e 5V.

Nos tópicos que seguem, serão feitas análises teóricas e dos resultados obtidos do blocos em ordem: a estrutura do equalizador e seus sub-blocos, a parte do microcontrolada e o amplificador. Por último, serão vistos o processo de *layout* da placa de circuito impresso (PCI) e os resultados obtidos na interconexão de todos os blocos.

2.1 Circuito Equalizador

O circuito do equalizador é composto pelos filtros de cada banda e pela estrutura responsável pelo ganho de cada uma das bandas.

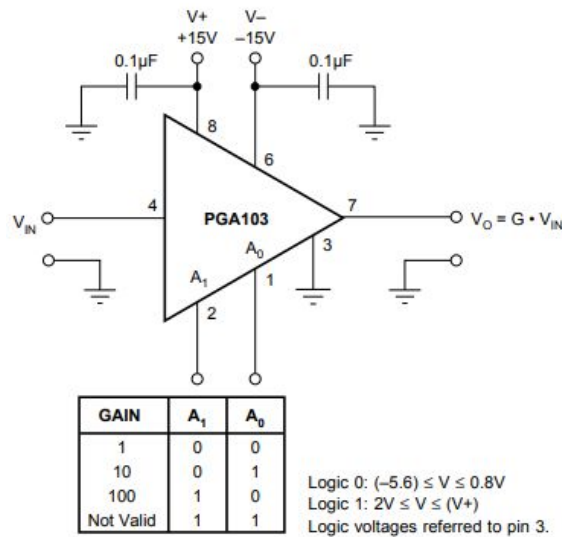
2.1.1 Estrutura de Ganho por Nível de Tensão do Equalizador

Para fazer o ajuste da equalização conforme o ambiente, o circuito equalizador precisa de se comunicar com a estrutura responsável pelo ajuste do ganho de forma a trazer uma resposta em frequência linear. Sendo assim, foram realizados estudos de estruturas que permitissem a alteração do ganho por meio de um microcontrolador.

2.1.1.1 Definição do Circuito

As pesquisas se iniciaram pelo *Programmable Gain Amplifier* (PGA), que permitem o ajuste do ganho por uma interface simples serial ou paralela (ANALOG DEVICES, 2018). Um exemplo de aplicação está na Figura 2, utilizando o circuito integrado (CI) PGA103 do fabricante Texas Instruments.

FIGURA 02 - Aplicação de um PGA.



Fonte: Texas Instruments (1993)

Dentre as propostas para a resolução do problema, encontrou-se também o amplificador operacional de transcondutância (OTA), que são Amplificadores Operacionais (Ampops) comuns que contam com uma entrada extra para ajuste de ganho feito por nível de tensão.

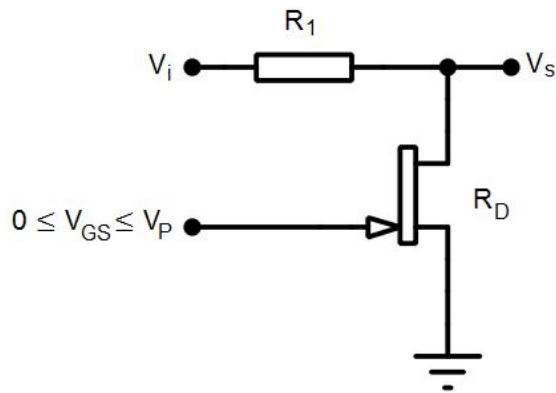
Devido ao nível elevado do custo dessas duas propostas encontradas no mercado, descartou-se o uso na implementação do projeto. A estrutura escolhida então para o projeto foi a do Amplificador de Tensão Controlada (VCA), cuja análise detalhada está no item 2.1.1.2.

2.1.1.2 Circuito VCA

O circuito do VCA é composto por uma estrutura de ganho com amplificador operacional e um resistor variável por meio de um transistor de junção por efeito de campo (JFET).

Como resistor variável, o JFET é usado quando está operando na região linear, alterando-se a tensão entre *gate* e *source*. Na Figura 03, pode-se ver um circuito de aplicação simples cuja tensão de saída V_S é obtida pela divisão de tensão entre R_1 e R_D , sendo esse último dependente da tensão de *gate*.

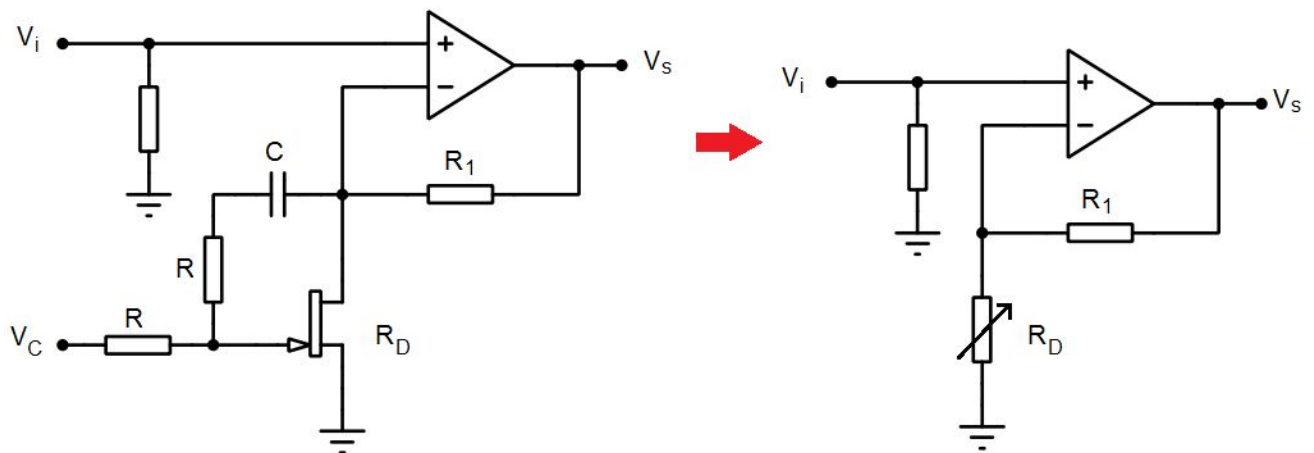
FIGURA 03 - Divisor de tensão utilizando um JFET.



Fonte: Modificado de Fairchild (2015)

Como estrutura de ganho, utilizou-se um Ampop na configuração não inversora, como proposto por Fairchild (2015), Figura 04, cujo ganho é dado conforme a equação 1.

FIGURA 04 - Circuito VCA.

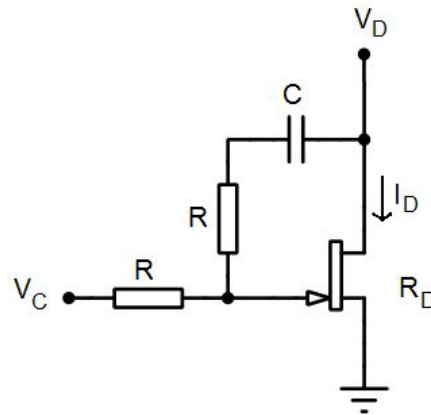


Fonte: Modificado de Fairchild (2015)

$$G = 1 + R_1/R_D \quad (1)$$

A estrutura responsável pelo resistor variável com JFET do circuito VCA da figura 04 está presente na Figura 05.

FIGURA 05 - Resistor controlado por tensão da estrutura VCA.



Fonte: Autoria Própria (2018)

Sendo a corrente I_D dada pela equação 2 quando o transistor está operando na região linear, encontra-se uma equação para R_D ao isolar V_{DS} , como mostra a equação 3.

$$I_D = 2 * I_{DSS} / (V_P^2) * (V_{GS} - V_P - V_{DS}/2) * V_{DS} \quad (2)$$

$$R_D = V_{DS} / I_D = 1 / [2 * I_{DSS} / (V_P^2) * (V_{GS} - V_P - V_{DS}/2)] \quad (3)$$

Considerando que a tensão V_{GS} é a soma das tensões V_C e da divisão de V_D entre os resistores R e o capacitor C , de acordo com o teorema da superposição, conforme a equação 4 e considerando K uma constante dada pela equação 5, por meio de algumas manipulações algébricas é possível encontrar uma equação final para R_D que relaciona a tensão de controle V_C e a tensão V_D .

$$V_{GS} = V_C + [(V_D * R) / (2R - jX_C)] \quad (4)$$

$$K = I_{DSS} / V_P^2 \quad (5)$$

$$R_D = (2R - jX_C) / \{K[(4R - 2jX_C)(V_C - V_P) + jV_D X_C]\} \quad (6)$$

Entre as desvantagens ao utilizar o JFET como resistor controlado por tensão estão a não linearidade da resistência com a tensão do *gate*, a dependência desse valor de resistência com a tensão entre dreno e *source* e a variação da tensão de *pinch-off* (V_P) de acordo com o transistor utilizado. Essa tensão de *pinch-off* (V_P) deve possuir maior módulo para que o intervalo de tensão aplicada ao *gate* seja maior, possibilitando menos susceptibilidade a ruído no controle e mais facilidade na execução, levando em consideração que o valor de V_P varia de componente para componente. Sendo assim,

com uma faixa de trabalho de V_P maior, pode-se restringir o uso de forma a não se utilizar os extremos.

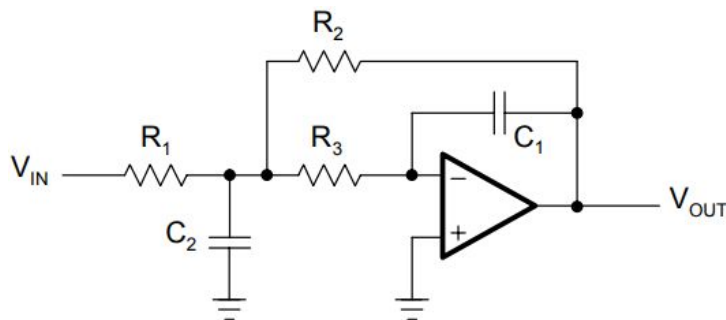
2.1.1.2.1 Tensão de Controle do JFET por Modulação PWM

Com a estrutura de controle de ganho definida, verificou-se a necessidade do controle da tensão V_g aplicada no JFET para a alteração do ganho dos filtros. Como a intenção é controlar a placa com um microcontrolador, optou-se por utilizar os PWMs do mesmo, fazendo a variação de razão cíclica para alterar o ganho dos filtros.

Para tornar o PWM de frequência de 100 kHz, um nível de tensão constante, usou-se filtros ativos passa baixa de segunda ordem projetados com frequência de corte de 10 Hz. O uso de uma frequência elevada e um filtro com uma frequência de corte baixa foi pensado para evitar problemas de ruído no áudio proveniente desses chaveamentos. Assim utiliza-se uma frequência de PWM bem acima da faixa audível e um filtro com frequência abaixo do que se consegue reproduzir em maioria dos falantes disponíveis no mercado.

A Figura 06 mostra o circuito do filtro passa baixas, encontrado no guia *Op Amps for Everyone* de Carter e Mancini (2004).

Figura 06 - Topologia MFB para um filtro passa baixa de segunda ordem.



Fonte: Carter, Mancini (2004)

De acordo com Carter e Mancini (2004, p. 314), a_1 e b_1 para um filtro Bessel de segunda ordem são 1,3617 e 0,618 respectivamente. Com a frequência de corte $f_c = 10$ Hz e sabendo que o ganho deve ser $A_0 = -0,4667$, utilizou-se as Equações 7, 8, 9 e 10 para o cálculo dos componentes C_2 , R_1 , R_2 e R_3 quando se escolhia um capacitor $C_1 = 100$ nF.

$$C_2 \geq C_1 \frac{4b_1(1 - A_0)}{a_1^2} \quad (7)$$

$$R_2 = \frac{a_1 C_2 - \sqrt{a_1^2 C_2^2 - 4b_1 C_1 C_2 (1 - A_0)}}{4\pi f_c C_1 C_2} \quad (8)$$

$$R_1 = \frac{R_2}{-A_0} \quad (9)$$

$$R_3 = \frac{b_1}{4\pi^2 f_c^2 C_1 C_2 R_2} \quad (10)$$

Os valores obtidos para C_2 , R_1 , R_2 e R_3 são, respectivamente, 200 nF, 197,5 k Ω , 92,16 k Ω e 84,92 k Ω .

2.1.1.3 Resultados do Circuito VCA

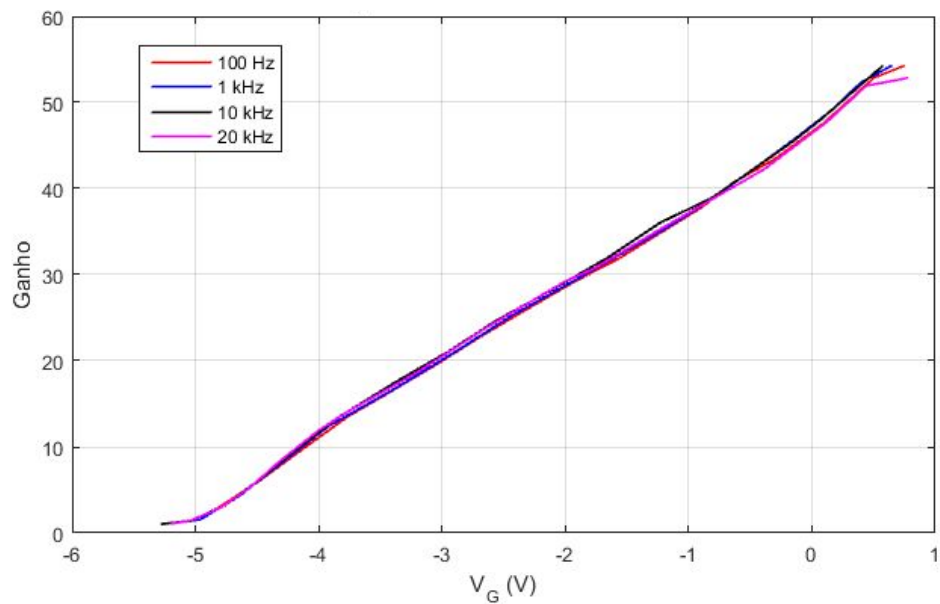
Então foi feita uma pesquisa por componentes JFET para compra, e notou-se uma grande dificuldade para achar JFET para comprar no mercado nacional. Foi encontrado para a compra os componentes BF245B, BF245C, 2SK168 e 2SK301. De acordo com datasheet o V_p do BF245C é o que tinha maior módulo, sendo esse o escolhido. Então foram feitas simulações para validar o funcionamento.

O circuito da Figura 04 foi implementado em matriz de contatos para testes em bancada, juntamente com um *software* de aquisição de dados em conjunto com um osciloscópio, para que fossem obtidos resultados práticos.

2.1.1.3.1 Ganho e Fase em Função da Tensão de Gate

O Gráfico da Figura 07 mostra a variação do ganho para valores de frequência compreendidos entre 100 Hz e 20 kHz conforme variava-se a tensão de gate.

FIGURA 07 - Ganho em função da tensão de gate para diferentes frequências de entrada.

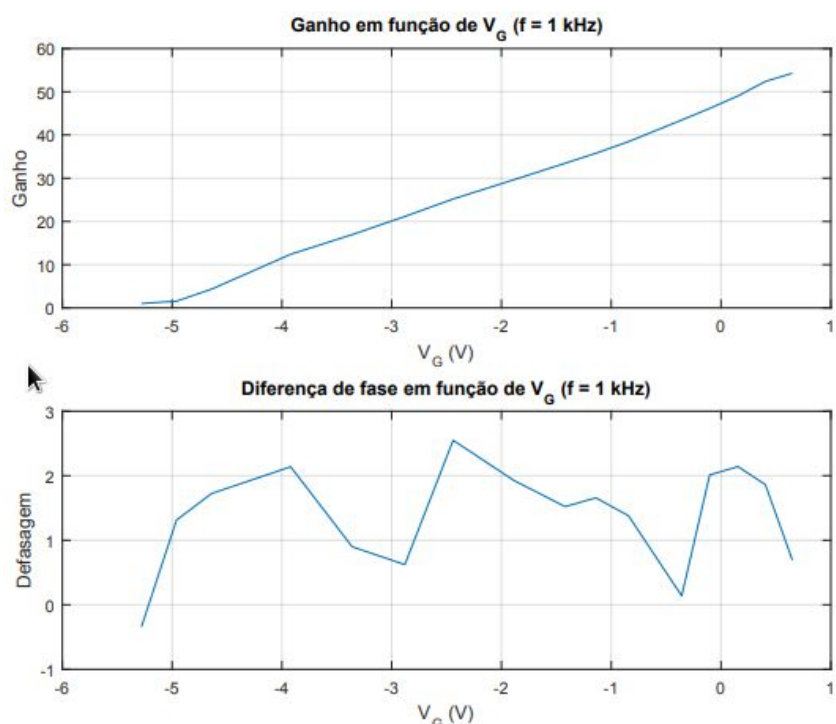


Fonte: Autoria Própria (2018)

Analisando a resposta obtida na Figura 06, podemos verificar que há uma resposta bastante linear, tanto em frequência quanto em ganho. A curva não é uma reta perfeita, mas um pouco, pode se dar aos ruídos provenientes por ser uma montagem na matriz de contatos e também na medição com o osciloscópio.

Para a frequência de 10 kHz, a Figura 08 mostra a variação do ganho e fase de acordo com a tensão de gate.

FIGURA 08 - Ganho e fase em função da tensão de gate para frequência de entrada de 1 kHz.



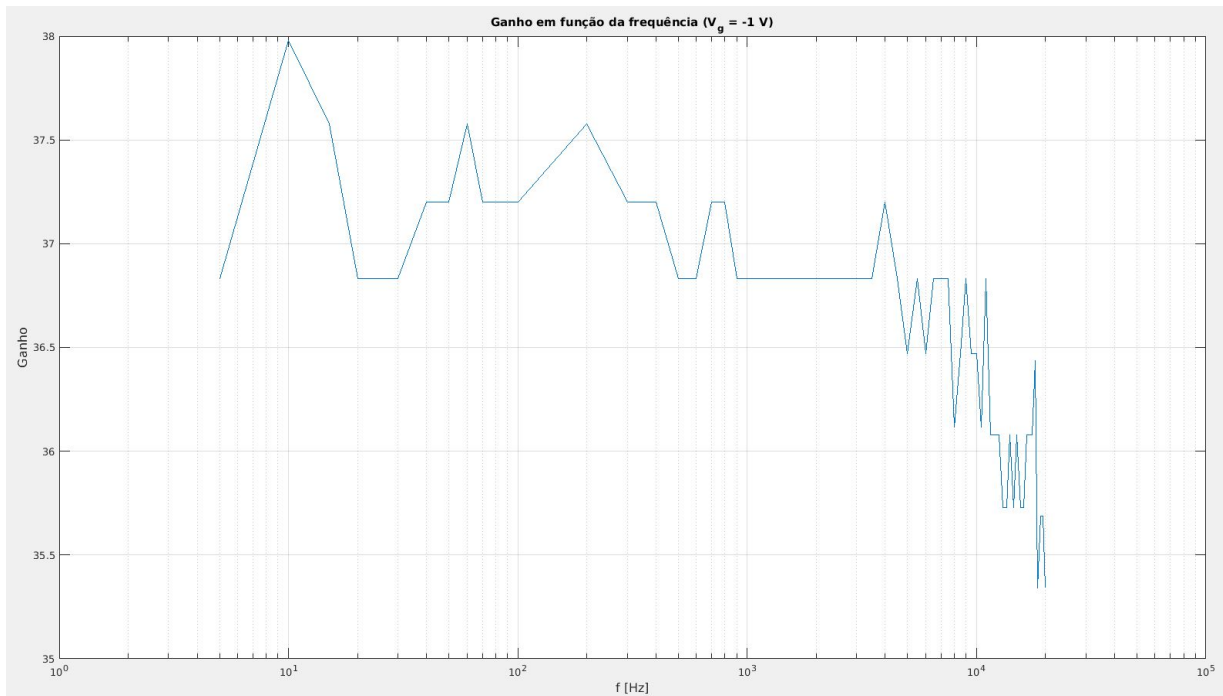
Fonte: Autoria Própria (2018)

Com os resultados apresentados na Figura 08, mais especificamente a resposta de defasagem em função da tensão V_G , consequentemente alterando o ganho da estrutura, podemos concluir que o uso desse circuito tem uma boa resposta para a aplicação proposta.

2.1.1.3.2 Ganho e Fase em Função da Frequência

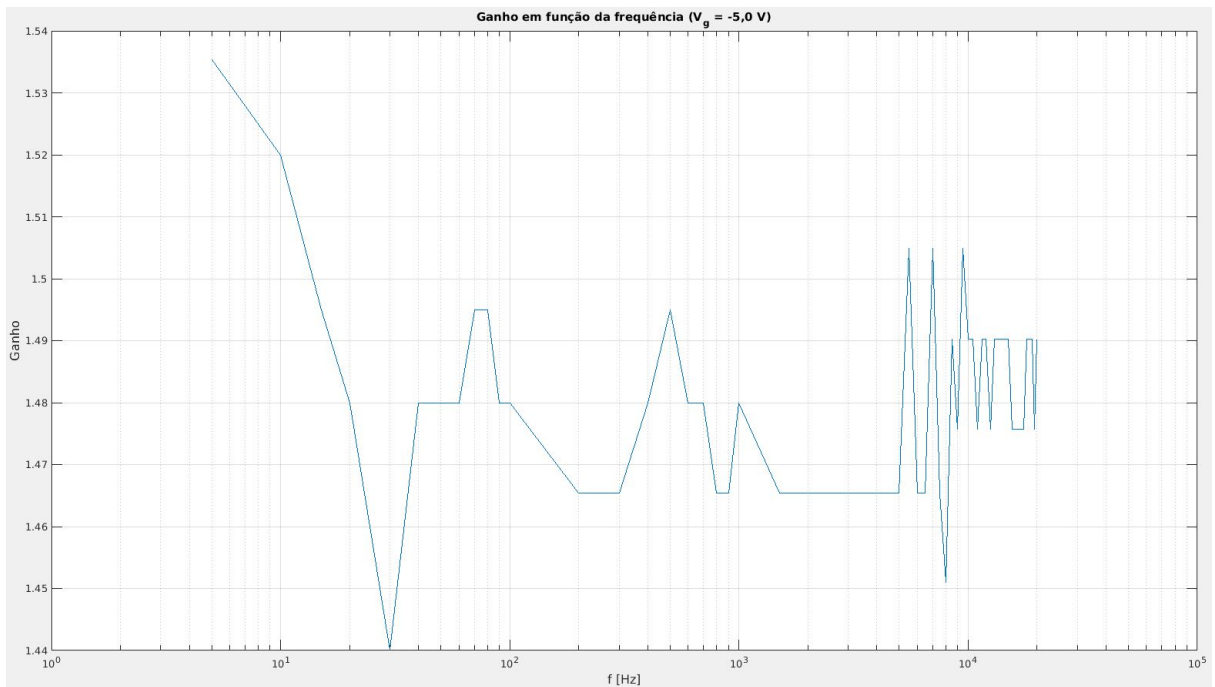
A fim de se verificar o comportamento do ganho e fase da estrutura VCA em função da variação de frequência, variou-se a frequência do sinal de entrada do circuito, cujos valores estão compreendidos no espectro de áudio, para cinco tensões de *gate* em módulo entre 10 mV e 5,5 V. Os resultados constam na Figura 09 e 10 para as tensões de -1 V e -5 V respectivamente.

FIGURA 09 - Ganho em função da frequência para tensão de gate em -1 V.



Fonte: Autoria Própria (2018)

FIGURA 10 - Ganho em função da frequência para tensão de gate em -5 V.



Fonte: Autoria Própria (2018)

2.1.2 Definição das Bandas e Filtros do Circuito Equalizador

Com a estrutura controladora de ganho definida, a seguinte etapa do projeto foi definir o circuito dos filtros analógicos do equalizador.

2.1.2.1 Escolha do Filtro

Analisou-se uma escolha adequada de estrutura de filtro, levando em consideração que a variação da fase com a frequência deveria ser o menor possível, para que não houvesse distorção no áudio ao somar todas as bandas. A aproximação Bessel para o projeto de filtros fornecem uma resposta de fase linear (CARTER; MANCINI, 2002, tradução nossa), o que é desejado para o projeto do equalizador.

2.1.2.2 Definição das Bandas

Inicialmente definiu-se um número de 10 faixas para cada equalizador, que deveriam ser feitas de maneira que, somando-se todas as bandas escolhidas, o resultado obtido fosse o mais linear quando se tratando do ganho e fase no decorrer do espectro de frequências. Foram feitas análises teóricas das faixas apresentadas por Ribeiro (2017), que constam na Figura 11.

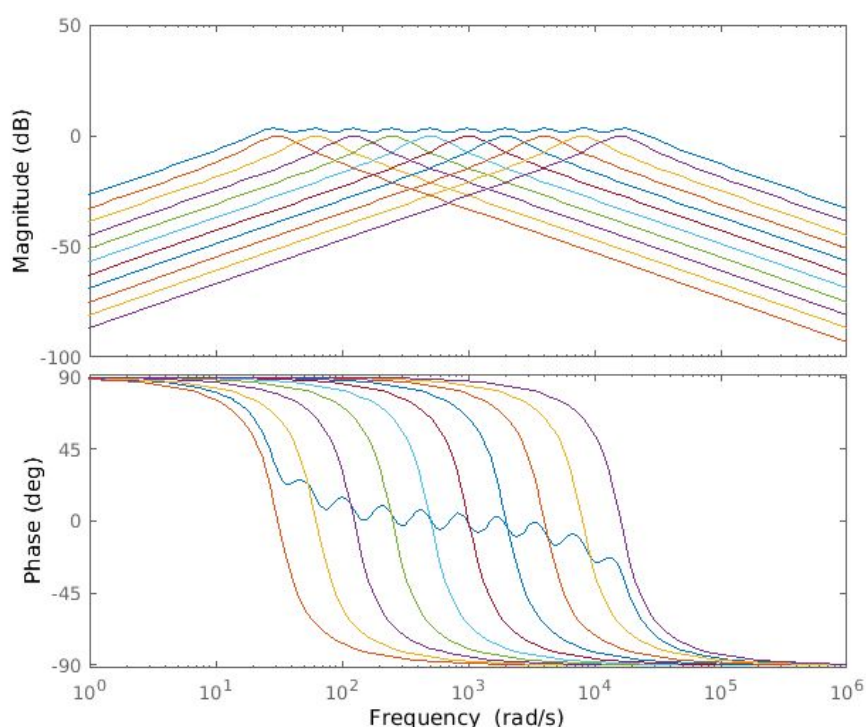
Figura 11 - Frequências centrais e de corte para um equalizador de 10 bandas.

Frequência Inferior f_1 (Hz)	Frequência Central f_0 (Hz)	Frequência Superior f_2 (Hz)
22	32	44
44	64	88
88	125	177
177	250	355
355	500	710
710	1000	1420
1420	2000	2840
2840	4000	5680
5680	8000	11360
11360	16000	22720

Fonte: Ribeiro (2017)

Para a validação das faixas de frequências a serem utilizadas, foram traçados gráficos de resposta em frequência no *software Matlab*. O resultado da análise do ganho e fase em função da frequência encontra-se na Figura 12.

Figura 12 - Ganho e fase em função da frequência para um equalizador de 10 bandas.



Fonte: Autoria Própria (2018)

Em função da variação do ganho e fase total em função da frequência, visto na Figura 05, estudou-se novas faixas de frequência para cada banda que atenuassem esse efeito. Diminuiu-se então o número de bandas para um total de 5, onde cada filtro projetado era um Bessel de segunda ordem. A Tabela 02 apresenta os novos valores de frequência dos filtros.

Tabela 02 - Frequências centrais e de corte para o equalizador com 5 bandas.

Filtro	Frequência Inferior (Hz)	Frequência Central (Hz)	Frequência Superior (Hz)
1	22	99,5	177
2	88	399	710
3	355	1602,5	2850
4	1420	6390	1420
5	5680	25560	45440

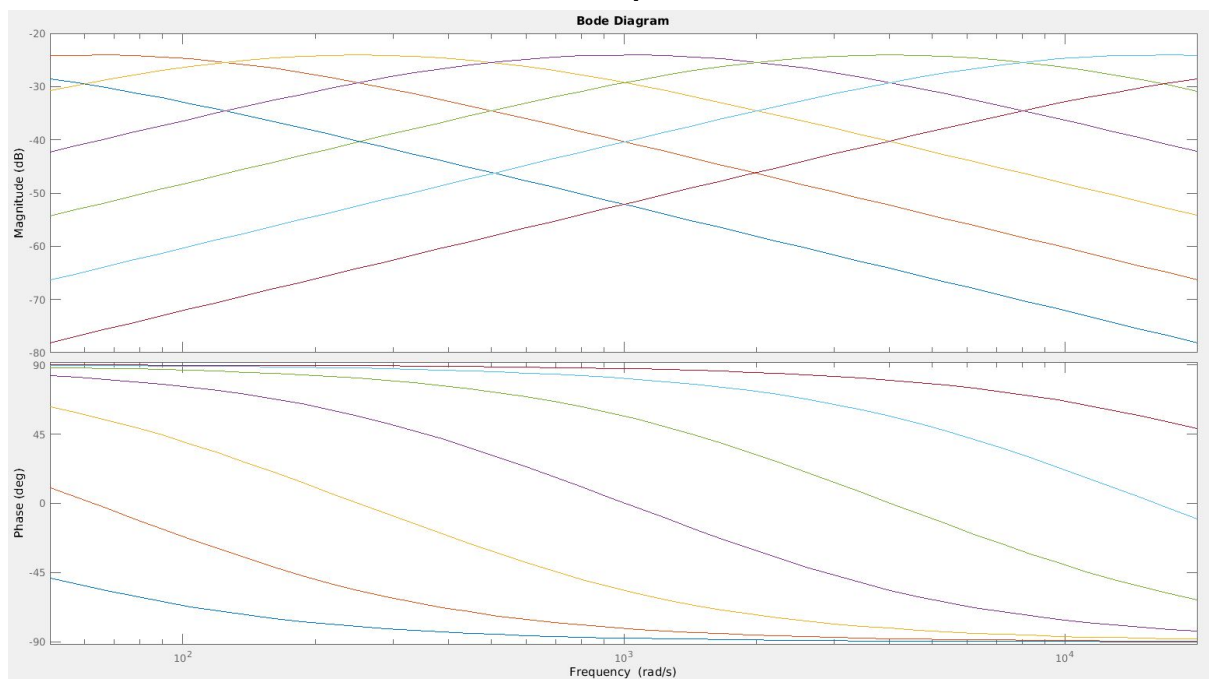
Além dos 5 filtros passa faixa apresentados na Tabela 02, foram acrescentados 2 filtros, um passa alta e outro passa baixa, para aumentar ainda mais a linearidade da resposta. A Tabela 03 apresenta os valores de frequência usados no filtros, ambos são de primeira ordem.

Tabela 03 - Frequências de corte para dos filtros passa alta e passa baixa.

Filtro	Frequência de corte (Hz)
Passa Baixa	22
Passa Alta	45440

Apesar de alguns filtros estarem com frequências muito fora da faixa audível, eles influenciam na faixa de frequência audível também pelo fato da resposta do filtro ter um caimento de apenas 20 dB/dec de atenuação. A Figura 13 apresenta a resposta em frequência dos filtros simulados no *software Matlab* para as frequências das Tabelas 02 e 03.

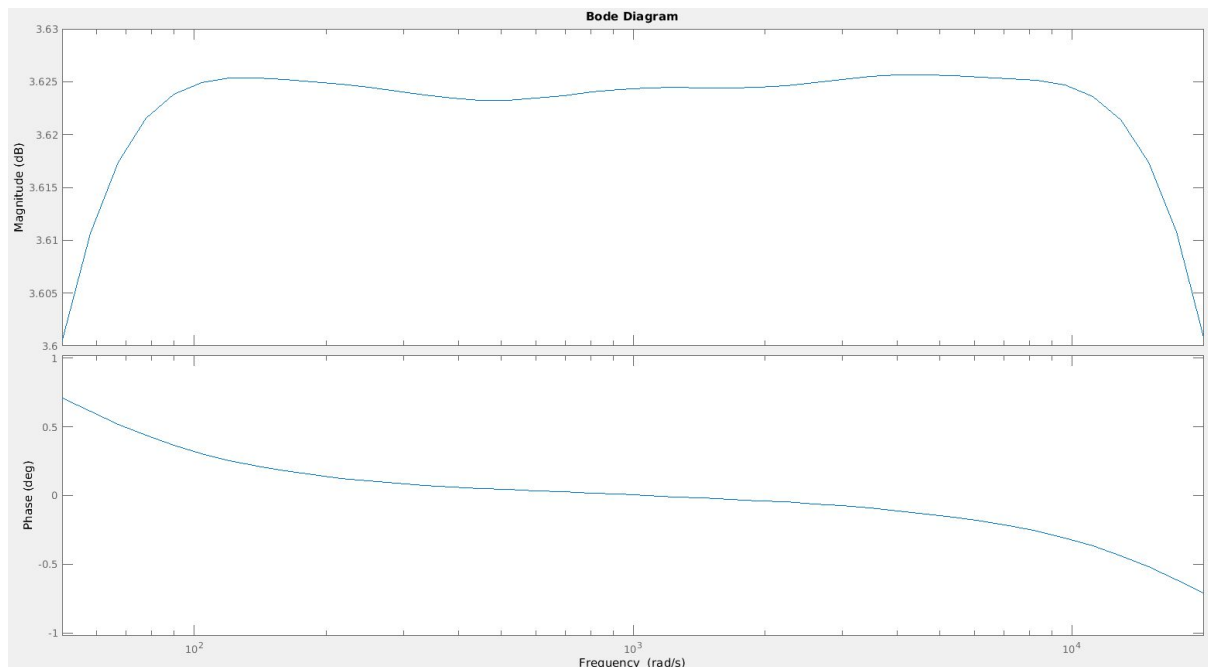
Figura 13 - Ganho e fase em função da frequência para o equalizador de 5 bandas com os filtros passa alta e baixa.



Fonte: Autoria Própria (2018)

A soma dos sinais de cada um dos filtros, sendo essa a proposta do equalizador, é mostrada na Figura 14, onde é possível notar um ganho linear com a frequência.

Figura 14 - Sobreposição dos filtros em função da frequência para o equalizador de 5 bandas com os filtros passa alta e baixa.



Fonte: Autoria Própria (2018)

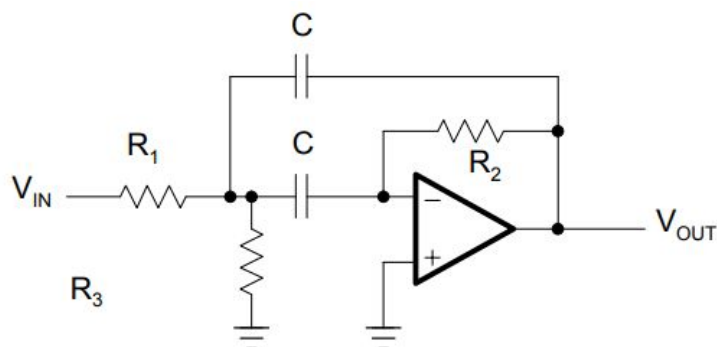
2.1.2.3 Cálculo dos Filtros do Equalizador

Com os filtros definidos de forma que a resposta em frequência fosse o mais linear possível e sabendo que não haveriam distorções indesejadas, foi feito o cálculo dos componentes a serem usados no *software SMath*, que permite a visualização do equacionamento de uma forma amigável.

2.1.2.3.1 Filtros Passa Faixa Bessel de Segunda Ordem

A topologia utilizada para a implementação dos filtros de segunda ordem foi a de Múltiplos *Feedbacks* (MFB), mostrada na figura 15.

Figura 15 - Topologia MFB para um filtro passa faixa de segunda ordem.



Fonte: Carter, Mancini (2004)

De acordo com Carter e Mancini (2004, p. 314), o fator de qualidade Q para um filtro Bessel de segunda ordem é de 0,58 e que o ganho A_m na frequência média é dado de acordo com a Equação 11.

$$A_m = -2Q^2 = -0.0625 \quad (11)$$

Ainda conforme Carter e Mancini (2004, p. 314), a partir de um valor escolhido do capacitor C do circuito da Figura 14 e dos valores de frequências de corte e central de cada filtro, pode-se obter os resistores R2, R1 e R3 do circuito da figura 15 a partir das Equações 12, 13 e 14, respectivamente.

$$R_2 = Q/(\pi * f_m * C) \quad (12)$$

$$R_1 = -R_2/2 * A_m \quad (13)$$

$$R_3 = -A_m * R_1/(2Q^2 + A_m) \quad (14)$$

Com os valores de frequências da Tabela 02 e escolhendo valores de capacitores C, utilizando o valor de fator de qualidade do filtro Bessel de segunda ordem e as Equações 11, 12, 13 e 14, calculou-se os resistores R_1 , R_2 e R_3 do circuito da Figura 15. Esses valores de componentes estão presentes na Tabela 04.

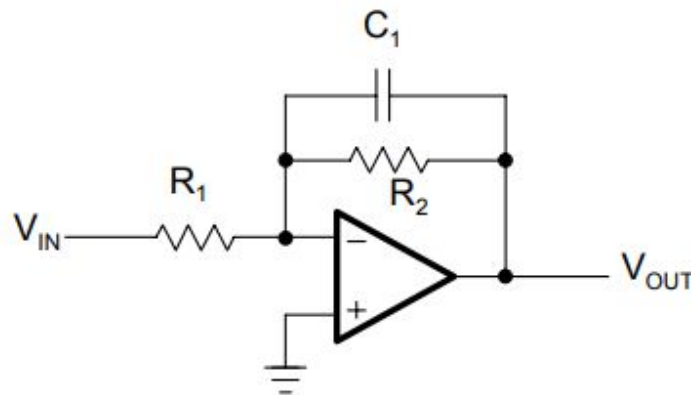
Tabela 04 - Valores de componentes para cada filtro passa faixa do equalizador.

Filtro	C (nF)	R_1 (Ω)	R_2 (Ω)	R_3 (Ω)
1	150	98958,6514	12369,8314	10134,222
2	56	66100.8715	8262.6089	6769.3011
3	20	46082.9289	5760.3661	4719.2906
4	15	15409.0545	1926.1318	1578.0205
5	5,6	10318.5633	1289.8204	1056.7101

2.1.2.3.2 Filtro Passa Baixa de Primeira Ordem

O circuito da Figura 16 apresenta um filtro ativo passa baixa do tipo inversor.

Figura 16 - Topologia do circuito de um filtro ativo inversor passa baixa de primeira ordem.



Fonte: Carter, Mancini (2004)

Da mesma forma que para o filtro anterior, de acordo com Carter e Mancini (2004, p. 297), ao escolher-se o valor do capacitor C da figura 16 e tendo a frequência de corte e o ganho do circuito, obtêm-se os valores de R_1 e R_2 conforme as Equações 15 e 16.

$$R_2 = 1/(2\pi * f_c * C) \quad (15)$$

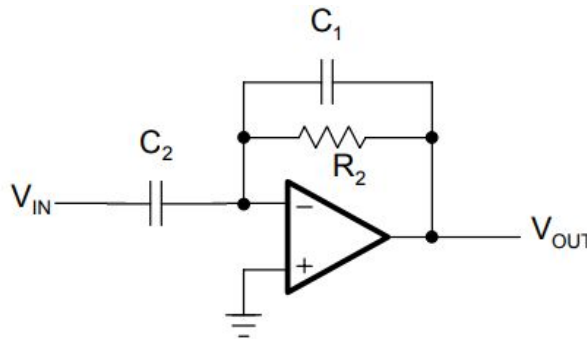
$$R_1 = R_2/G \quad (16)$$

Para $C = 150 \text{ nF}$, $G = 0,2375$ e o valor de frequência de corte da Tabela 03, obteve-se os valores de $R_2 = 48228,7706 \text{ } \Omega$ e $R_1 = 203,07 \text{ k}\Omega$.

2.1.2.3.3 Filtro Passa Alta de Primeira Ordem

Para o circuito passa alta, utilizou-se o circuito da Figura 17.

Figura 17 - Topologia do circuito de um filtro ativo inversor passa alta de primeira ordem.



Fonte: Modificado de Carter, Mancini (2004)

Para encontrar o valor de R_1 , utilizou-se a Equação 15. C_1 obteve-se da multiplicação do ganho G (0,06) com um valor escolhido de capacitor C_2 (47 nF). Os valores encontrados para o valor de frequência de corte da Tabela 03 são $R_1 = 74,5219 \text{ k}\Omega$ e $C_1 = 2,82 \text{ nF}$.

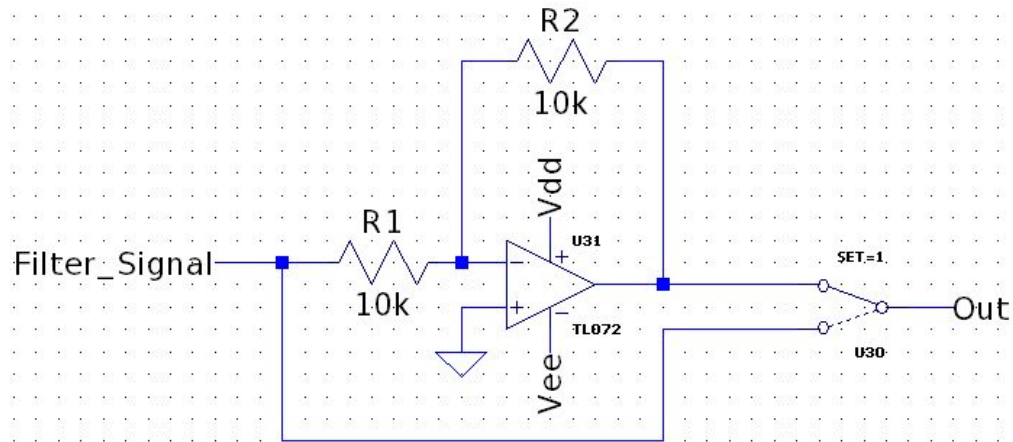
2.1.3 Inversão de fase e atenuação das faixas de frequência

Como pode ser notado, a estrutura do VCA apenas fornece ganho maior ou igual a 1. Sendo assim, não há como fazer uma atenuação do sinal, e pela topologia adotada dos sinais dos filtros serem somados ao sinal de entrada, faz com que não seja possível fazer a atenuação de uma faixa de frequência.

A solução proposta para permitir que o circuito também atenue as bandas projetadas, é o uso de ampop na configuração inversora, pois a soma do sinal defasado em 180° faz com que se tenha a subtração de amplitude.

Para fazer o controle de quando o sinal deve ser atenuado ou somado, foi optado pelo uso de multiplexadores analógicos. Assim, a saída de cada filtro passa por uma inversora, e no multiplexador chega dois sinais, o sinal filtrado com inversão de fase e sem a inversão. E pode ser então feito a escolha de qual sinal a ser usado por um pino de controle, conforme é possível ver na Figura 18.

Figura 18 - Circuito inversão de fase.



Fonte: Autoria própria (2018)

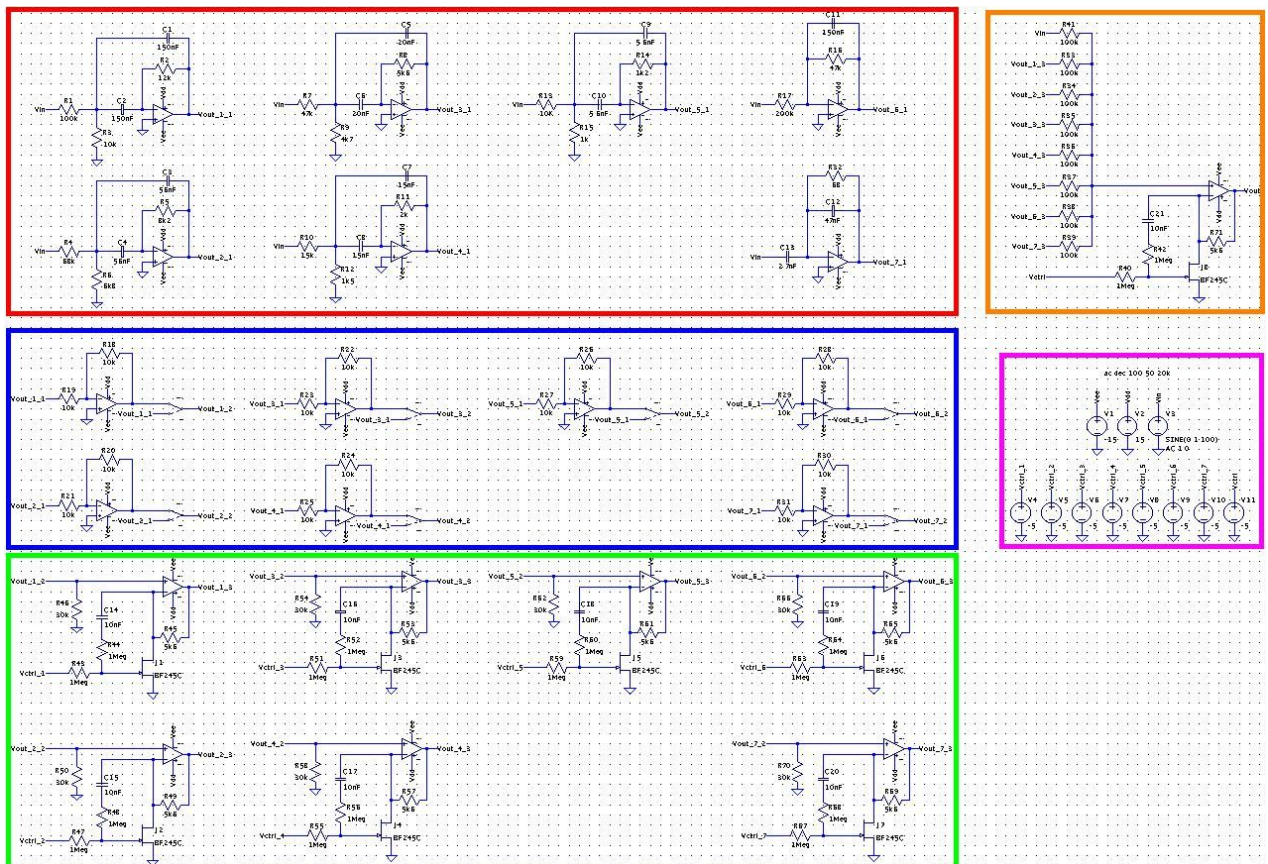
2.1.4 Resultados por Simulação dos Circuitos VCA e Filtros

Com intuito de validar os cálculos dos filtros em conjunto com o circuito VCA e inversor de fase e comparar a resposta obtida nas Figuras 13 e 14, foi executada uma simulação no *software LTspice*, que, ao contrário do Matlab, leva em consideração os modelos matemáticos dos componentes como Ampops e todos os valores comerciais de componentes utilizados.

A Figura 19 mostra o circuito de simulação, onde as cores diferentes apresentam cada bloco do circuito. Em vermelho é o bloco que contém os filtros; em azul estão as inversoras e o uso de multiplexadores ideais; em verde, os circuitos VCAs que foram controlados por fontes de tensão constante; em laranja, o bloco somador dos filtros e o sinal de entrada; e em roxo, as fontes de alimentação, tensão de acionamento dos VCAs e parâmetros de simulação para traçar a resposta em frequência.

Devido a alta complexidade de simulação e aumento do tempo da mesma, optou-se pela não utilização dos filtros passa-baixas para o PWM. O tempo total de simulação com as configurações de processador utilizadas no computador foi cerca de 1 minuto e 30 segundos.

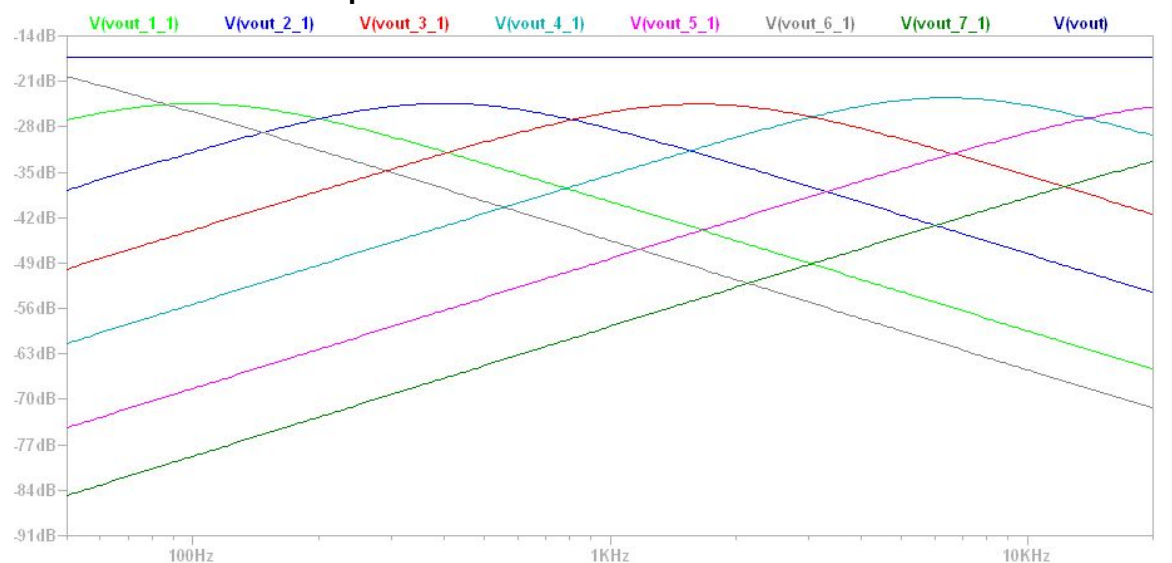
Figura 19 - Esquemático da simulação.



Fonte: Autoria própria (2018)

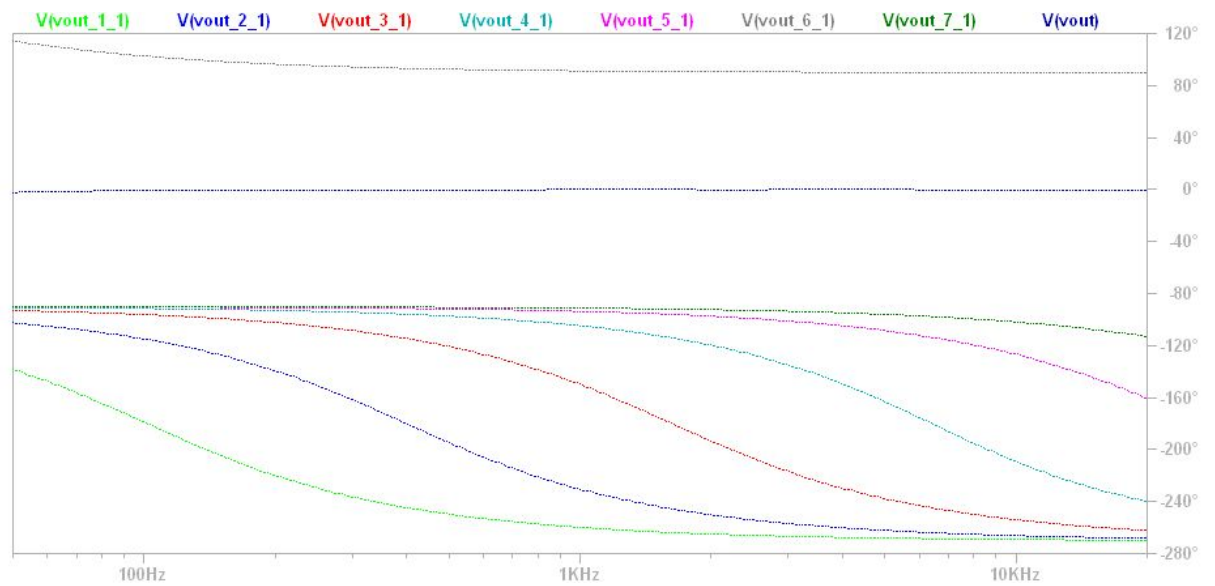
A Figura 20 apresenta o resultado da variação da tensão de saída em cada um dos filtros e a Figura 21, a variação da fase em função da frequência do sinal de entrada.

Figura 20 - Resultado por simulação do circuito: Tensão de saída em função da frequência do sinal de entrada.



Fonte: Autoria própria (2018)

Figura 21 - Resultado por simulação do circuito: Fase em função da frequência do sinal de entrada.

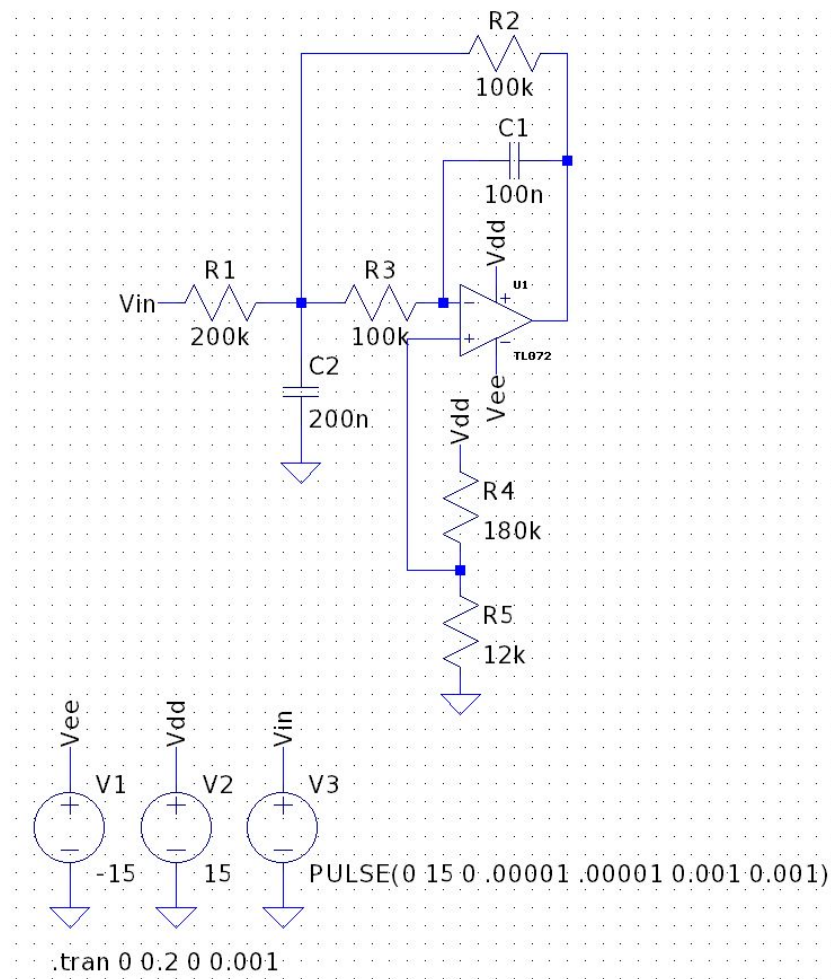


Fonte: Autoria própria (2018)

Nos gráficos das Figuras 20 e 21, nota-se semelhança com os resultados obtidos no *software* Matlab, Figuras 13 e 14.

Além desse circuito, simulou-se separadamente o filtro passa-baixas do PWM para validar seu funcionamento. O circuito de simulação está presente na Figura 22.

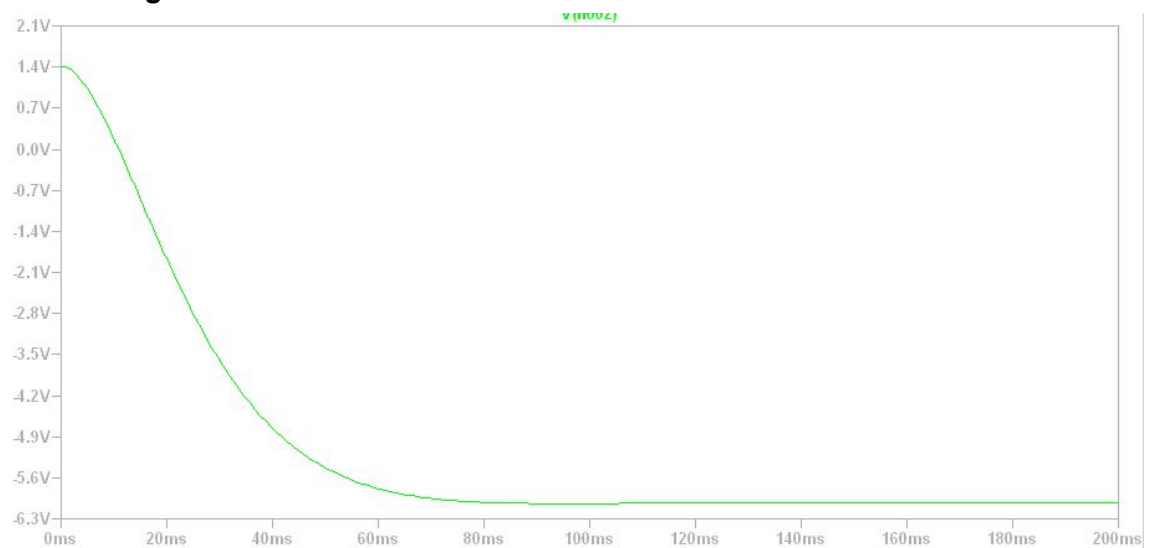
Figura 22 - Circuito de simulação do passa baixa do PWM.



Fonte: Autoria própria (2018)

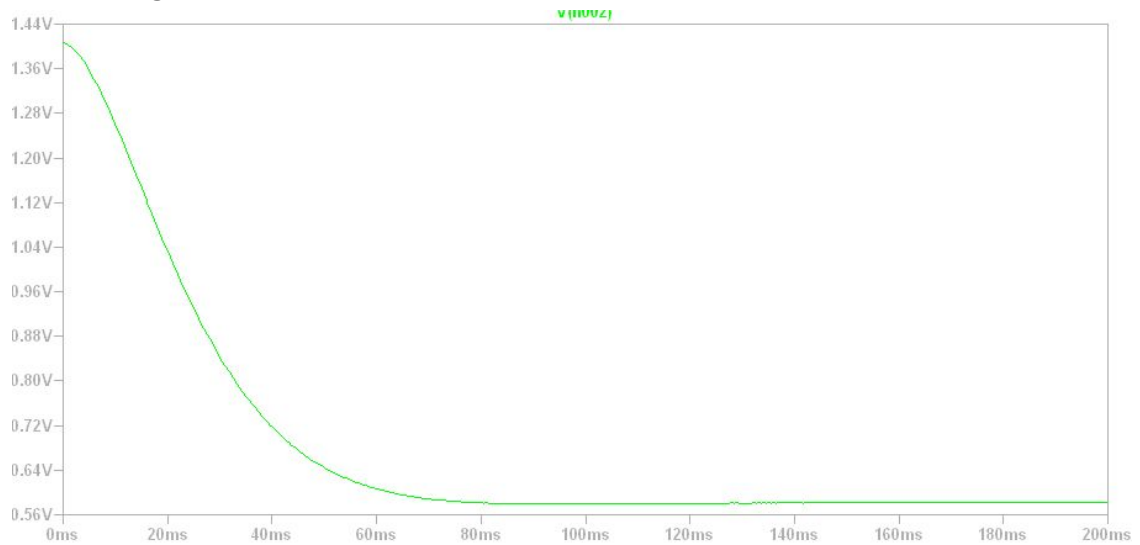
As Figuras 23 e 24 apresentam a tensão de saída em função do tempo para o circuito operando com razão cíclica máxima e mínima, respectivamente.

Figura 23 - Tensão de saída com razão cíclica máxima do PWM.



Fonte: Autoria própria (2018)

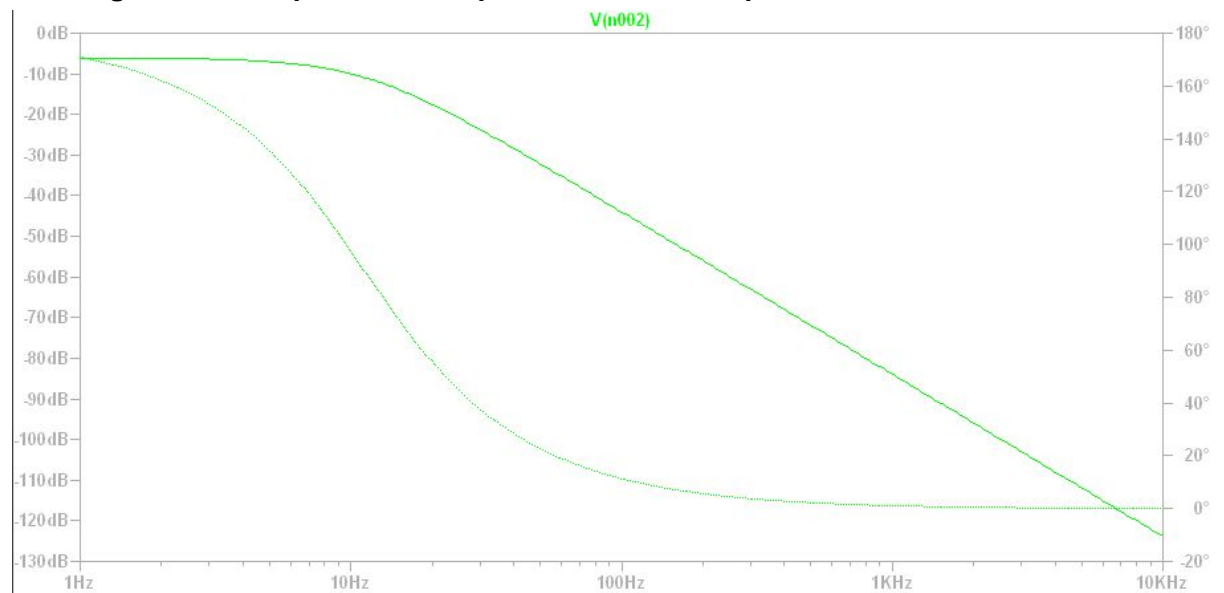
Figura 24 - Tensão de saída com razão cíclica mínima do PWM.



Fonte: Autoria própria (2018)

Os resultados apresentados nas Figuras 23 e 24 são dados como satisfatórios, onde a variação de razão cíclica permite a variação da tensão de saída do circuito na faixa de -6 V até 0,6 V, que é próximo a faixa de tensão que deve ser usada sobre o JFET do circuito da estrutura VCA. A resposta em frequência completa do filtro é vista na Figura 25.

Figura 25 - Resposta em frequência do circuito passa baixa do PWM.

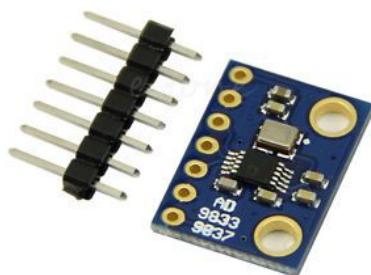


Fonte: Autoria própria (2018)

2.2 Circuito de Geração de Sinais de Testes

Para ser possível a avaliação da resposta do ambiente ao estímulo de diferentes frequências de áudio, é necessário um circuito responsável pela geração dos sinais nas frequências de interesse. Para tal aplicação, foi utilizado o Circuito Integrado AD9833 de resolução de 28 bits (Figura 26), que usa comunicação SPI para sua configuração, consegue gerar formas de onda triangular, senoidal e quadrada com um intervalo de frequências variando entre 0,1 Hz e 25 MHz.

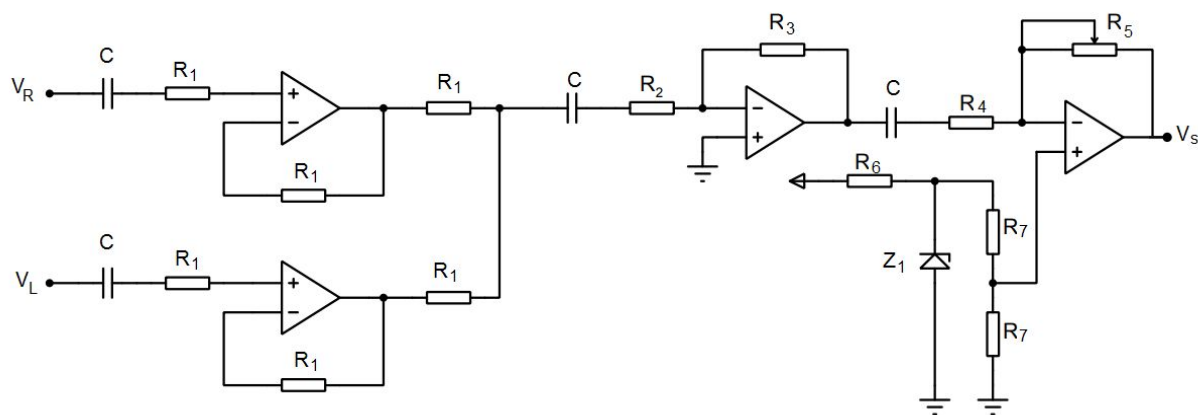
Figura 26 - Kit de desenvolvimento contendo o CI AD9833.



2.3 Circuito de Medição da Resposta do Ambiente

Utilizou-se o Microfone Stereo TM-ST1 em conjunto com o circuito amplificador da Figura 27 para medir a resposta do ambiente ao sinal de testes.

Figura 27 - Circuito Amplificador para o microfone.



Fonte: Autoria própria (2018)

O circuito é composto em três blocos: um bloco de *buffer* para cada entrada (direita e esquerda) do circuito cujo objetivo é aumentar a impedância de entrada devido à restrições do microfone; um circuito somador inversor com ganho de 200 unidades e o

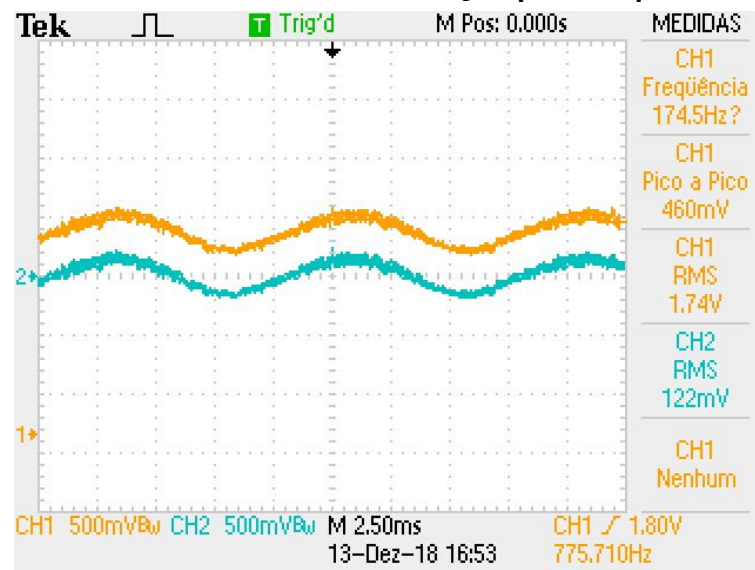
último bloco é um amplificador inversor de ganho variável com *off-set* ajustado de maneira que o nível DC da saída do circuito sempre fosse 1,65V, prevendo a leitura do sinal no microcontrolador.

De acordo com o fabricante, a resposta do microfone é linear nas frequências compreendidas entre 100 Hz e 15 kHz, sendo esse intervalo aceitável para o uso no projeto. Além do mais, ele é internamente alimentado com uma bateria de 1,5 V.

2.3.1 Resultados da Medição da Resposta do Ambiente ao Sinal de Testes

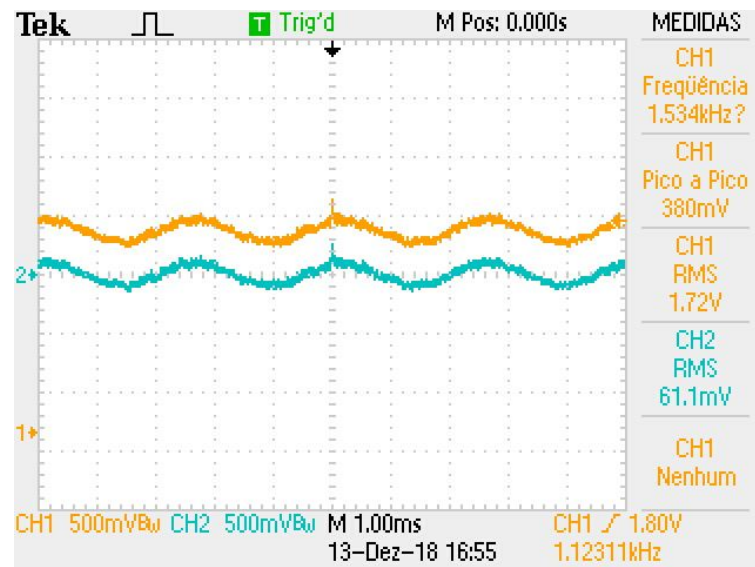
O *setup* de testes do microfone foi feito da seguinte maneira: O sinal de testes amplificado foi posicionado a 1 m de distância do microfone, responsável por transformar as ondas mecânicas modificadas pelo ambiente em níveis de tensão. Foram feitas medidas para cada frequência central das bandas, conforme as Figuras 28, 29 e 30 e 31, exceto para a frequência na faixa de 25 kHz, que estava fora da resposta do microfone.

Figura 28 - Tensão de saída do circuito de medição para frequência de 100 Hz.



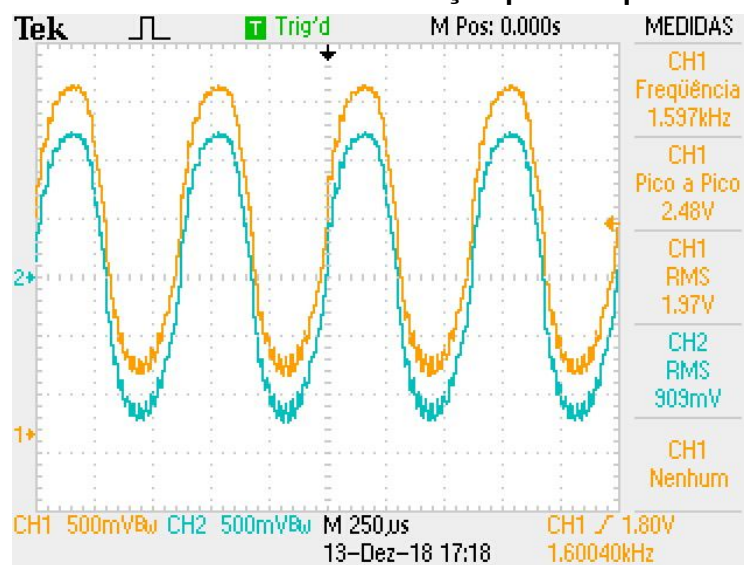
Fonte: Autoria própria (2018)

Figura 29 - Tensão de saída do circuito de medição para frequência de 400 Hz.



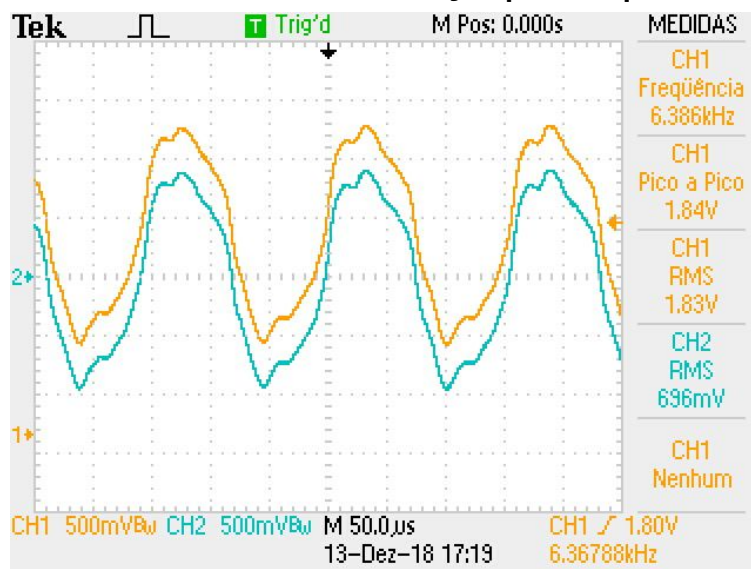
Fonte: Autoria própria (2018)

Figura 30 - Tensão de saída do circuito de medição para frequência de 1600 Hz.



Fonte: Autoria própria (2018)

Figura 31 - Tensão de saída do circuito de medição para frequência de 6400 Hz.



Fonte: Autoria própria (2018)

Os resultados obtidos não foram os esperados. Já era previsto que a frequência de 100 Hz do Filtro 1 não fosse possuir uma resposta aceitável, já que essa frequência está no limiar do funcionamento do microfone. Mas a não-linearidade nas outras medições com o microfone acarretaram no não fechamento da malha do circuito, possibilitando a finalização do projeto, já que não foi possível obter a resposta do ambiente ao sinal de testes.

2.4 Controle do Equalizador e Leitura dos Transdutores Com Microcontrolador

O microcontrolador escolhido para a implementação do projeto foi o STM32F103C8 porque atendia todos os pré-requisitos do projeto, como um grande número de pinos, uma frequência de clock alta e PWMs o suficiente para a implementação do circuito controlador de ganho. Além do mais, com *software* STM32CubeMX é possível fazer a configuração dos pinos de forma mais fácil, facilitando o desenvolvimento do projeto já que também ele fornece a biblioteca HAL (*Hardware Abstraction Layer*). Para compilar e gravar os códigos, foi utilizada uma IDE (*Integrated Development Environment*) baseada no software eclipse, *System Workbench for STM32* (disponível em www.openstm32.org) que disponibiliza todos os softwares necessários.

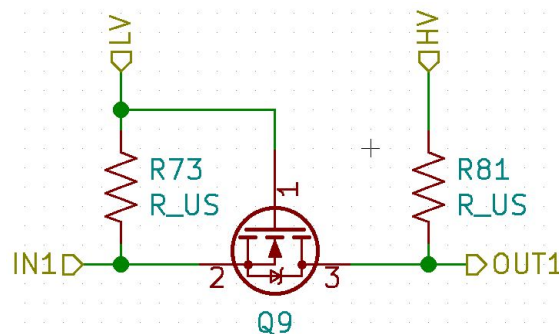
2.4.1 Comunicação do Microcontrolador com a Placa do Equalizador

Os microcontroladores disponíveis no mercado em sua maioria trabalham com uma faixa de tensão de 3,3 V, então verificou-se a necessidade de fazer conversores de níveis de tensão para que o microcontrolador a ser usado possa se comunicar com a placa, que trabalha com um nível de tensão de 15 V.

A Figura 32 apresenta um circuito conversor de nível bidirecional lógico. IN1 é a entrada do sinal a ser convertido, OUT1 é a saída, LV e HV são os valores de tensão a serem usados pelo circuito. No caso em questão, IN1 será conectado ao microcontrolador,

OUT1 ao circuito a ser controlado, LV conectado a tensão em que o microcontrolador opera e HV a tensão de 15V que o circuito proposto anteriormente usa.

Figura 32 - Circuito do conversor de nível.



Fonte: Autoria própria (2018)

A montagem consiste na conexão de 8 pinos de PWM do microcontrolador com a placa, 8 pinos para controle de do bloco das inversoras, 3 pinos para comunicação SPI com o AD9833 responsável por gerar o sinal de teste, 1 pino para controle do multiplexador do sinal de teste e sinal de áudio, 1 pino para leitura do ADC, 6 pinos para comunicação do display LCD e 3 pinos para conectar os botões.

Juntando todos esses blocos, verificou-se a necessidade excessivo de pinos para a comunicação entre o microcontrolador e a placa. Então decidiu-se utilizar registradores de deslocamento para que seja possível fazer uma comunicação serial com a placa.

Sendo assim, ficou definido que a comunicação entre o microcontrolador e placa poderá ser feita de forma serial e/ou paralela.

2.4.2 Geração dos PWMs para o Circuito Controlador de Ganho

Utilizou-se 8 PWMs do microcontrolador para alterar o ganho dos filtros do equalizador. A frequência escolhida para a operação dos mesmos foi de 70 kHz, onde mudança da razão cíclica causa a mudança na tensão de controle do circuito VCA, consequentemente altera-se o ganho.

2.4.3 Cálculo RMS da Resposta do Microfone

Para fazer a comparação entre as amplitudes de tensão captadas pelo microfone e poder ser feito o controle do equalizador, optou-se por fazer uso do cálculo de tensão RMS do sinal captado pelo ADC.

2.4.4 Botões e Display LCD

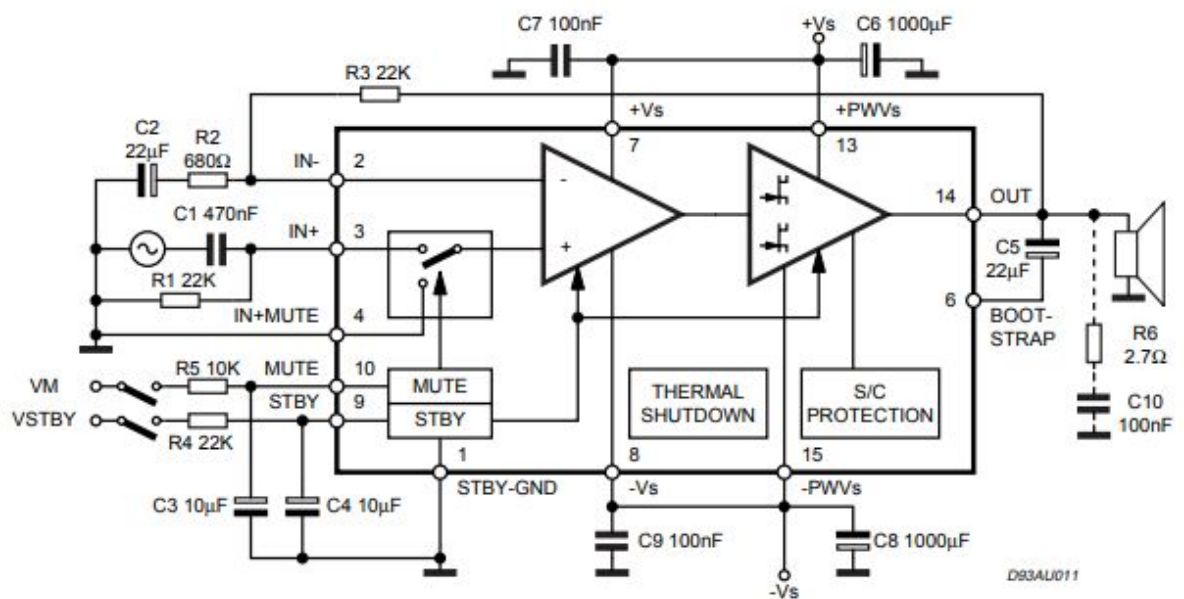
Com intuito de poder verificar os valores de razão cíclica de cada PWM, foi feito o uso de um display LCD. E para poder fazer testes e ajustes, foi feito a implementação de

botões para que os valores de razão cíclica fossem alterados manualmente, possibilitando testes sem o uso do feedback proveniente do microfone.

2.5 Amplificador de áudio

Para a reprodução do sinal que foi processado no Sistema Equalizador em auto-falantes, é necessário o uso de um amplificador. O amplificador escolhido foi o CI TDA7294 que é um amplificador do tipo classe D e o circuito montado, Figura 33, foi o disponibilizado no *datasheet* do fabricante, pois possui uma alta facilidade de projeto e uma potência agradável para o uso na aplicação.

Figura 33 - Esquemático amplificador de áudio com o TDA7294.



Fonte: STMicroelectronics (2003)

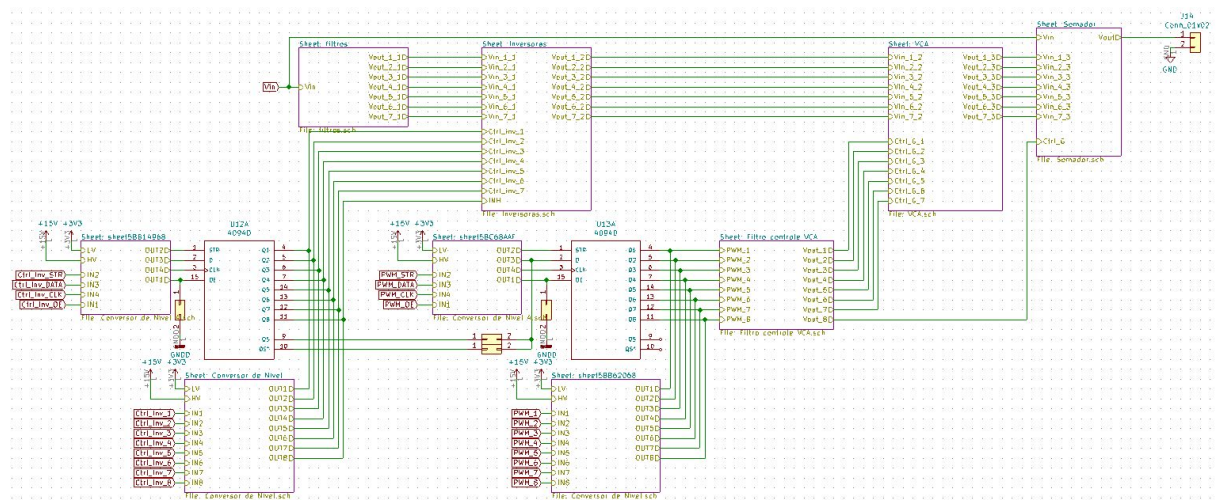
2.6 Layout e Corrosão das Placas de Circuito Impresso

No projeto foram feitas duas Placas de Circuito Impresso: A Placa do Equalizador e Controle e a Placa do Amplificador. Para o desenvolvimento dos *layouts* das placa, foi utilizado o *software* KiCad.

2.6.1 Placa do Equalizador e Controle

O esquemático da Placa do Equalizador e Controle está apresentado na Figura 34.

Figura 34 - Esquemático no KiCad da Placa do Equalizador e Controle.

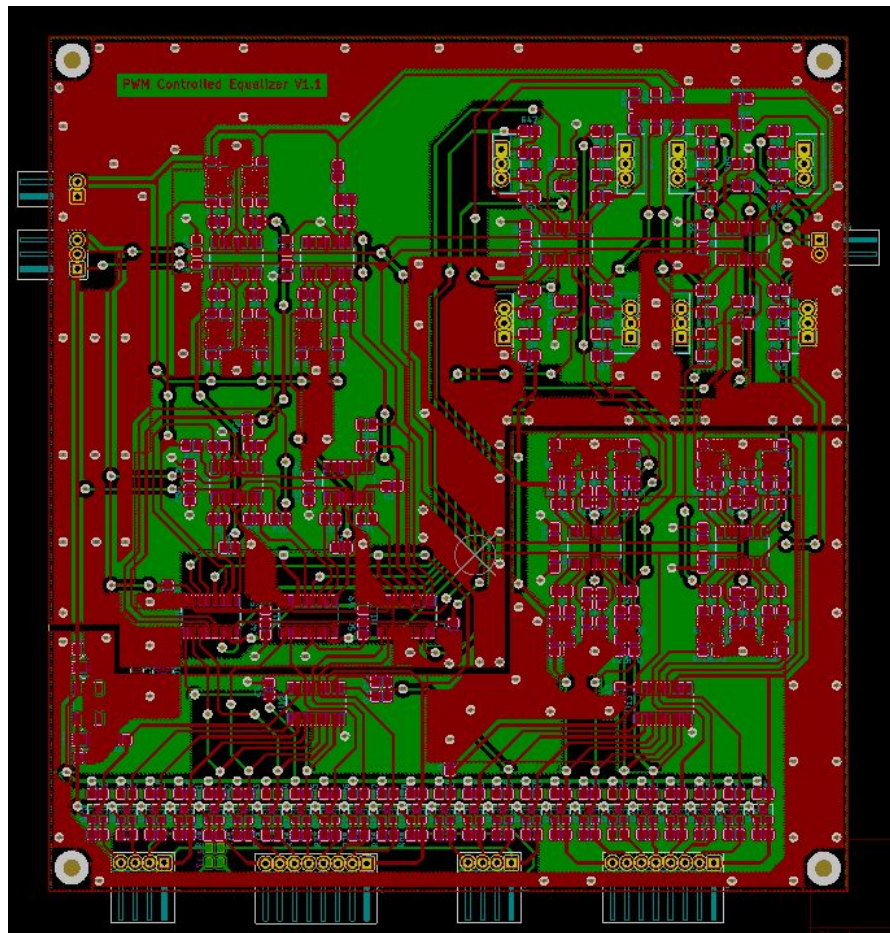


Fonte: Autoria própria (2018)

Cada um dos blocos vistos na Figura 34 são expandidos em outras folhas, para melhorar a organização visual do circuito como um todo. Ao total, são 7 páginas de tamanhos A3 e A4, apresentadas no Anexo 01.

Durante o desenho das trilhas da placa, foram tomados alguns cuidados para evitar ruídos entre o circuito e do ambiente externo. Entre esses cuidados, estão a separação de duas malhas de terra, uma digital e outra analógica e o posicionamento de diversas vias para a interconexão das malhas da *bottom layer* e *top layer*. O resultado do *layout* está presente na Figura 35.

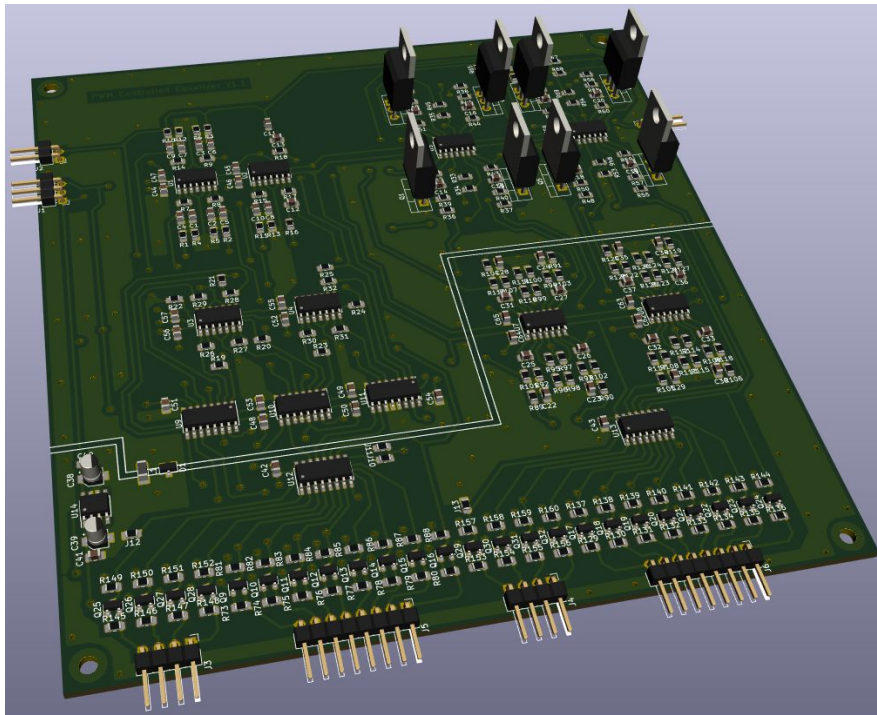
Figura 35 - Layout no KiCad da Placa do Equalizador e Controle.



Fonte: Autoria própria (2018)

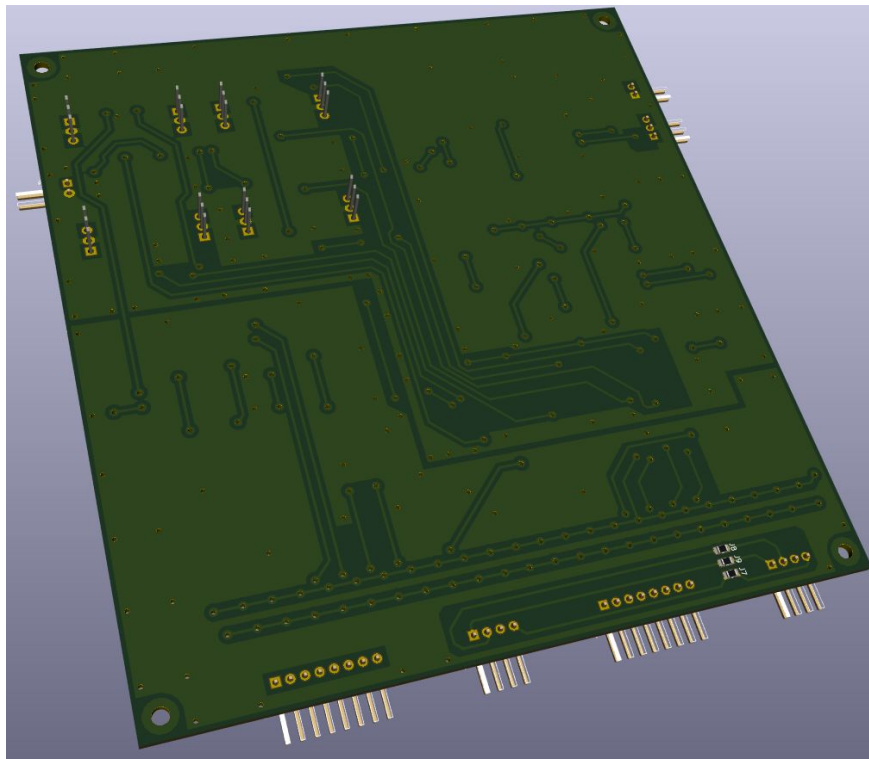
Para uma melhor visualização, as Figuras 36 e 37 apresentam a imagem tridimensional da placa, da superfície superior e inferior respectivamente.

Figura 36 - Visão 3D do *Layout* Superior da Placa do Equalizador e Controle.



Fonte: Autoria própria (2018)

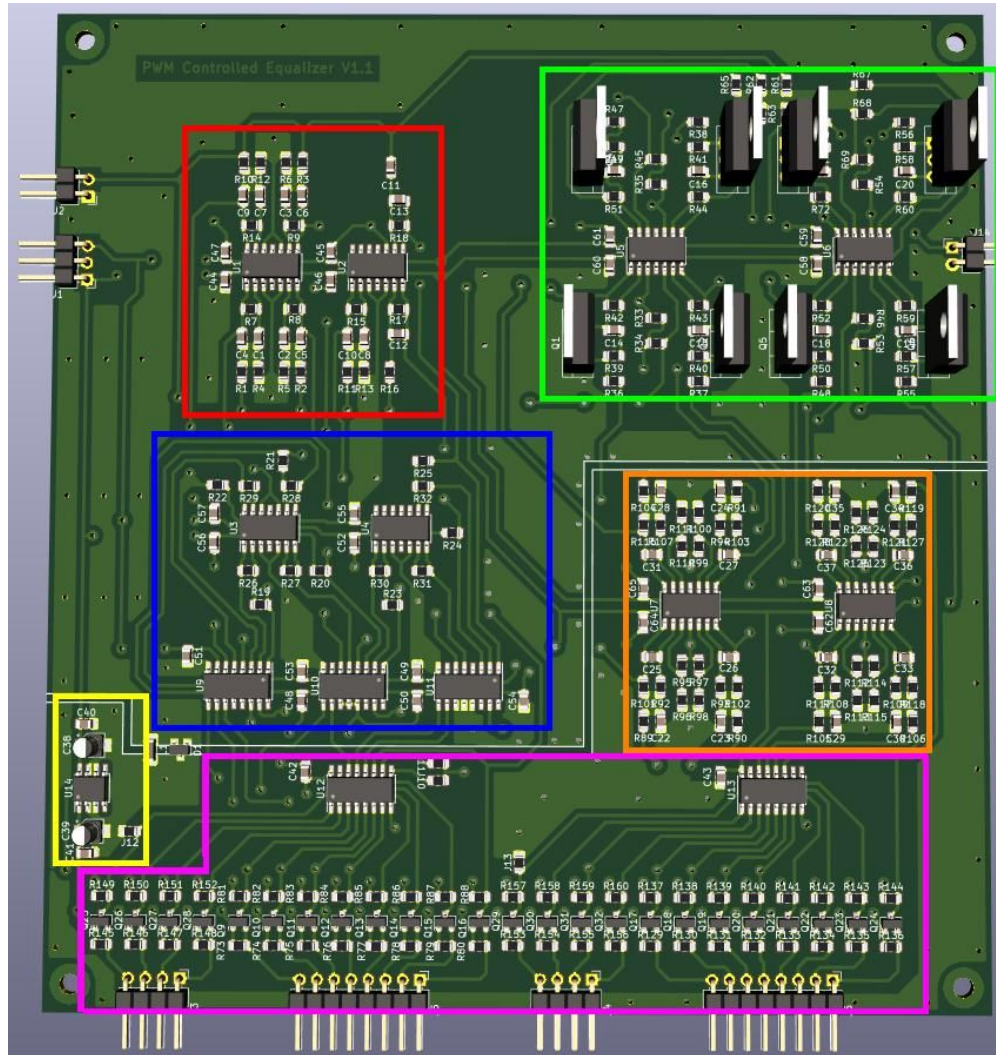
Figura 37 - Visão 3D do *Layout* Inferior da Placa do Equalizador e Controle.



Fonte: Autoria própria (2018)

A Figura 38 apresenta a separação por blocos da Placa do Equalizador e Controle.

Figura 38 - Separação em Blocos do *Layout* da Placa do Equalizador e Controle.



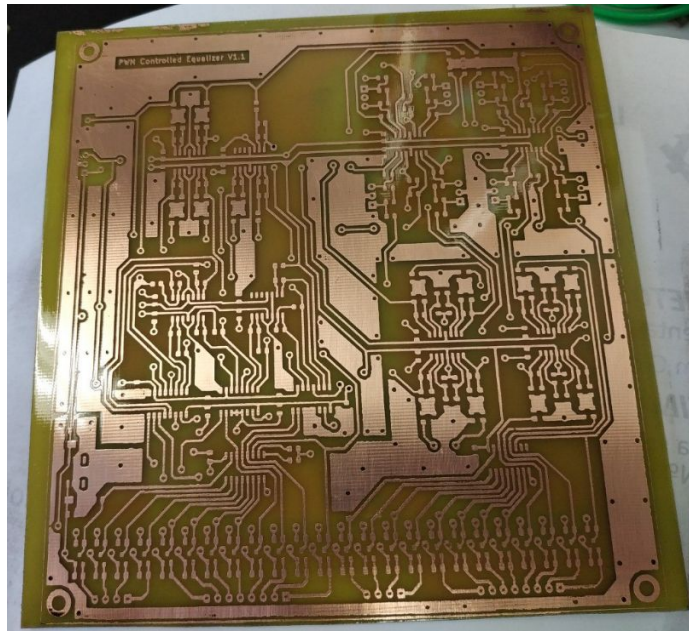
Fonte: Autoria própria (2018)

Em vermelho estão localizados os filtros; em azul, o bloco de inversoras e o multiplexador; em verde, o bloco do circuito VCA; em laranja, o filtro passa baixa; em roxo, o circuito de conversores de nível e o registrador de deslocamento; e, em amarelo, o regulador de tensão para alimentar os conversores de níveis de tensão.

Com o *layout* da placa pronto, foi iniciado o processo de confecção e soldagem da placa. Devido ao fato da placa ser feita na mão, utilizou-se maiores espaçamentos entre trilhas e componentes no *layout*.

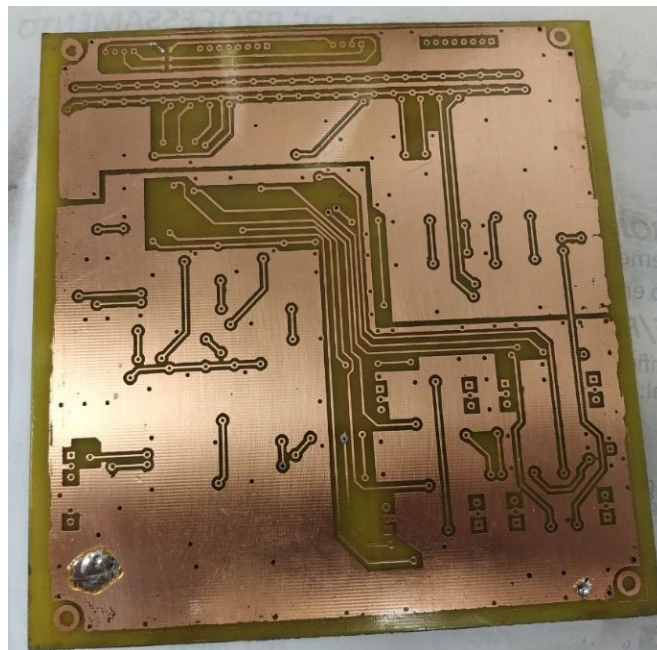
A placa foi feita com o processo de transferência térmica utilizando papel glossy e corroída em ácido cloreto de ferro (FeCl₃). As Figuras 39 e 40 apresentam o resultado da corrosão, onde a placa já está envernizada.

Figura 39 - Vista Superior da Placa do Equalizador e Controle Corroída.



Fonte: Autoria própria (2018)

Figura 40 - Vista Inferior da Placa do Equalizador e Controle Corroída.



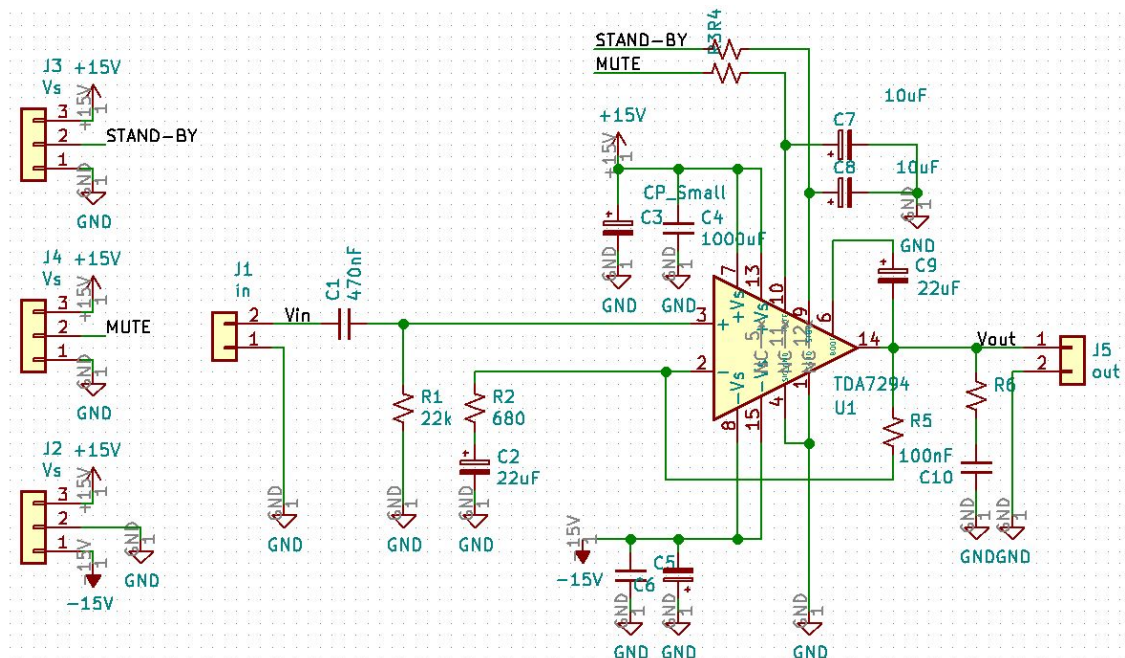
Fonte: Autoria própria (2018)

Com a placa corroída, começou o processo de soldagem de todos os componentes. Como visto na Figura 38, os circuitos estão todos separados em blocos, possibilitando assim, fazer a soldagem por partes dos blocos e fazer os testes dos mesmos, melhorando a depuração de possíveis problemas na placa.

2.6.2 Placa do Amplificador

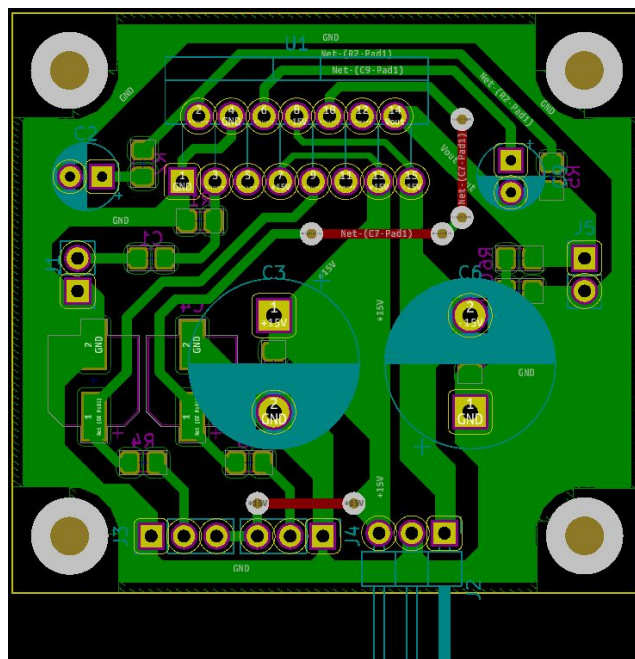
A partir do circuito da Figura 33, foi montado o esquemático da Placa do Amplificador, presente na Figura 41 e o *layout* finalizado está na Figura 42.

Figura 41 - Esquemático no KiCad da Placa do Amplificador.



Fonte: Autoria própria (2018)

Figura 42 - Layout no KiCad da Placa do Amplificador.



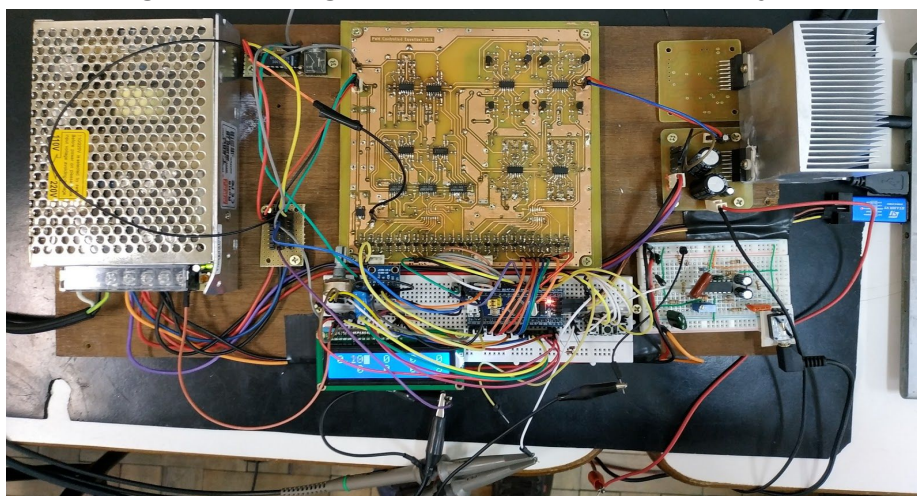
Fonte: Autoria própria (2018)

O método de fabricação da Placa do Amplificador é o mesmo que o da Placa do Equalizador e Controle. Com ela pronta, validou-se seu funcionamento.

2.7 Resultados da Integralização das Placas e Circuitos

O processo de soldagem da Placa do Equalizador e Controle foi mais longo do que o planejado no cronograma inicial. Além do mais, durante o processo, algumas aquisições de imagens deixaram de ser feitas, onde os resultados serão abordados em sua maioria de forma descritiva. O circuito total utilizado no projeto está na Figura 43.

Figura 43 - Integralização dos Circuitos do projeto.



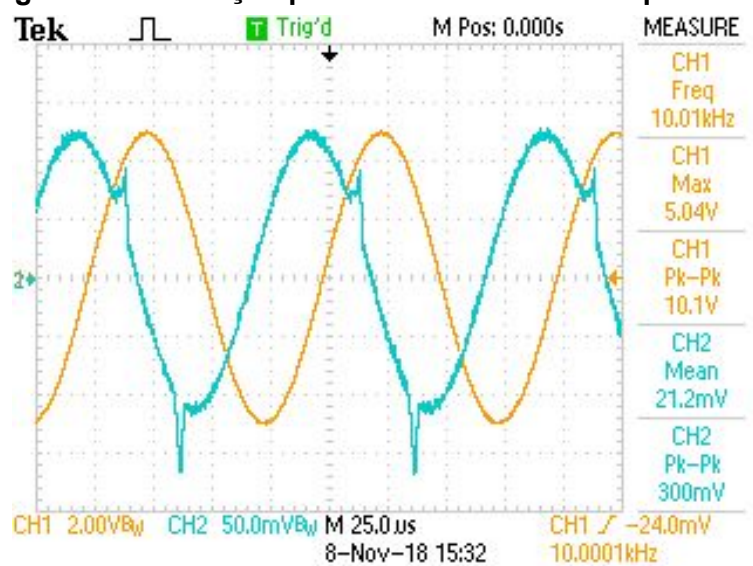
Fonte: Autoria própria (2018)

O primeiro bloco a ser soldado na Placa do Equalizador e Controle foram os conversores de níveis e o registrador de deslocamento, juntamente com os conectores e o circuito de regulação de tensão. O circuito funcionou dentro do esperado, apesar de haver uma queda de tensão não danosa ao funcionamento do projeto ocasionada por perdas no circuito, onde o sinal era de 0,5V e 14,5V.

Os demais blocos foram soldados. O bloco dos filtros passa-baixa do PWM funcionou dentro das especificações do projeto, com uma pequena diferença nos valores máximos e mínimos obtidos na saída.

Durante os testes do bloco dos Filtros do Equalizador, notou-se distorções no sinal de entrada, que eram proporcionais com o aumento da frequência. A figura 44 apresenta essa distorção observada no osciloscópio, onde o sinal rosa apresenta a tensão de entrada no filtro e, o sinal verde, a tensão de saída notavelmente distorcida.

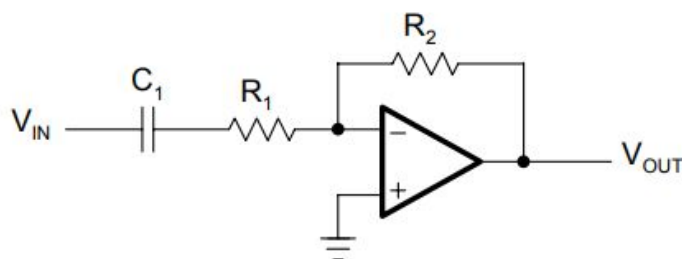
Figura 44 - Distorção presente nos filtros do Equalizador.



Fonte: Autoria própria (2018)

Além do mais, notou-se que a distorção era proporcional à amplitude do sinal de entrada. Usando um sinal de entrada com uma tensão baixa faz a distorção sumir. A suspeita inicial era de que o Amplificador Operacional utilizado no circuito estivesse acarretando esse problema. Sendo assim, o TL074 foi substituído pelo Ampop LF347. A mudança de ampop melhorou a resposta, mas com uma frequência próxima aos 20 kHz ainda era notável a distorção. Como solução provisória, foi desativado o filtro passa alta, que era o principal causador. Posteriormente em análises teóricas, notou-se um erro na topologia do filtro passa alta utilizado no projeto, que está na Figura 17. O circuito correto a ser utilizado deveria ser o da Figura 45.

Figura 45 - Topologia correta do circuito de um filtro ativo inversor passa alta de primeira ordem.



Fonte: Carter, Mancini (2004)

O uso de um dissipador foi necessário para o funcionamento da Placa de Amplificador. Por não ser o foco do trabalho, optou-se pela utilização de um dissipador de Placa Mãe ao invés de fazer o cálculo térmico para a escolha de um que fosse adequado.

3 CONCLUSÕES

Os blocos do sistema separadamente funcionaram de acordo com o que foram projetados. Não foi possível fazer o ajuste automático de cada banda do equalizador já que não foi possível o fechamento da malha de controle devido ao problema com o microfone mencionado no tópico 2.3.1.

Dentre as sugestões para implementações futuras estão:

- Utilização de um microfone e alto-falante com resposta em frequência linear para as frequências de áudio trabalhadas no projeto, de forma que apenas o ambiente altere a resposta em frequência medida pelo sistema, onde o controle de ganho seja real;
- Implementação dos quatro circuitos de controle conforme propõe a Figura 1, onde dois deles são responsáveis pela reprodução esquerda do áudio e os outros dois, pela direita; de modo que haja realmente um controle de ganho conforme a estrutura mecânica ambiente;

4 REFERÊNCIAS

ANALOG DEVICES: **Programmable Gain Amplifiers**. 2018. Disponível em: <<https://www.analog.com/en/products/amplifiers/specialty-amplifiers/programmable-gain-amplifiers.html>>. Acesso em: 14 dez. 2018.

TEXAS INSTRUMENTS: **Datasheet, PGA103** - Programmable Gain Amplifier. 1993. Disponível em: <<http://www.ti.com/lit/ds/sbos031/sbos031.pdf>>. Acesso em: 14 dez. 2018.

FAIRCHILD Semiconductor Corporation: **A Linear Gain Controlled Amplifier, Application Note**. Rev. 1.0. 2015. Disponível em: <<http://www.ti.com/lit/ds/sbos031/sbos031.pdf>>. Acesso em: 14 dez. 2018.

CARTER, B.; MANCINI, R. **Op Amps For Everyone**. 3. ed. Burlington, MA, USA: Elsevier, 2004.

RIBEIRO, Renan. **Desenvolvimento de um Equalizador Gráfico Digital de 10 Bandas**. 2017. 54 f. Trabalho de conclusão de curso (Curso de Engenharia de Computação) - Universidade Tecnológica Federal do Paraná, Pato Branco, 2017.

STMICROELECTRONICS **TDA7294: 100V - 100W DMOS AUDIO AMPLIFIER WITH MUTE/ST-BY** - **Datasheet**. 2003. Disponível em: <<https://www.st.com/resource/en/datasheet/cd00000017.pdf>>. Acesso em: 11 dez. 2018.