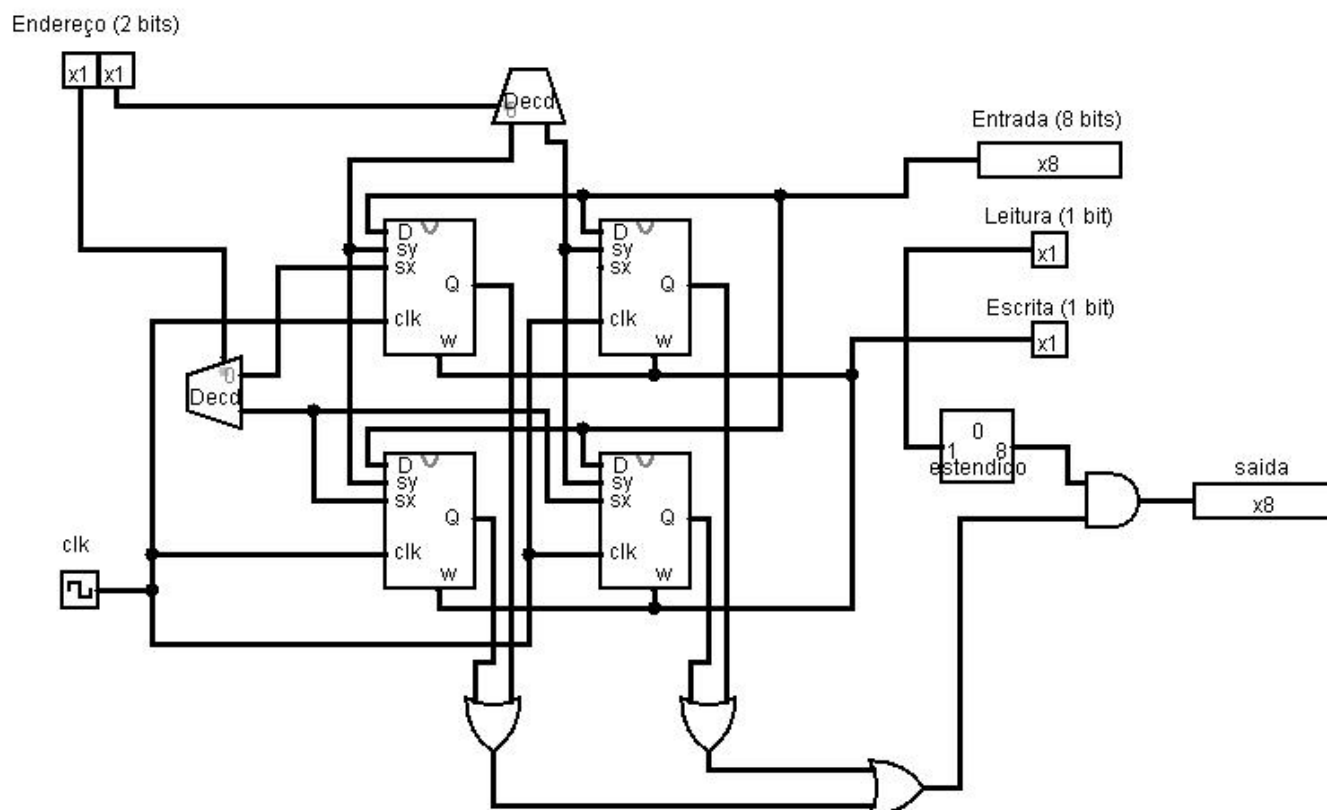


Descrição do trabalho avaliado

Valor: 5 pontos na nota do 3º Bimestre

Desenvolver, em grupos de no máximo três pessoas, em VHDL, o circuito representado abaixo



Note que o circuito é composto por três componentes principais: FF D modificado, decodificador 1:2 e um extensor de 1 para 8 bits.

Sobre os componentes:

- **Memória:** A memória funcionará da seguinte forma, considerando sempre uma borda de subida de clk: Quando o sinal de escrita (w) estiver ligado, a memória que tiver as entradas $sx=sy=1$ terá o dado da entrada armazenado internamente. Quando a memória tiver em sua entrada $w=0$ e $sx=sy=1$ o valor que está armazenado na memória será passado para a saída Q, nos demais casos de sx e sy a memória deverá fornecer saída "00000000"***. Note que o dado da memória que for lida, só será mostrado na saída quando o sinal de leitura=1.

- **Decodificador 1:2:** O decodificador, com base no bit de entrada, podendo este ser 0 ou 1, irá fornecer 01 ou 10 em suas saídas, respectivamente.

- **Extensor de bits:** Este irá replicar a sua entrada para construir um sinal de 8 bits, sendo "00000000" ou "11111111".

A avaliação será por apresentação de seminário de **no máximo 12 minutos em aula**, com o membro do grupo a ser sorteado para apresentar. A apresentação será

*** Essa é uma solução, outras soluções podem ser desenvolvidas, desde que previamente discutidas com o professor.

avaliada por: encaixe no tempo de apresentação, qualidade da apresentação, conhecimento do trabalho, resultado final e apresentação dos testes do projeto.

Entrega do trabalho: 6/11/2023

Datas das apresentações:

--> 7, 9 e 14 de novembro, via sorteio dos grupos e apresentadores.

*** Essa é uma solução, outras soluções podem ser desenvolvidas, desde que previamente discutidas com o professor.