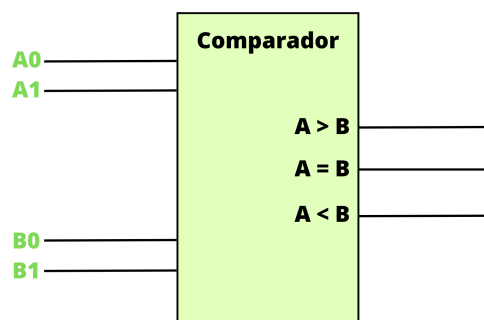


**Relatório Técnico: Trabalho avaliado utilizando a ferramenta  
Quartus II**

Andrew Brongar - 116500  
Bruna Freitas - 132780  
Bruna Machado - 132788

## 1. INTRODUÇÃO

No contexto da eletrônica digital, a elaboração de circuitos lógicos desempenha um papel de extrema relevância na concepção e implementação de sistemas digitais complexos. Nesse âmbito, a ferramenta Quartus II, na versão 17.0, apresenta-se como um ambiente robusto e versátil para o desenvolvimento de projetos lógicos. Neste cenário, o objetivo da atividade proposta é elaborar um circuito comparador previamente abordado no semestre anterior. Este circuito, que se encontra representado a seguir, envolve entradas A e B, cada uma delas constituída por 2 bits.



O desafio em questão consiste em criar um circuito capaz de gerar três saídas, de tal forma que, para cada possível combinação das entradas, apenas uma delas emita o valor lógico "1" quando a condição especificada se verificar, ao passo que as demais permaneçam em estado lógico "0".

## 2. DESENVOLVIMENTO

### 2.1. TABELA VERDADE

Para projetar o circuito comparador explicado anteriormente utilizando a ferramenta Quartus, é necessário encontrar a expressão simplificada do circuito. Para isso, elaborou-se a tabela verdade do circuito e, em seguida, extraiu-se a expressão simplificada através do Mapa de Karnaugh para cada saída esperada. Na coluna " $A > B$ ", a saída se ativa quando o conjunto de bits  $A_0A_1$  é maior do que o conjunto de bits  $B_0B_1$ . Por exemplo, isso ocorre quando  $A_0A_1$  é 01 e  $B_0B_1$  é 00. Na coluna " $A = B$ ", a saída é ativada quando ambos os conjuntos são iguais ( $A_0A_1 = B_0B_1$ ). Na última coluna, " $A < B$ ", os elementos se tornam ativos quando  $A_0A_1$  é menor do que  $B_0B_1$ , por exemplo, quando  $A_0A_1$  é 01 e  $B_0B_1$  é 10.

A0	A1	B0	B1	A>B	A=B	A<B
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0

## 2.2. MAPA DE KARNAUGH

Para facilitar o mapeamento das expressões booleanas, os termos iniciais A0A1 e B0B1 foram adaptados respectivamente em AB e CD. No primeiro mapeamento ( $A > B$ ), ao atribuir os valores lógicos nas posições indicadas, foram identificados três grupos de "1"s. Resultando na expressão booleana:  $BD' * (C' + A) + AC'$ .

A>B	C'D'	C'D	CD	CD'
A'B'	0	0	0	0
A'B	1	0	0	0
AB	1	1	0	1
AB'	1	1	0	0

$$A > B = BD' * (C' + A) + AC'$$

No segundo mapeamento, para encontrarmos a expressão para  $A=B$ , foram encontrados quatro grupos de 1's, resultando em:  $A'B'C'D' + A'BC'D + ABCD + AB'CD'$ .

A==B	C'D'	C'D	CD	CD'
A'B'	1	0	0	0
A'B	0	1	0	0
AB	0	0	1	0
AB'	0	0	0	1

$$A == B = A'B'C'D' + A'BC'D + ABCD + AB'CD'$$

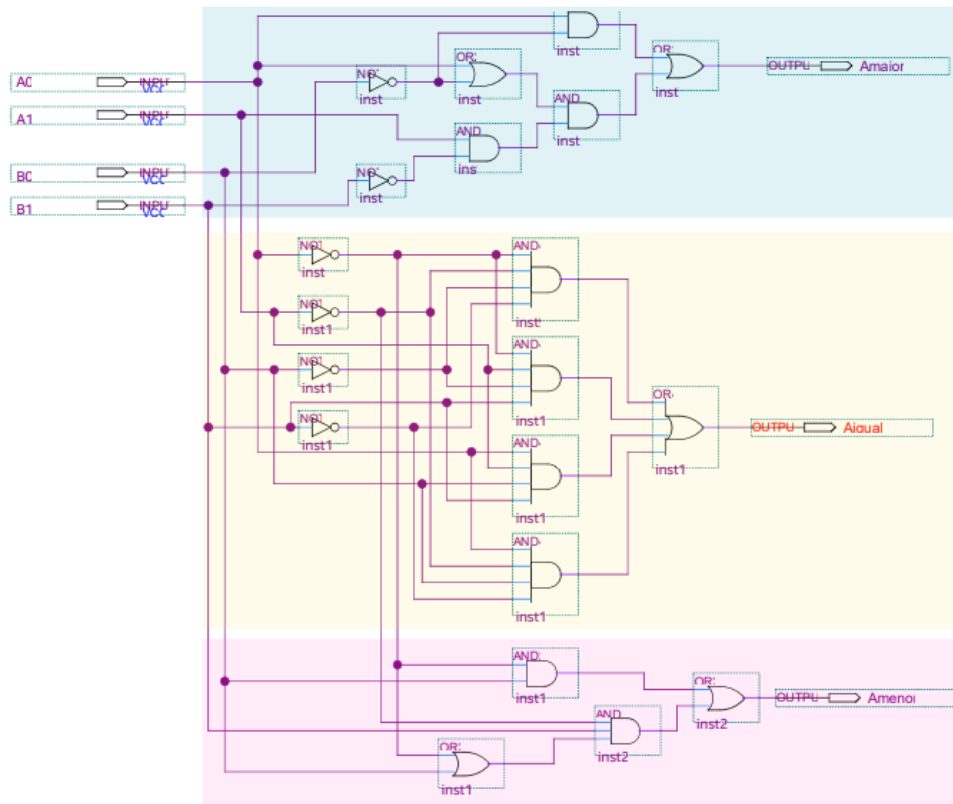
No terceiro e último mapeamento, ao preencher com os valores dispostos na tabela verdade, identificamos três grupos de 1's para encontrar a expressão de  $A < B$ :  $A'C + B'D * (A' + C)$ .

A<B	C'D'	C'D	CD	CD'
A'B'	0	1	1	1
A'B	0	0	1	1
AB	0	0	0	0
AB'	0	0	1	0

$$A < B = A'C + B'D * (A' + C)$$

## 2.3. CIRCUITO LÓGICO

Com as expressões booleanas extraídas através do Mapa de Karnaugh, foi possível projetar o circuito comparador em nível de portas lógicas utilizando a ferramenta Quartus II. Como podemos visualizar na imagem abaixo, as entradas A0A1 e B0B1 se encontram à esquerda e no topo, enquanto as saídas A>B, A=B e A<B respectivamente, estão mais à direita da imagem.

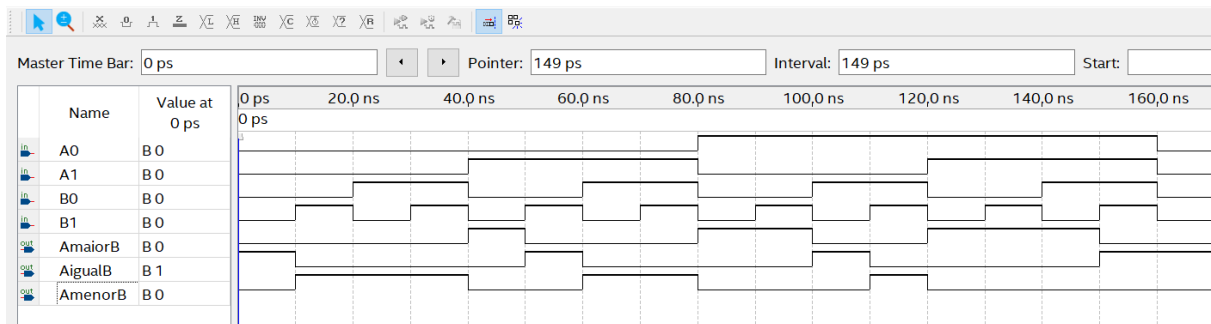


A área que está destacada em azul diz respeito ao circuito referente à expressão encontrada para a saída A>B. Na área de cor amarela, está representado o circuito referente à expressão de A=B. E por último, na área destacada na cor rosa, está o circuito referente à expressão de A<B, porém além das portas lógicas desta área, as portas NOT presentes na área em amarelo também são utilizadas neste circuito. Para o desenvolvimento deste circuito foram utilizadas apenas portas NOT, AND e OR.

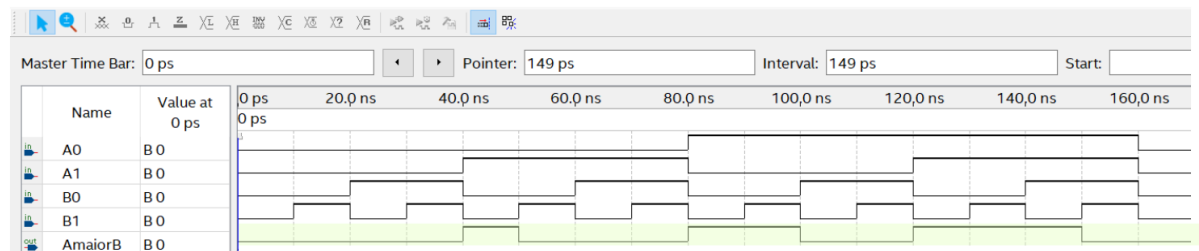
## 3. RESULTADOS

Após a construção do circuito lógico, foi empregada a ferramenta de simulação de waveform para mostrar os diagramas de tempo. Optou-se em utilizar os 16 vetores para o teste ao longo do tempo de 160,0 ns, conforme apresentado nas figuras a seguir.

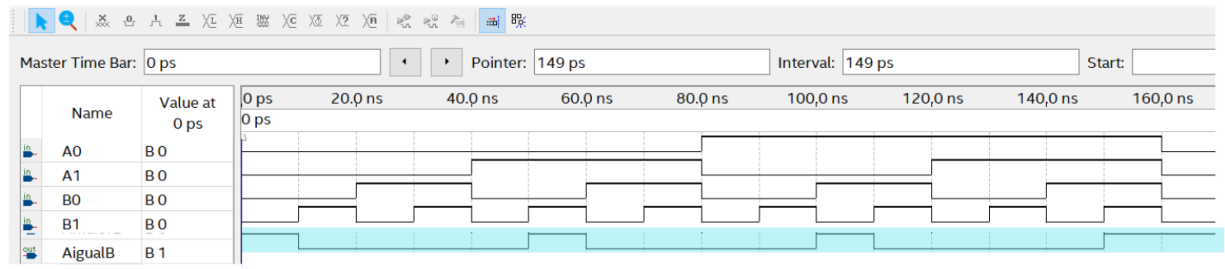
### 3.0. Entradas



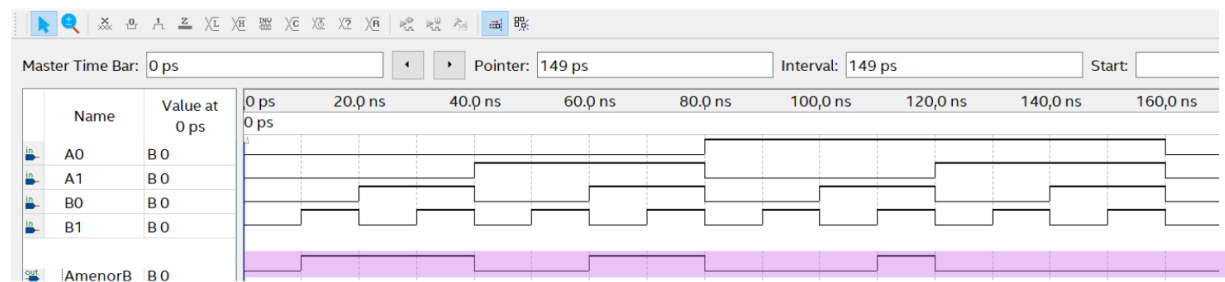
### 3.1. A>B



### 3.2. A=B



### 3.3. A<B



Após a minuciosa análise dos diagramas de tempo, comprova-se que os vetores das saídas correspondem com os resultados previamente apresentados na tabela verdade. Essa consistência entre os resultados experimentais e teóricos reforça a confiabilidade do estudo e valida as conclusões tiradas a partir dessa análise.