

第一章

Andes MCU 系列系統晶片

1.1 AndesCore™ MCU 介紹

晶心科技股份有限公司（Andes）於 2005 年創立於新竹科學園區，致力於開發以 32 位元處理器為核心的系統晶片設計平台（Processor-based SoC Platforms）。該公司是國內唯一結合軟硬體平台及系統整合能力且專注於系統晶片核心開發的公司。目前該公司提供一系列處理器從高性能至輕巧省電的核心，計有 N13、N12、N10、N9、N8 至 N7 等一系列完整的系統核心。除系統核心外，晶心公司提供具圖形介面功能完整的軟、硬體開發平台，無論是系統硬體平台開發測試或是應用軟體開發可同時進行，大幅縮短開發時程，此一軟體開發平台使用者可於晶心科技公司網頁下載使用（<http://www.andestech.com/en/download/andesight-download.htm>）。本書分別介紹 N9、N8 系列核心與其所屬的硬體開發平台。

1.1.1 AndesCore™ N903 介紹

AndesCore™ 採用 RISC 架構的 CPU，支援 16/32bit 混合指令集，相容 8/16/32-bit 的周邊元件，向量式中斷（Vectored interrupt）具有低延遲的表現，大部分的指令僅用 1 個時脈週期來完成，快速且面積小的乘法器與硬體除法器。

N903 是一個通用 32 位元嵌入式處理器，由於體積小、功耗低，適合用於各種單晶片系統的應用，N903 使採用 AndeStar™ V2 指令集，其基本特性如下：

- 5 階管線結構（5-stage pipeline）
- 靜態分叉預測（Static branch prediction）
- 回返位址存放堆疊區（Return address stack）
- 支援乘加與乘減指令（Multiply-accumulate and multiply-subtract instructions）

- 6 個硬體中斷接腳 (6 Hardware vectored Interrupt input)
- 16 或 32 個 (可規劃) 32 位元通用暫存器
- 2/3 層巢串式中斷
- 後加對正載入／儲存指令 (Post-increment aligned load/store instructions)
- 對正／不對正多重載入／儲存指令 (Aligned and unaligned load/store multiple words instructions)
- 使用者模式／管理者模式 (User and super-user mode support)
- 記憶體映對輸出入 (memory-mapped I/O)
- 記憶體位址空間可達 4G bytes

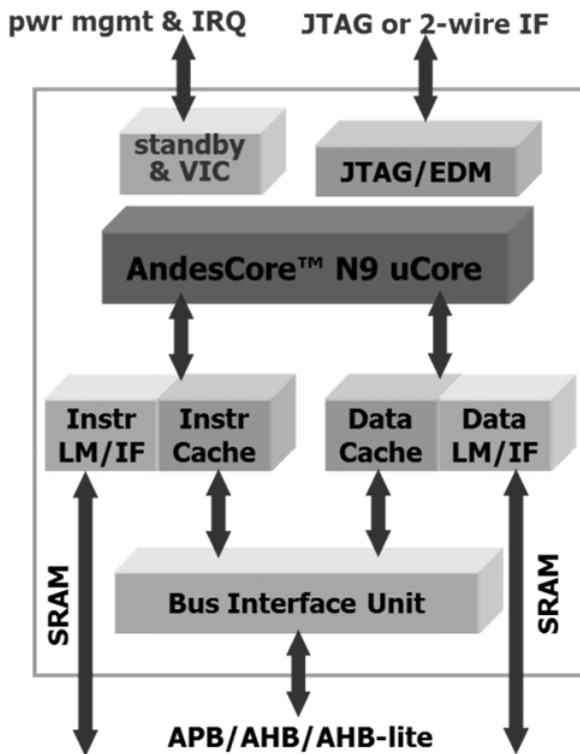


圖 1.1.1-1 N903 核心架構

»» 微處理器應用與實作：C 語言與 Andes MCU 系列

N903 內部組織架構如圖 1.1.1-1 所示，內部組成單元可分成九大單元：

- IFU：指令擷取（Instruction Fetch Unit）
- IIU：指令發佈（Instruction Issue Unit）
- IEU：指令執行（Instruction Execute Unit）
- IRU：中斷解析（Interrupt Resolution Unit）
- FCU：擷取控制（Fetch Control Unit）
- LSU：儲存／載入單元（Load Store Unit）
- BIU：匯流排介面（Bus Interface Unit）
- SRU：系統暫存器（System Register Unit）
- EDM：嵌入式除錯模組（Embedded Debug Module）

N903 採用 5 階的管線機制，機制如下：

IF	II	EX	MM	WB
Instruction Fetch	Instruction Issue and Decode	Instruction Execution	Data Memory Access	Instruction Retire and Result Write Back

- IF：指令讀取（Instruction Fetch）
- II：指令發佈與解碼（Instruction Issue and Decode）
- EX：指令執行（Instruction Execution）
- MM：資料記憶體讀取（Memory Access）
- WB：執行結果寫入資料記憶體（Instruction Retired and Result Write-back）

1.1.2 AndesCore™ N801 介紹

N801 Core 是晶心科技股份有限公司為取代 8051 所推出的 32-bit 高階 MCU，具有低功耗、低晶圓面積與高工作頻率、最佳化的程式碼與簡易的

開發程序等特點。N801-S 採 AndeStar™ V3m 指令集，這個指令集是 AndeStar™ V3j 的一部分，也是 AndeStar™ V2j 的延伸，但具有更小的程式碼，一樣具有 32/16 位元混和編碼的特性但只提供 16 個通用暫存器。

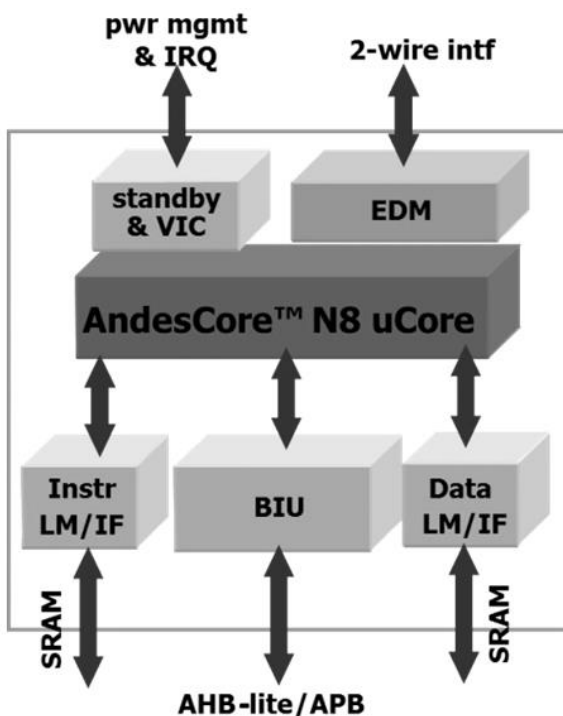


圖 1.1.2-1 N801 內部組織架構

圖 1.1.2-1 是 N801 的內部組織架構圖雖說比起 N903 簡單一些，少了快取記憶體仍保留資料與指令本地記憶體的介面，一些常用的中斷服務副程式、系統呼叫、視頻資料等常用資料或程式碼仍然存放於本地記憶體，藉此加強執行效率。其基本特性如下：

- 提供三階管線化指令（3-stage Pipeline Design）
- 支援硬體乘法器（17 cycles）

»» 微處理器應用與實作：C 語言與 Andes MCU 系列

- 支援硬體除法器 (12-37 cycles)
- 提供 16MB 記憶體空間 (24-bit address)
- 靜態資料儲存格式 (可設為大端或小端其中之一種格式)
- 匯流排介面
 - 支援 32 位元簡化型 AHB 介面
 - 支援核心高速與周邊低速相同工作頻率
- 內部向量式中斷控制
 - 支援兩層固定優先等級
 - 兩層巢串式中斷
- 記憶體映對式輸出入 (Memory-mapped I/O space)

N801-S 內部組成單元大致可分成：

- BIU：匯流排介面 (Bus Interface Unit)
- EDM：嵌入式除錯模組 (Embedded Debug Module)
- FCU：擷取控制 (Fetch Control Unit)
- IEU：指令執行 (Instruction Execute Unit)
- IRU：中斷解析 (Interruption Resolution Unit)
- LSU：儲存／載入單元 (Load Store Unit)
- SRU：系統暫存器 (System Register Unit)

N801-S 採三階管線化機制，依序是指令擷取 (IF：instruction fetch)、指令發佈解碼 (II：instruction issue)、指令執行 (EX：instruction execution)。

1.2 微處理器開發平台

偉銓電子股份有限公司 (Weltrend) 以 AndesCore™ N903 為核心，設計開發 WT59F064 系統晶片，晶心科技股份有限公司再以該系統晶片設計製造 AndeShape™ ADP-WT59F064 微處理器開發平台以便使用者進行應用開發之用。此外，利用既有 AndeShape™ ADP-XC5 平台為基礎將 N801-S 燒錄於 FPGA (Xilinx VIRTEX-5:XC5VLX110) 形成微處理器開發平台。以下就上述兩個微處理器平台進行使用說明。

1.2.1 AndeShape™ ADP-WT59F064 微處理器開發平台

偉銓公司使用 AndesCore™ N903 開發的 WT59F064 32-bit 微處理器，其工作頻率最高達 36MHz，內含有 64KB 的快閃記憶體 (Flash Memory) 及 8KB 隨機存取記憶體 (RAM)，並且提供豐富的周邊輸出入晶片，包括 ADC、I²C、SPI、UART、PWM 等等。無論是遊戲機、車輛控制、GPS 導航、醫學儀器等等皆適用。

- 32 位元精簡指令集 CPU 核心
 - 1.3 DMIPS/MHz (Dhrystone 2.1)
 - 工作頻率可設為 36MHz、24MHz、12MHz、6MHz 及 1MHz
- 記憶體
 - 64KB 快取記憶體容量 memory: 64K bytes (16K * 32)
 - 8KB 隨機記憶體
- 時序源
 - 可使用 1MHz ~ 36MHz
 - 可使用內部 24MHz 及 128KHz RC 振盪器 (供看門狗周邊元件用)

»» 微處理器應用與實作：C 語言與 Andes MCU 系列

- 32KHz 外部石英振盪器可供即時時鐘計時器用
- 直接記憶體存取(DMA)可供 ADC、I²C(*4)、UART(*8)、TIMER(*6)、I²S(*2) 使用。
- 通訊介面
 - 2 個主／從式 I²C 介面 (SM bus)，通訊速度可達 400KHz
 - 2 個主／從式 SPI 介面，通訊速度可達 6MHz
 - 4 個通訊速度可達 1.5MHz 的萬用非同步串列傳輸單元
 - 1 消費性電子控制介面 (CEC)(with 16 bytes R/W buffer and auto-sending “ACK” bit)
 - 1 個取樣頻率達 192KHz 主從式 I²S 介面
- 6 個 16 位元計時器
- 8 個可調週期的 12 位元解析度 PWM 輸出接腳
- 具數位濾波的紅外線接收器
- 電源重置，低電源電壓重置與偵測
- 12 個 12 位元解析度的 A/D 通道，其中一個固定作為溫度感測器用
- 支援線上系統燒錄 (ISP) 及線上模擬 (ICE)(JTAG mode)
- 三態輸出結構，輸入部分可設為提升高態或下拉到低態
- 看門狗電路 (可使用系統時脈或內部 128KHz 的 RC 石英振盪器)
- 寬廣的工作電壓範圍：2.0V ~ 3.6V
- 包裝型態：LQFP48, LQFP64, LQFP100

讀者可依上述簡介依序在圖 1.2.1-1 了解各單元之間的關係。表 1.2.1-1 說明不同包裝型態各腳位的位置，及表 1.2.1-2 說明不同包裝內的周邊元件個數的差異性。表 1.2.1-3 完整列出各周邊元件占用的位址空間。

表 1.2.1-1 WT59F064 各式包裝腳位

LQFP 100	LQFP 64	LQFP 48	Pin Name	I/O	Function Description
1			GPIOE2	I/O	GPIO_E2
2			GPIOE3	I/O	GPIO_E3
3			GPIOE4	I/O	GPIO_E4
4			GPIOE5	I/O	GPIO_E5
5			GPIOE6	I/O	GPIO_E6
6	1	1	VRTC	P	VDD33 for RTC
7	2	2	GPIOC13	I/O	GPIO_C13 share with PWM4, I ² S_LRCLK and TMR2_capi0
8	3	3	OSC32_I	I	32768 XTAL oscillator input
9	4	4	OSC32_O	O	32768 XTAL oscillator output
10	5	5	VSS33_1	P	3.3V GND
11	6	6	VDD33_1	P	3.3V power
12	7	7	XTALI	I	24MHz XTAL oscillator input
13	8	8	XTALO	O	24MHz XTAL oscillator output
14	9	9	RST_B	I	External reset input, active Low
15	10		GPIOC0	I/O	GPIO_C0 share with ADC10 and TMR5_capi0
16	11		GPIOC1	I/O	GPIO_C1 share with TMR5_capi1
17	12		GPIOC2	I/O	GPIO_C2 share with TMR5_mato0
18	13		GPIOC3	I/O	GPIO_C3 share with TMR5_mato1
19	14	10	AVSS	P	Analog GND
20			NC		
21	15	11	VREF+	I	ADC reference voltage input
22	15	11	AVDD	P	Analog 3.3V power
23	16	12	GPIOA0	I/O	GPIO_A0 share with ADC0 and TMR1_capi0
24	17	13	GPIOA1	I/O	GPIO_A1 share with ADC1 and TMR1_capi1
25	18	14	GPIOA2	I/O	GPIO_A2 share with ADC2, UART1_TX and TMR1_mato0
26	19	15	GPIOA3	I/O	GPIO_A3 share with ADC3, UART1_RX and TMR1_mato1

LQFP 100	LQFP 64	LQFP 48	Pin Name	I/O	Function Description
27			VSS33_5	P	3.3V GND
28			VDD33_5	P	3.3V power
29	20	16	GPIOA4	I/O	GPIO_A4 share with ADC4 and SPI0_NSS
30	21	17	GPIOA5	I/O	GPIO_A5 share with ADC5 and SPI0_SCK
31	22	18	GPIOA6	I/O	GPIO_A6 share with ADC6 and SPI0_MISO
32	23	19	GPIOA7	I/O	GPIO_A7 share with ADC7 and SPI0_MOSI
33	24		GPIOC4	I/O	GPIO_C4
34	25		GPIOC5	I/O	GPIO_C5
35	26	20	GPIOB0	I/O	GPIO_B0 share with ADC8, I ² S_DI and PWM6
36	27	21	GPIOB1	I/O	GPIO_B1 share with ADC9, I ² S_DO, PWM7 and HDMI_CEC
37	28	22	GPIOB2	I/O	GPIO_B2 share with IR
38			GPIOE7	I/O	GPIO_E7
39			GPIOE8	I/O	GPIO_E8
40			GPIOE9	I/O	GPIO_E9
41			GPIOE10	I/O	GPIO_E10
42			GPIOE11	I/O	GPIO_E11
43			GPIOE12	I/O	GPIO_E12
44			GPIOE13	I/O	GPIO_E13
45			GPIOE14	I/O	GPIO_E14
46			GPIOE15	I/O	GPIO_E15
47	29	23	GPIOB10	I/O	GPIO_B10 share with PWM0, and UART2_TX
48	30	24	GPIOB11	I/O	GPIO_B11 share with PWM1, and UART2_RX
49	31		VSS33_4	P	3.3V GND
50	32		VDD33_4	P	3.3V power

»» 微處理器應用與實作：C 語言與 Andes MCU 系列

LQFP 100	LQFP 64	LQFP 48	Pin Name	I/O	Function Description
51	33	25	GPIOB12	I/O	GPIO_B12 share with SPI1_NSS and TMR0_capi0
52	34	26	GPIOB13	I/O	GPIO_B13 share with SPI1_SCK and TMR0_capi1
53	35	27	GPIOB14	I/O	GPIO_B14 share with SPI1_MISO and TMR0_mato0
54	36	28	GPIOB15	I/O	GPIO_B15 share with SPI1_MOSI and TMR0_mato1
55			GPIOD8	I/O	GPIO_D8 share with TMR4_capi0
56			GPIOD9	I/O	GPIO_D9 share with TMR4_capi1
57			GPIOD10	I/O	GPIO_D10 share with TMR4_mato0
58			GPIOD11	I/O	GPIO_D11 share with TMR4_mato1
59			GPIOD12	I/O	GPIO_D12
60			GPIOD13	I/O	GPIO_D13
61			GPIOD14	I/O	GPIO_D14
62			GPIOD15	I/O	GPIO_D15
63	37		GPIOC6	I/O	GPIO_C6 share with TMR3_capi0
64	38		GPIOC7	I/O	GPIO_C7 share with TMR3_capi1
65	39		GPIOC8	I/O	GPIO_C8 share with TMR3_mato0
66	40		GPIOC9	I/O	GPIO_C9 share with TMR3_mato1
67	41	29	GPIOA8	I/O	GPIO_A8 share with MCU clock output, RTC test clock input
68	42	30	GPIOA9	I/O	GPIO_A9 share with UART0_TX
69	43	31	GPIOA10	I/O	GPIO_A10 share with UART0_RX
70	44	32	GPIOA11	I/O	GPIO_A11 share with I ² C1_SCL
71	45	33	GPIOA12	I/O	GPIO_A12 share with I ² C1_SDA
72	46	34	JTMS	I/O	JTAG_TMS input shared with
73					NC
74	47	35	VSS33_3	P	3.3V GND
75	48	36	VDD33_3	P	3.3V power
76	49	37	JTCK	I/O	JTAG_TCK input shared with
77	50	38	JTDI	I/O	JTAG_TDI input shared with

LQFP 100	LQFP 64	LQFP 48	Pin Name	I/O	Function Description
78	51		GPIOC10	I/O	GPIO_C10
79	52		GPIOC11	I/O	GPIO_C11
80	53		GPIOC12	I/O	GPIO_C12
81			GPIOD0	I/O	GPIO_D0 share with UART3_TX
82			GPIOD1	I/O	GPIO_D1 share with UART3_RX
83	54	39	GPIOD2	I/O	GPIO_D2 share with PWM2
84	55	40	GPIOD3	I/O	GPIO_D3 share with PWM3
85			GPIOD4	I/O	GPIO_D4
86			GPIOD5	I/O	GPIO_D5
87			GPIOD6	I/O	GPIO_D6
88			GPIOD7	I/O	GPIO_D7
89	56	41	JTDO	I/O	JTAG_TDO output shared with
90	57	42	NJTRST	I/O	JTAG_NJTRST input shared with
91	58	43	GPIOB5	I/O	GPIO_B5 share with PWM5, I ² S_BCLK and TMR2_capi1
92	59	44	GPIOB6	I/O	GPIO_B6 share with I ² C0_SCL and TMR2_mato0

表 1.2.1-2 WT59F064 各式包裝的周邊元件數

周邊元件	LQFP100	LQFP64	LQFP48
I ² C	2	2	2
SPI	2	2	2
UART	4	3	3
CEC	1	1	1
IR	1	1	1
I ² S	1	1	1
PWM	8	8	8
TMR Capture/Match	6	5	3
ADC	12CH	12CH	11CH
Temperature Sensor	1	1	1
GPIO	78	47	33

表 1.2.1-3 WT59F064 微處理器記憶體空間映對圖 (Memory Map)

Index	Function	Description
0x0000_0000~0x0000_FFFF	64K Flash Memory	ILM Bus
0x0001_0000~0x000F_FFFF	Reserved	
0x0010_0000~0x0010_1FFF	8K SRAM	DLM Bus
0x0010_2000~0x001F_5BFF	Reserved	
0x001F_5C00~0x001F_5FFF	PWM0	
0x001F_6000~0x001F_63FF	PWM1	
0x001F_6400~0x001F_67FF	Reserved	
0x001F_6800~0x001F_6BFF	GPIO A-E	
0x001F_6C00~0x001F_FFFF	Reserved	
0x0020_0000~0x0020_03FF	System Control	APB Bus
0x0020_0400~0x0020_07FF	Flash Programmer	
0x0020_0800~0x0020_0BFF	WDT	
0x0020_0C00~0x0020_0FFF	Wake Up & Interrupt	
0x0020_1000~0x0020_13FF	RTC	
0x0020_1400~0x0020_17FF	CEC	
0x0020_1800~0x0020_1BFF	IR Receiver	
0x0020_1C00~0x0020_1FFF	Timer0	
0x0020_2000~0x0020_23FF	Timer1	
0x0020_2400~0x0020_27FF	Timer2	
0x0020_2800~0x0020_2BFF	Timer3	
0x0020_2C00~0x0020_2FFF	Timer4	
0x0020_3000~0x0020_33FF	Timer5	
0x0020_3400~0x0020_37FF	UART0	
0x0020_3800~0x0020_3BFF	UART1	
0x0020_3C00~0x0020_3FFF	UART2	
0x0020_4000~0x0020_43FF	UART3	
0x0020_4400~0x0020_47FF	SPI0	
0x0020_4800~0x0020_4BFF	SPI0_FIFO	
0x0020_4C00~0x0020_4FFF	SPI1	
0x0020_5000~0x0020_53FF	SPI1_FIFO	
0x0020_5400~0x0020_57FF	I ² C0	
0x0020_5800~0x0020_5BFF	I ² C1	
0x0020_5C00~0x0020_63FF	Reserved	
0x0020_6400~0x0020_67FF	ADC	
0x0020_6800~0x0020_6BFF	Reserved	
0x0020_6C00~0x0020_6FFF	I ² S	
0x0020_7000~0x002F_FFFF	Reserved	

Index	Function	Description
0x0030_0000~0x0030_03FF	DMA	AHB Bus
0x0030_0400~0x003F_FFFF	Reserved	
0x0040_0000~0x00FF_FFFF	Reserved	Reserved Space

WT59F064 共有三種信號源產生系統重置，由圖 1.2.1-2 可清楚看到計有硬體重置 (RSTB)、看門狗重置、低電源電壓重置 (< 1.4)，每項重置信號皆持續 16.36ms 之久。

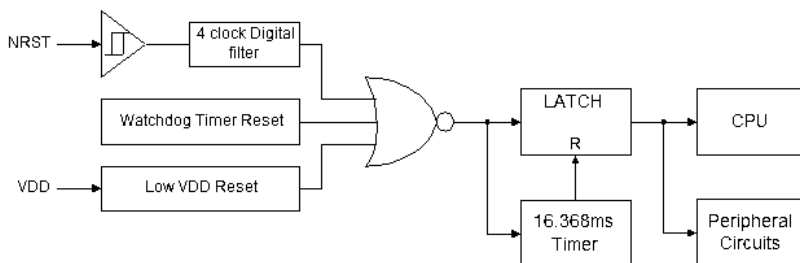


圖 1.2.1-2 WT59F064 系統重置

● AndeShape™ ADP-WT59F064

整套微處理機平台包含 AndeShape™ ADP-WT59F064 主機板、兩線式線上模擬器 AICE、STN LCM 模組、Jtag 轉接板及 USB 電源線 (詳見圖 1.2.1-3)。安裝使用時請注意 LCM 模組與 Jtag 轉接板的方向。此平台與開發主機連接的只有三個部分：1. 透過主機 USB 提供電源給此平台使用；2. 透過 AICE 與主機連線，除了進行除錯外同時可下載程式碼燒錄到快取記憶體；3. 透過 RS232 與主機連接進行通訊實作。

»» 微處理器應用與實作：C 語言與 Andes MCU 系列

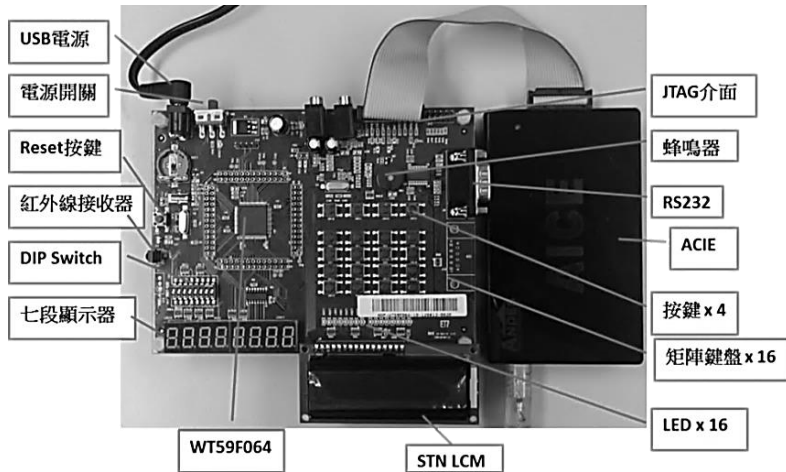


圖 1.2.1-3 ADP-WT59F064 微處理器平台

1.2.2 AndeShape™ ADP-XC5 (N801 SoC) 微處理器開發平台

AndeShape™ ADP-XC5 (N801 SoC) 是晶心科技公司將 N801-S 下載燒錄到 AndeShape™ ADP-XC5FF676 (以下簡稱 ADP-XC5 平台) 上的 FPGA (Xilinx VIRTEX-5:XC5VLX110) 提供給使用者進行系統研發用的微處理器開發平台，ADP-XC5 平台上提供外接的動態記憶體擴充插槽 (144 pins SO-DIMM)、32MB NOR 快閃記憶體、10/100Mbps 乙太網路、LCD 模組與介面、RS232 非同步串列傳輸介面、SD 記憶卡插槽、IDE 介面、I²S 音效編解碼、七段顯示器、按鍵與匯流排外接擴充接頭等等。圖 1.2.2-1 是 ADP-XC5 平台的外觀圖，讀者可從此圖快速找到相關元件及編號。圖 1.2.2-2 是此一平台使用的系統晶片 (ADP-AG101P-16MB-N801-S SoC) 內部電路，可見實際燒錄到 Xilinx VIRTEX-5 的元件不僅是 N801-S CPU，還有其他周邊元件。表 1.2.1-1 列出 SoC 內部元件占用的記憶體位址，可供使用者開發程式參考用。

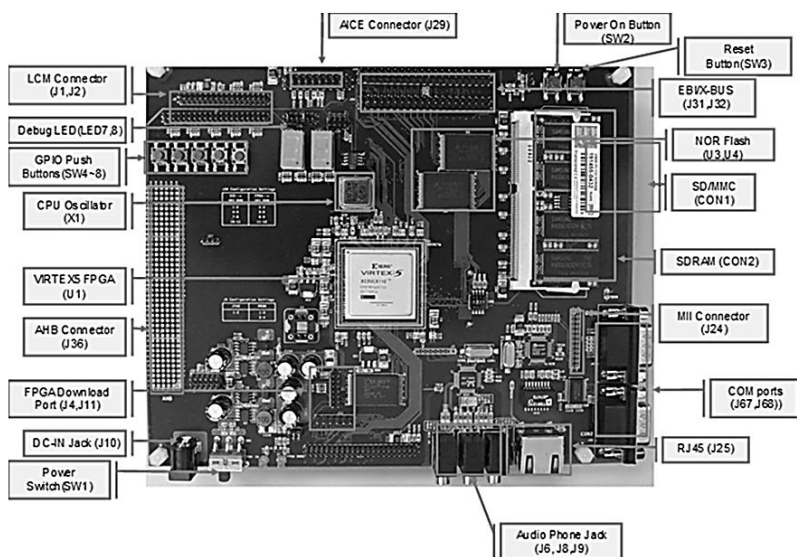


圖 1.2.2-1 AndeShape™ ADP-XC5FF676 元件配置

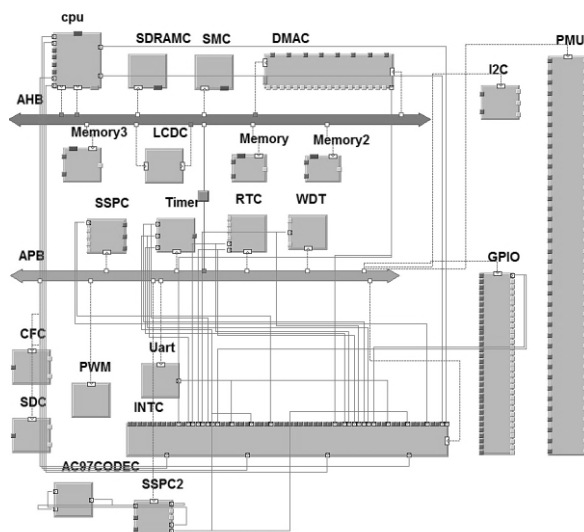


圖 1.2.2-2 ADP-AG101P-16MB-N801-S SoC

表 1.2.2-1 ADP-AG101P-16MB-N801-S SoC 記憶體位址空間配置表

Name	Low Address	High Address
SDRAM/ROM/FLASH	¹⁰¹⁰ ₀₁₀₁ 0x00000000	¹⁰¹⁰ ₀₁₀₁ 0x00800000
ROM/FLASH	¹⁰¹⁰ ₀₁₀₁ 0x00800000	¹⁰¹⁰ ₀₁₀₁ 0x00c00000
AHB Controller	¹⁰¹⁰ ₀₁₀₁ 0x00e00000	¹⁰¹⁰ ₀₁₀₁ 0x00e00090
SMC	¹⁰¹⁰ ₀₁₀₁ 0x00e01000	¹⁰¹⁰ ₀₁₀₁ 0x00e01088
SDRAMC	¹⁰¹⁰ ₀₁₀₁ 0x00e02000	¹⁰¹⁰ ₀₁₀₁ 0x00e02108
DMAC	¹⁰¹⁰ ₀₁₀₁ 0x00e03000	¹⁰¹⁰ ₀₁₀₁ 0x00e03178
APB Controller	¹⁰¹⁰ ₀₁₀₁ 0x00e04000	¹⁰¹⁰ ₀₁₀₁ 0x00e040c4
LCDC	¹⁰¹⁰ ₀₁₀₁ 0x00e10000	¹⁰¹⁰ ₀₁₀₁ 0x00e1c800
Ethernet MAC	¹⁰¹⁰ ₀₁₀₁ 0x00e50000	¹⁰¹⁰ ₀₁₀₁ 0x00e500fc
PMU	¹⁰¹⁰ ₀₁₀₁ 0x00f01000	¹⁰¹⁰ ₀₁₀₁ 0x00f01104
BTUART	¹⁰¹⁰ ₀₁₀₁ 0x00f03000	¹⁰¹⁰ ₀₁₀₁ 0x00f03078
Timer	¹⁰¹⁰ ₀₁₀₁ 0x00f04000	¹⁰¹⁰ ₀₁₀₁ 0x00f04040
WDT	¹⁰¹⁰ ₀₁₀₁ 0x00f05000	¹⁰¹⁰ ₀₁₀₁ 0x00f05020
RTC	¹⁰¹⁰ ₀₁₀₁ 0x00f06000	¹⁰¹⁰ ₀₁₀₁ 0x00f06040
GPIO	¹⁰¹⁰ ₀₁₀₁ 0x00f07000	¹⁰¹⁰ ₀₁₀₁ 0x00f07080
INTC	¹⁰¹⁰ ₀₁₀₁ 0x00f08000	¹⁰¹⁰ ₀₁₀₁ 0x00f08070
I2C	¹⁰¹⁰ ₀₁₀₁ 0x00f0a000	¹⁰¹⁰ ₀₁₀₁ 0x00f0a038
SSP	¹⁰¹⁰ ₀₁₀₁ 0x00f0b000	¹⁰¹⁰ ₀₁₀₁ 0x00f0b068
CFC	¹⁰¹⁰ ₀₁₀₁ 0x00f0d000	¹⁰¹⁰ ₀₁₀₁ 0x00f0d038
SDC	¹⁰¹⁰ ₀₁₀₁ 0x00f0e000	¹⁰¹⁰ ₀₁₀₁ 0x00f0e0a4
PWM	¹⁰¹⁰ ₀₁₀₁ 0x00f11000	¹⁰¹⁰ ₀₁₀₁ 0x00f1101c
I2S/AC97	¹⁰¹⁰ ₀₁₀₁ 0x00f14000	¹⁰¹⁰ ₀₁₀₁ 0x00f14068
STUART	¹⁰¹⁰ ₀₁₀₁ 0x00f16000	¹⁰¹⁰ ₀₁₀₁ 0x00f16078

表 1.2.2-2 ADP-XC5FF676 Hardware Features

項目	名字	位置
FPGA	Xilinx VIRTEX-5:XC5VLX110	U1
SO-DIMM Socket	SDRAM 64MB~256MB(SO-DIMM 144) Pin Socket)	CON2
Flash Memory	NOR Flash 28F128J3 32MB	U3,U4
PROM	XCF32VO48	U2
SPI ROM	MX25L1005	U21
MAC_PHY	DM9161A	U18
10/100 Ethernet RJ45 Connector		J24

第一章 Andes MCU 系列系統晶片 ««

項目	名字	位置
MII Pin Header		J25
Power Jack		J10
Power Switch		SW1
AC97 Codec	ALC203	U16
Audio Jack-Lin Out		J6
Audio Jack-Lin In		J8
MIC In		J9
AC97/I ² S Pin Header		J7
7-Seg display X2		LED7,LED8
Backup Battery Connector		CON3
AHB Connector		J36
AHB Master/Slave Setting		J38
AHB Power Connector		J35
AHB HCLK FB Path Setting		J27
AHB Reset Path Setting		J26
CF/IDE Connector		J37
LCM Connector		J1,J2
SD Connector		CON1
COM1		J67
COM2		J68
AICETM Connector		J29
EBI/X-Bus		J31, J32
SPI ROM Configure Setting		J39
GPIO Push buttons		SW4,SW5,SW6,SW7,SW8
Power ON Button		SW2

»» 微處理器應用與實作：C 語言與 Andes MCU 系列

項目	名字	位置
Reset Button		SW3
FPGA Mode Configure Setting		SW9
FPGA Download Path Setting		J5
FPGA JTAG Connector		J4
FPGA Download Indicator		LED1
Power In Indicator		LED2
Main OSC	20MHz	X1
AUX OSC		X3

● 跳線與指撥開關設定

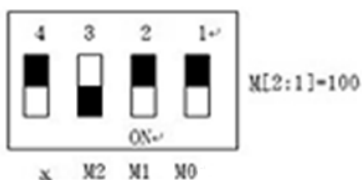


圖 1.2.2-3 SW9 設定

FPGA 的模式配置設置 (SW9)：FPGA 在四個指撥開關上使用三個開關來設置三種 FPGA 的配置模式 (標為 M0、M1、M2)。開關設置說明如表 1.2.2-3 所示。

表 1.2.2-3 FPGA 配置模式開關設置

配置模式	M[2:0]	Bus傳輸的資料數	CCLK方向
Master Serial	000	1	Output
Master SPI	001	1	Output
Master BPI-Up	010	8,16	Output

配置模式	M[2:0]	Bus傳輸的資料數	CCLK方向
Master BPI-Down	011	8,16	Output
Master SelectMAP	100	8,16	Output
JTAG	101	1	Input(TCK)
Slave SelectMAP	110	8,16,32	Input
Slave Serial	111	1	Input

FPGA 的下載路徑設置：FPGA (Field Programmable Gate Array) 使用了跳線方法來選擇從 JTAG 或 PROM 的下載方式。跳線設置說明如表 1.2.2-4 所示。跳線位置為 J5。

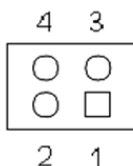


圖 1.2.2-4 J5 FPGA 的下載路徑設置

表 1.2.2-4 FPGA 下載路徑設置

JTAG	JTAG & PROM
1-2	1-3 2-4

SPI ROM 的配置設置：FPGA 使用了跳線方法將信息寫入 SPI Rom。跳線設置說明如表 1.2.2-5 SPI ROM 配置設置所示。跳線位置為 J39 (圖 1.2.2-5)。

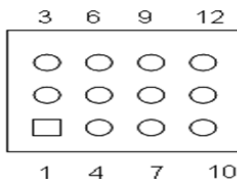


圖 1.2.2-5 J39 SPI ROM 的配置設置

»» 微處理器應用與實作：C 語言與 Andes MCU 系列

表 1.2.2-5 SPI ROM 配置設置

ICE SPI ROM	FPRG SPI ROM
1-2	2-3
4-5	5-6
7-8	8-9
10-11	11-12

AHB Reset 路徑設置：FPGA 使用了跳線方法選擇主從 Reset 路徑。
跳線設置說明如表 1.2.2-6 所示。跳線位置為 J26 (圖 1.2.2-6)。

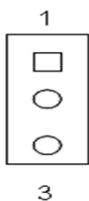


圖 1.2.2-6 J26 AHB Reset 路徑設置

表 1.2.2-6 AHB Reset 路徑設置

SYSTEM RESET AHB	RES_BUTTON AHB
1-2	2-3

AHB HCLK FB 路徑設置：FPGA 使用了跳線方法設置 HCLK 反饋路徑，跳線設置說明如下圖所示。跳線位置為 J27。



圖 1.2.2-7 J27

表 1.2.2-7 AHB HCLK FB 路徑設置

Feedback HCLK	Normal setting
1-2	2-3

AHB 主／從設置：FPGA 使用跳線方法設置的 AHB 主／從。跳線設置說明為表 1.2.2-8 所示。跳線位置為 J38。

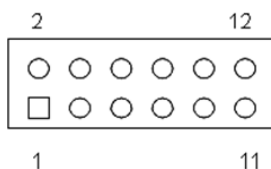


圖 1.2.2-8 J38 AHB 主 / 從設置

表 1.2.2-8 AHB 主 / 從設置

Stand-alone Master	Master_+Slave	Slave
1-2 7-8	7-8 4-6 9-11	3-5 7-9

● 接腳信號說明

LCD Connector：ADP-XC5 平台使用 J1 和 J2，2 個接腳與液晶螢幕模組連接。下列列出 J2 和 J1 腳位定義。

表 1.2.2-9 J2 LCD Connector 腳位定義

腳位	腳位名稱	腳位	腳位名稱
1	LCD_DQ20	2	DGND
3	LCD_DQ21	4	DGND
5	LCD_DQ22	6	DGND
7	LCD_DQ23	8	DGND
9	LCD_CP/CLK	10	DGND
11	LCD_LP/HSYNC	12	DGND
13	LCD_FP/VSNC	14	DGND
15	LCD_AC/M	16	DGND
17	LCD_LE	18	DGND
19	LCD_POWER	20	DGND
21	DGND	22	DGND

»» 微處理器應用與實作：C 語言與 Andes MCU 系列

腳位	腳位名稱	腳位	腳位名稱
23	NC	24	NC
25	NC	26	NC
27	SYS_RSTn	28	SYS_RST
29	3V3	30	3V3
31	5VDC	32	5VDC
33	LCD_PWM0	34	LCD_PWM1

表 1.2.2-10 J1 LCD Connector 腳位定義

腳位	腳位名稱	腳位	腳位名稱
1	LCD_DQ0	2	DGND
3	LCD_DQ1	4	DGND
5	LCD_DQ2	6	DGND
7	LCD_DQ3	8	DGND
9	LCD_DQ4	10	DGND
11	LCD_DQ5	12	DGND
13	LCD_DQ6	14	DGND
15	LCD_DQ7	16	DGND
17	LCD_DQ8	18	DGND
19	LCD_DQ9	20	DGND
21	LCD_DQ10	22	DGND
23	LCD_DQ11	24	DGND
25	LCD_DQ12	26	DGND
27	LCD_DQ13	28	DGND
29	LCD_DQ14	30	DGND
31	LCD_DQ15	32	DGND
33	LCD_DQ16	34	DGND
35	LCD_DQ17	36	DGND
37	LCD_DQ18	38	DGND
39	LCD_DQ19	40	DGND

ADP-XC5 平台與 AICE-MCU 及開發主機間安裝及連線將在第二章進行說明。