

Peter the Great St. Petersburg Polytechnic University

Institute of Electronics and Telecommunications

Higher School of Electronics and Micro-Electro-Mechanical Systems

COURSEWORK

Wideband differentiator

Subject «ASIC back-end digital design flow»

Done by student of 4941102/00501



M.M. Degirmenzi

student signature

Date of the work submission: «_20_» ____ 12 ____ 2021 г.

Teacher: assistant prof.

M. S. Yenuchenko

signature

Date of check: December «____» _____ 2021

Grade: _____

Commission members:

Assistant prof., HSAP&ST _____

M. S. Yenuchenko

Associate prof., HSAP&ST _____

I. M. Piatak

Associate prof., HSAP&ST _____

M. M. Pilipko

САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ ПЕТРА ВЕЛИКОГО
Институт электроники и телекоммуникаций
Высшая школа электроники и микросистемной техники

ЗАДАНИЕ
на выполнение курсовой работы по дисциплине

Автоматизированная разработка цифровых интегральных схем

студенту Дегирменджи Метину Денизу группы: 4941102/00501 семестр: 3
Мехметовичу

1. Тема работы:

Wideband Differentiators

2. Срок сдачи студентом законченной работы: 06.12.2021

3. Исходные данные по работе:

Требования и результаты, полученные в ходе выполнения практической работы предыдущего семестра по курсу «Цифровые устройства обработки сигналов», в том числе математическая модель устройства в MATLAB/Simulink.

4. Содержание работы (перечень подлежащих разработке вопросов):

Выполнить разработку цифровой интегральной схемы (ASIC), выполняющую функцию блока, разработанного в предыдущем семестре, с использование пакета программ Cadence. В частности:

1. Разработать описание блока цифровой обработки сигналов на языке Verilog HDL (синтезируемое подмножество конструкций языка) согласно выданной теме работы, а также создать все файлы, требуемые для успешного выполнения последующих этапов курсовой работы;
2. Провести компьютерное моделирование (Cadence Incisive), логический синтез (Cadence RTL Compiler), генерацию топологии (Cadence Encounter) устройства и выполнить импорт устройства в среду разработки аналоговых ИС (Cadence Virutoso) с последующей верификацией (Cadence Assura/PVS).

Перечень обязательного сопроводительного материала:

1. Исходный код блока на языке Verilog, в том числе модуля для тестирования (моделирования);
2. Файлы описания временных ограничений (.sdc);
3. Сценарии (TCL файлы) для проведения синтеза и генерации топологии;
4. Результаты компьютерного моделирования на всех этапах проектирования (как для исходного RTL кода, так и для списка межсоединений ячеек библиотеки), подтверждающие соответствие устройства своей исходной математической модели;
5. Отчёты статического временного анализа (STA) для этапов логического синтеза и всех этапов построения топологии, отчёты прохождения проверок DRC и LVS.

Все файлы с исходными кодами (Verilog, SDC, TCL и т. п.) должны сопровождаться комментариями.

Структура пояснительной записи:

- Введение;
- Основная часть;
- Заключение;
- Список использованных источников.

Требования к разработке:

1. Разработку проекта вести с помощью системы контроля версий Git, в качестве удаленного хранилища (репозитория) использовать <https://github.com>. Ссылка на открытый репозиторий с выполненным проектом должна быть указана в работе;
2. Критический путь устройства должен быть определён и не должен превышать по длине путь

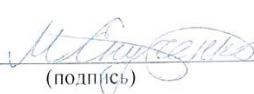
- через один умножитель и один сумматор или эквивалентный ему;
3. Тактовая частота устройства должна быть не менее 20 МГц, неопределенность тактового сигнала – не более 10%;
4. Описание на языке Verilog должно содержать в явном виде понижение/повышение частоты дискретизации, если это предусмотрено назначением и/или функциональными особенностями устройства. Допустимо предполагать, что внешние тактовые сигналы синхронные.
5. Перечень графического материала (с указанием обязательных рисунков):

6. Дата выдачи задания: 20.09.2021

7. Форма отчётности: пояснительная записка о курсовой работе

(данное задание прилагается к пояснительной записке)

Преподаватель


(подпись)

М. С. Енученко

(инициалы, фамилия)

Студент


(подпись)


(инициалы, фамилия)

Abstract

Report 73 pages., 40 figures, 0 tables, 2 references, 27 appendices.

ЦИФРОВЫЕ УСТРОЙСТВА, ТОПОЛГИЯ, ASIC, ШИРОКОПОЛОСНЫЙ ДИФФЕРЕНЦИATOR, КИХ ФИЛЬР

Объект исследования – схема реализации цифрового устройства.

Цель работы – синтез цифрового широкополосного дифференциатора

В ходе курсовой работы был создан Verilog код, описывающий цифровой дифференциатор, пройден маршрут по созданию топологии для цифрового дифференциатора. Проведены необходимые анализы и симуляции.

В результате была создана топология для цифрового дифференциатора.

Contents

1	Введение.....	7
1.1	Постановка задачи.....	7
1.2	Теоретические основы	7
1.3	Описание математической модели	9
1.3.1	Входной сигнал	12
2	Основная часть.....	16
2.1	Behavioral model.....	16
2.2	Synthesis.....	17
2.3	Layout	25
2.4	Verification	30
3	Appendix.....	35
3.1	Verilog файл, описывающий дифференциатор «Subsistem.v».....	35
3.2	Constraint файл «Top.sdc»	39
3.3	скрипт для RTL Compiler для типичных значений «MyModule.tcl»	39
3.4	скрипт для RTL Compiler для типичных значений «MyModule.tcl»	40
3.5	скрипт для RTL Compiler для лучших значений «MyModuleMax.tcl»	41
3.6	скрипт для RTL Compiler для худших значений «MyModuleMin.tcl».....	42
3.7	Скрипт, содержащий путь к технологически файлам для типичного случая«X-FAB_typ»	43
3.8	Скрипт, содержащий путь к технологически файлам для наилучшего случая «X-FAB_max.tcl» 43	
3.9	Скрипт, содержащий путь к технологически файлам для худшего случая «X-FAB_min.tcl»... 44	
3.10	«X-FAB_min.tcl»	44
3.11	«X-FAB_max.tcl».....	45
3.12	Отчет по оценочной площади кристалла для типичных значений «Top_synth_area_report» 46	
3.13	Отчет по оценочной площади кристалла для худших значений «Top_synth_area_report_max» 47	
3.14	Отчет по оценочной площади кристалла для худших значений «Top_synth_area_report_min» 48	
3.15	Временной отчет типичных значений «Top_synth_timing_report»	49
3.16	Временной отчет наилучших значений «Top_synth_timing_report_max».....	52
3.17	Временной отчет худших значений «Top_synth_timing_report_min».....	53
3.18	Скрипт для запуска Encounter «MMMC.tcl»	57
3.19	Файл, описывающий расположение пинов «Module_pins»	63
3.20	PrePlace отчет «Subsystem_prePlace.summary».....	65
3.21	preCTS отчет «Subsystem_preCTS.summary»	65
3.22	preCTS отчет по hold «Subsystem_postCTS_hold.summary».....	67

3.23	postCTS отчет «Subsystem_postCTS.summary».....	67
3.24	postRoute отчет по hold «Subsystem_postRoute_hold.summary».....	68
3.25	postRoute отчет «Subsystem_postRoute.summary»	69
3.26	signOff отчет «Subsystem_signOff.summary».....	70
3.27	signOff отчет по hold «Subsystem_signOff_hold.summary»	72
	References	73

1 Введение

1.1 Постановка задачи

В ходе курсовой работы необходимо разработать цифровую интегральную схему дифференциатора. Дифференциатор должен работать согласно математической модели, разработанной в ходе курсовой работы за предыдущий семестр.

Минимальная частота работы цифровой схемы равна 20МГц. Неопределенность тактового сигнала не должна превышать 10%. Критический путь устройства не должен превышать по длине путь через один умножитель и один сумматор или эквивалентный ему.

Разработка цифровой схемы состоит из следующих этапов:

1. Создание описания цифрового устройства на verilog ;
2. логический синтез устройства;
3. Создание топологии в Cadence Encounter;
4. Верификация устройства в Cadence Virtuoso.

Первые три шага должны сопровождаться проверкой работоспособности устройства в Cadence Incisive.

1.2 Теоретические основы

Операция взятия производной хорошо определена для непрерывных сигналов, однако операция взятия производной строго не определена для дискретных сигналов. Для решения данной проблемы мы можем аппроксимировать вычисление производной.

Рассмотрим уравнение (1) для непрерывной синусоиды

$$x(t) = \sin(2\pi ft) \quad (1)$$

Где f-частота синусоиды;

t-время.

Производная синусоидального сигнала представлена в выражении (2)

$$\frac{dx}{dt} = \omega \cos(\omega t) \quad (2)$$

Из выражения (2) можно сделать вывод, что АЧХ идеального дифференциатора будет линейно увеличиваться с частотой. На Рис. 1 представлены АЧХ и ФЧХ дифференциатора.

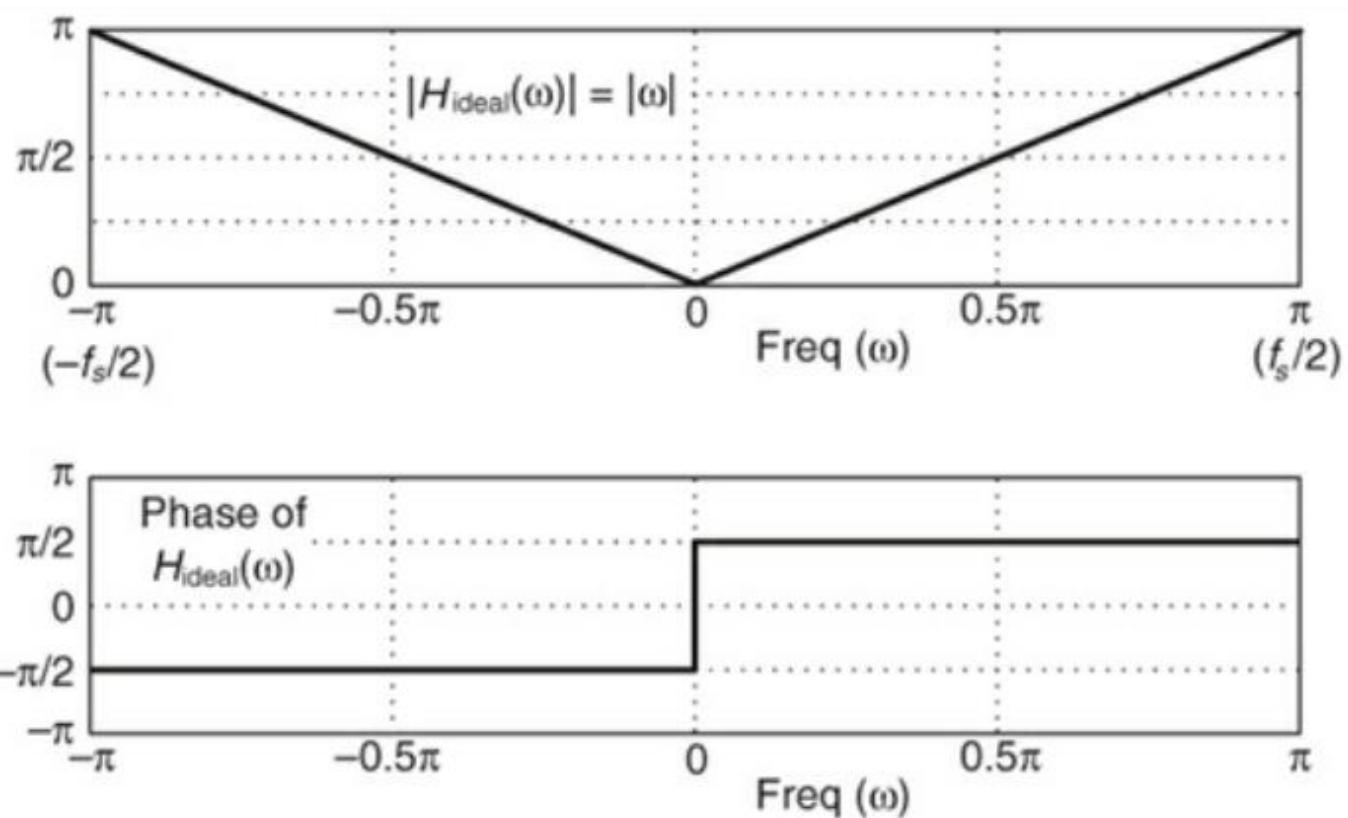


Рис. 1. АЧ и ФЧХ дифференциатора.

На Рис. 2 представлена импульсная характеристика и АЧХ широкополосного дифференциатора.

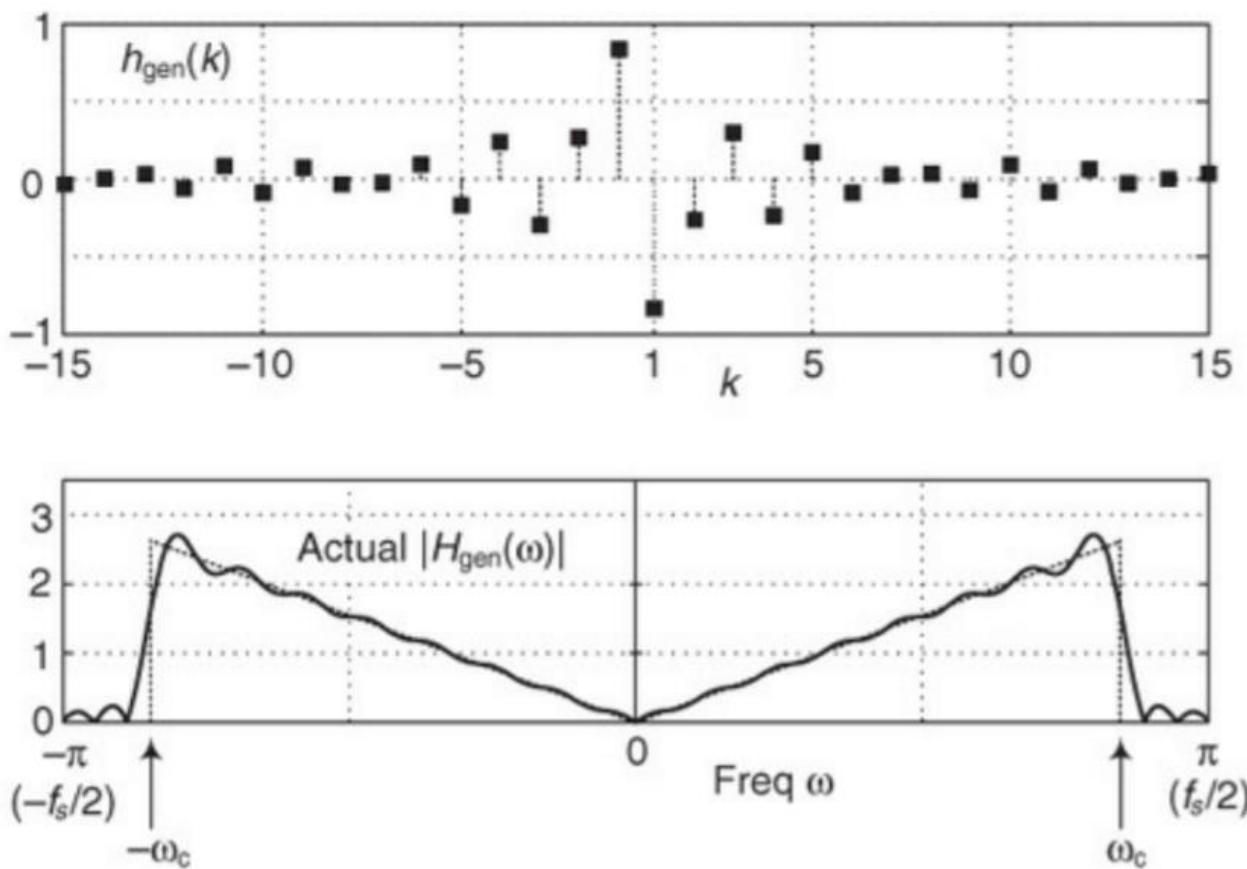


Рис. 2. Импульсная характеристика и АЧХ широкополосного дифференциатора.

В качестве широкополосного интегратора будем использовать КИХ фильтр, коэффициенты которого $h_{\text{gen}}(k)$ (3) определяются путем вычисления обратного преобразования Фурье желаемой функции $H_{\text{ideal}}(\omega) = j\omega$ для непрерывного ω , определенного в диапазоне $-\omega_c \leq \omega \leq \omega_c$.

$$\begin{aligned} h_{\text{gen}}(k) &= \frac{1}{2\pi} \int_{-\omega_c}^{\omega_c} j\omega e^{j\omega k} d\omega = \frac{j}{2\pi} \left[\frac{e^{j\omega k} (jk - 1)}{(jk)^2} \right] \Big|_{-\omega_c}^{\omega_c} \\ &= \frac{\omega_c \cos(\omega_c k)}{\pi k} - \frac{\omega_c \sin(\omega_c k)}{\pi k^2} \end{aligned} \quad (3)$$

Где $-\infty \leq k \leq \infty$ и $k \neq 0$.

Как известно, невозможно создать цифровой КИХ фильтр с бесконечным количеством коэффициентов, поэтому индекс k приходится ограничивать.

Также индекс k принимает отрицательные значения. Это может быть приносить неудобства при моделировании. Решить данную проблему можно если использовать выражение (4) Для импульсной характеристики длиной в N тапов.

$$h_{\text{gen}}(k) = \frac{\omega_c \cos(\omega_c(k - M))}{\pi(k - M)} - \frac{\omega_c \sin(\omega_c(k - M))}{\pi(k - M)^2} \quad (4)$$

Где $0 \leq k \leq N-1$;

$$M = \frac{N-1}{2}$$

Для нечетного N мы принимаем центральный коэффициент $h_{\text{gen}}((N-1)/2)$ равным нулю.[1]

1.3 Описание математической модели

Для синтеза дифференциатора методом наименьших квадратов требования по полосе сигнала и по амплитуде будут аналогичными требованиям для equiripple дифференциатора. Минимальный порядок фильтра, при котором соблюдается требование о неравномерности в полосе пропускания, равен 9. На Рис. 3 представлены параметры настроек фильтра.

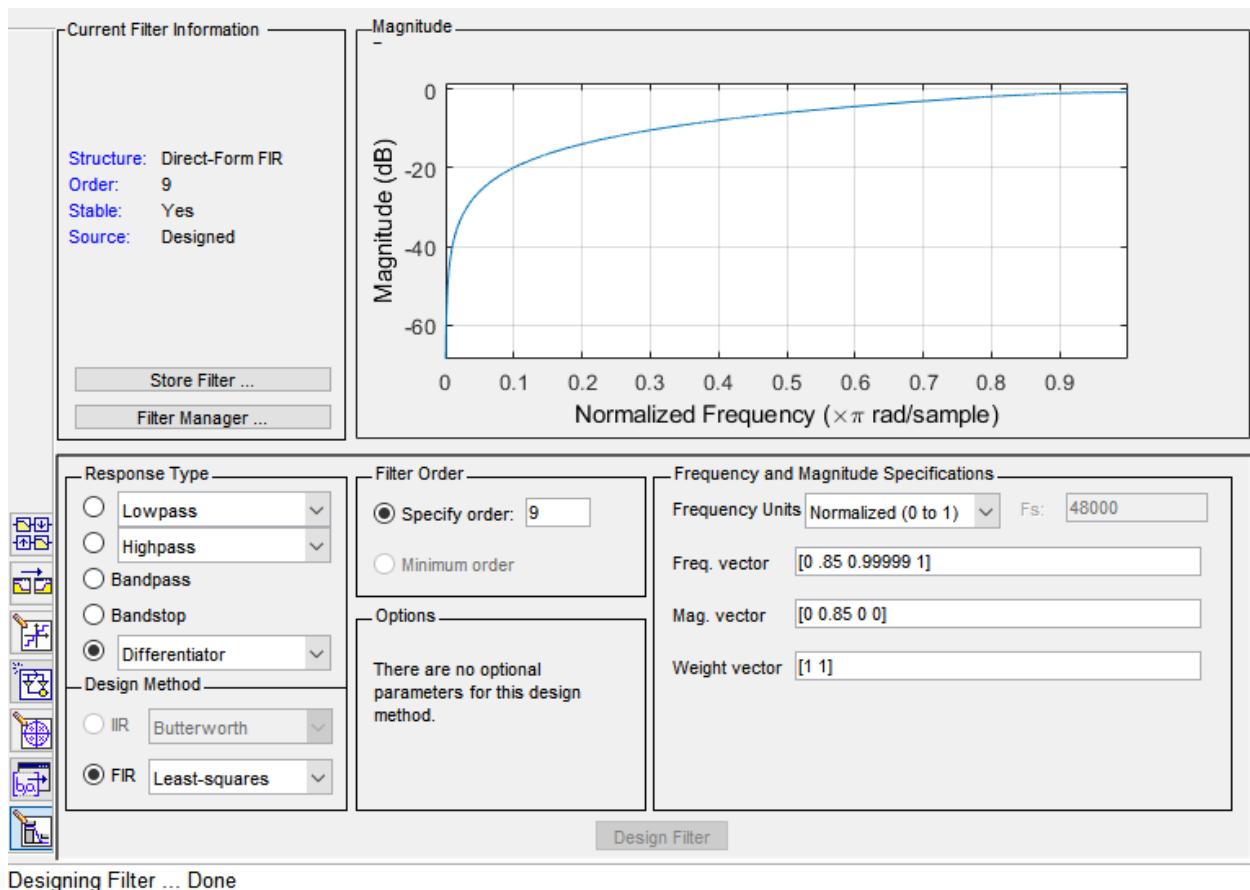


Рис. 3. Параметры настроек фильтра

На Рис. 4 представлена импульсная характеристика equiripple дифференциатора.

На Рис. 5 изображена АЧХ equiripple дифференциатора и прототипа.

На Рис. 6 представлена зависимость неравномерности АЧХ equiripple дифференциатора от нормированной частоты.

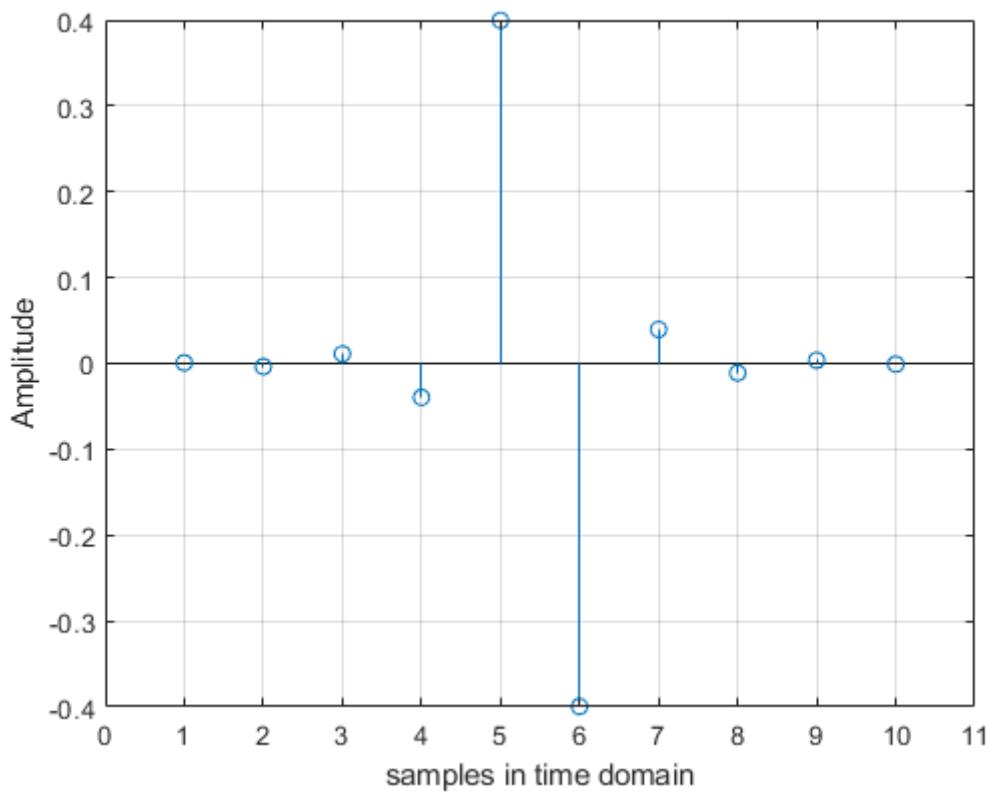


Рис. 4. Импульсная характеристика Least-squares дифференциатора.

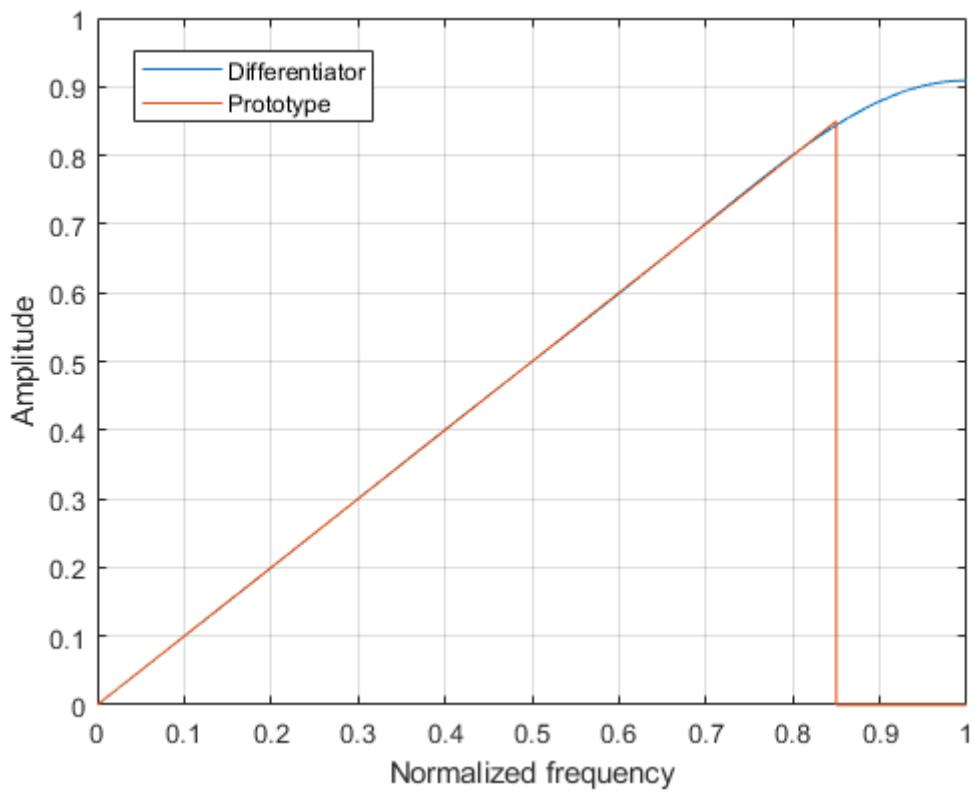


Рис. 5. АЧХ Least-squares дифференциатора и прототипа.

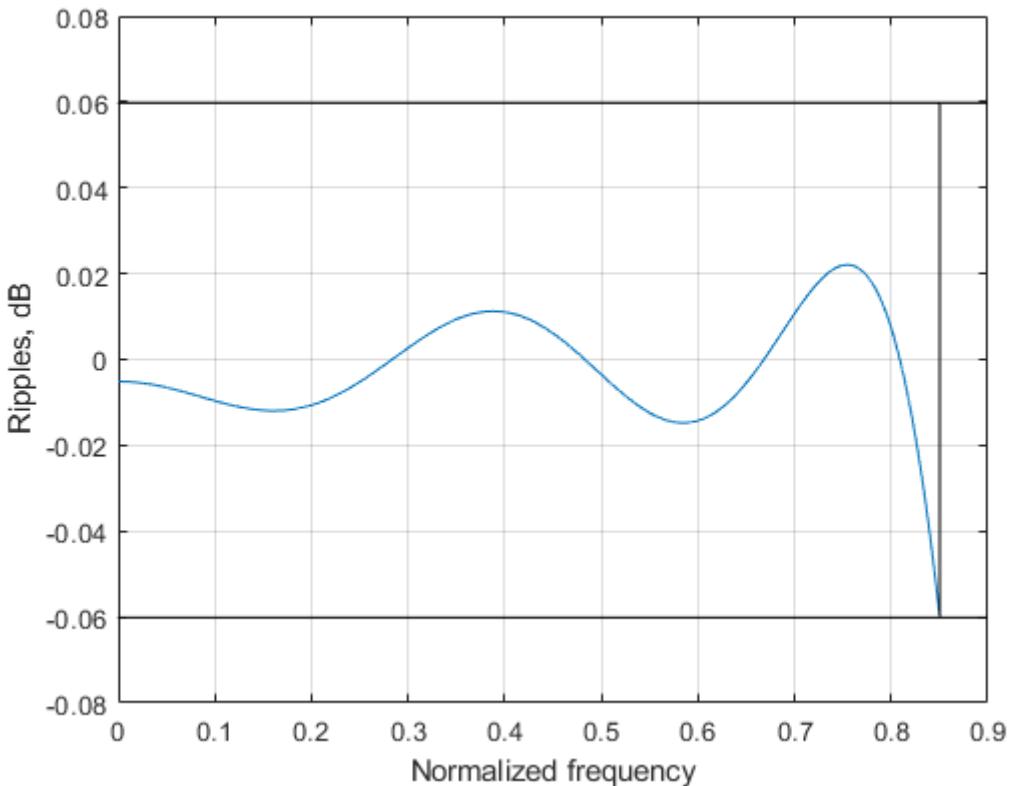


Рис. 6. Неравномерность АЧХ Least-squares дифференциатора и прототипа.

1.3.1 Входной сигнал

Для выполнения работы и определения разрядности блоков необходимо задать амплитудный и частотный диапазон сигнала. Пусть, входной сигнал будет знакопеременным, и на знак будет отводиться 1 разряд входного сигнала. Зададим максимальный входной сигнал как 1, то есть 2^0 . В таком случае LSB будет составлять $2^{17-1} = 0.0000152588$. Так как коэффициент передачи будет на всей полосе меньше 1, минимальный сигнал следует сделать в несколько раз больше, чем LSB. В данном случае возьмем значение 0.00005, после перевода в формат с фиксированной точкой данное значение округляется до 0.0000457764 или 3 LSB. Так как мы имеем дело с большим динамическим диапазоном, то промежуточные амплитуды будем определять как 10^{-n} , где n принимает значения -1, -2, -3.

Для данной работы было решено использовать сигнал со следующими амплитудами: 0.00005, 0.001, 0.01, 0.1, 1.

Для тестирования схемы входной сигнал должен перекрывать большую часть диапазона частот. Максимальную частоту примем равной $0.9 \cdot \frac{f_s}{2}$, минимальную частоту примем равной $0.04 \cdot \frac{f_s}{2}$. Промежуточные частоты постараемся распределить равномерно между максимальной и минимальной частотой. Частоты сигнала: $0.04 \cdot \frac{f_s}{2}$, $0.2 \cdot \frac{f_s}{2}$, $0.4 \cdot \frac{f_s}{2}$, $0.6 \cdot \frac{f_s}{2}$, $0.9 \cdot \frac{f_s}{2}$. Таким образом, удается перекрыть большую часть рабочего диапазона дифференциатора. На Рис. 7 Представлена зависимость входного сигнала от

номера выборки. Так, при помощи данной конфигурации входного сигнала можно провести симуляцию для 5-ти амплитуд и для 5-ти частот.

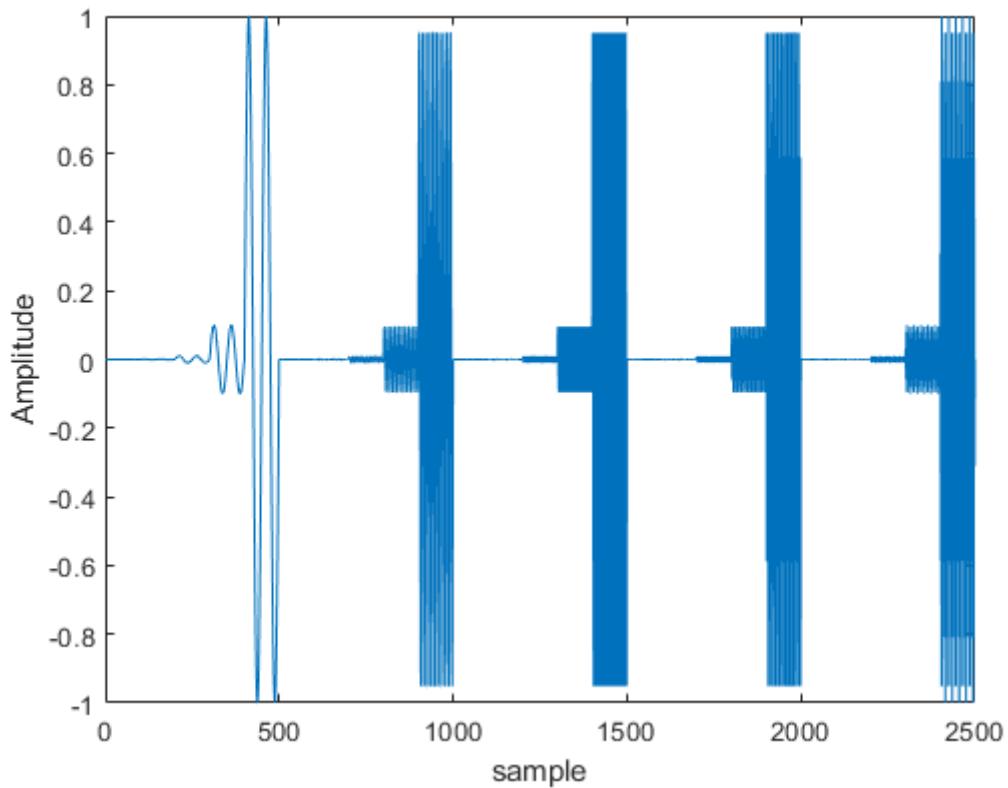


Рис. 7. Входной сигнал.

На рис. 13. Изображена модель дифференциатора, построенного при помощи аппроксимации Least-square.

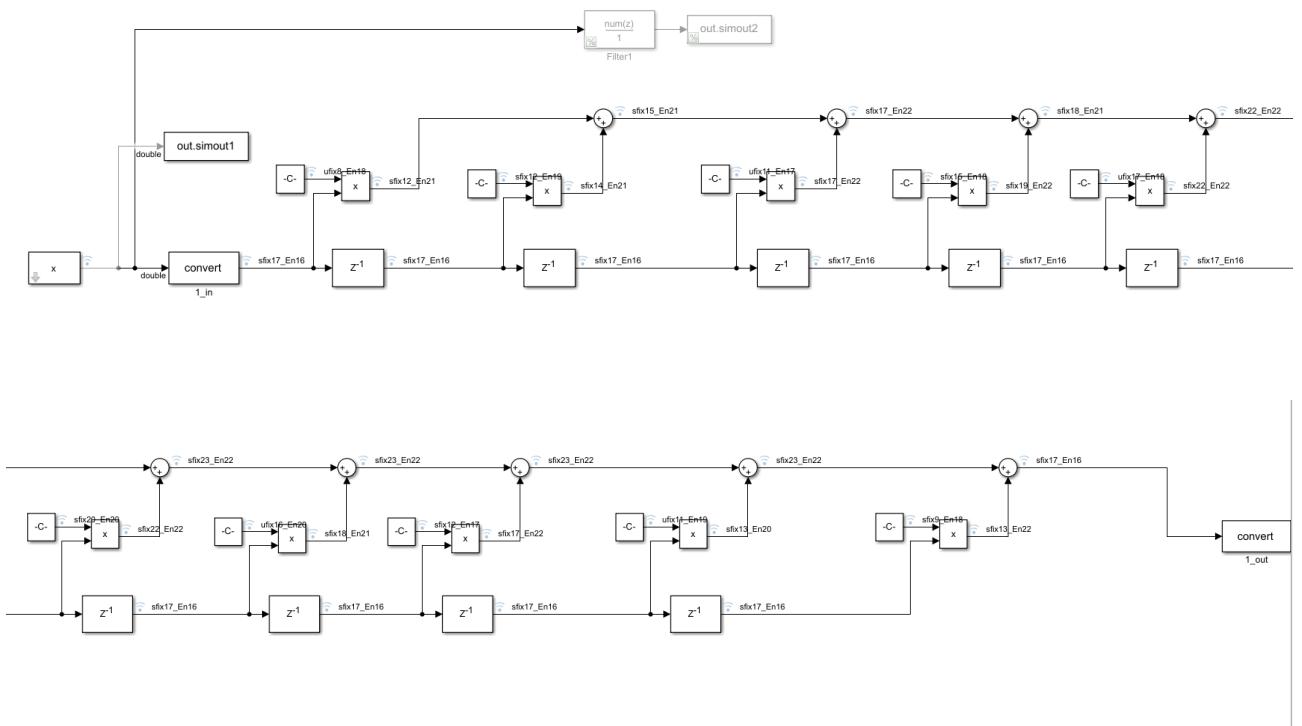


Рис. 8. Модель Least-squares дифференциатора в Simulink.

absolute tolerance = 1 LSB = 2^{-16} = 0.0000152588;
relative tolerance = 0.01%;

На рис. 15 представлен Data inspector для Модели Least-squares

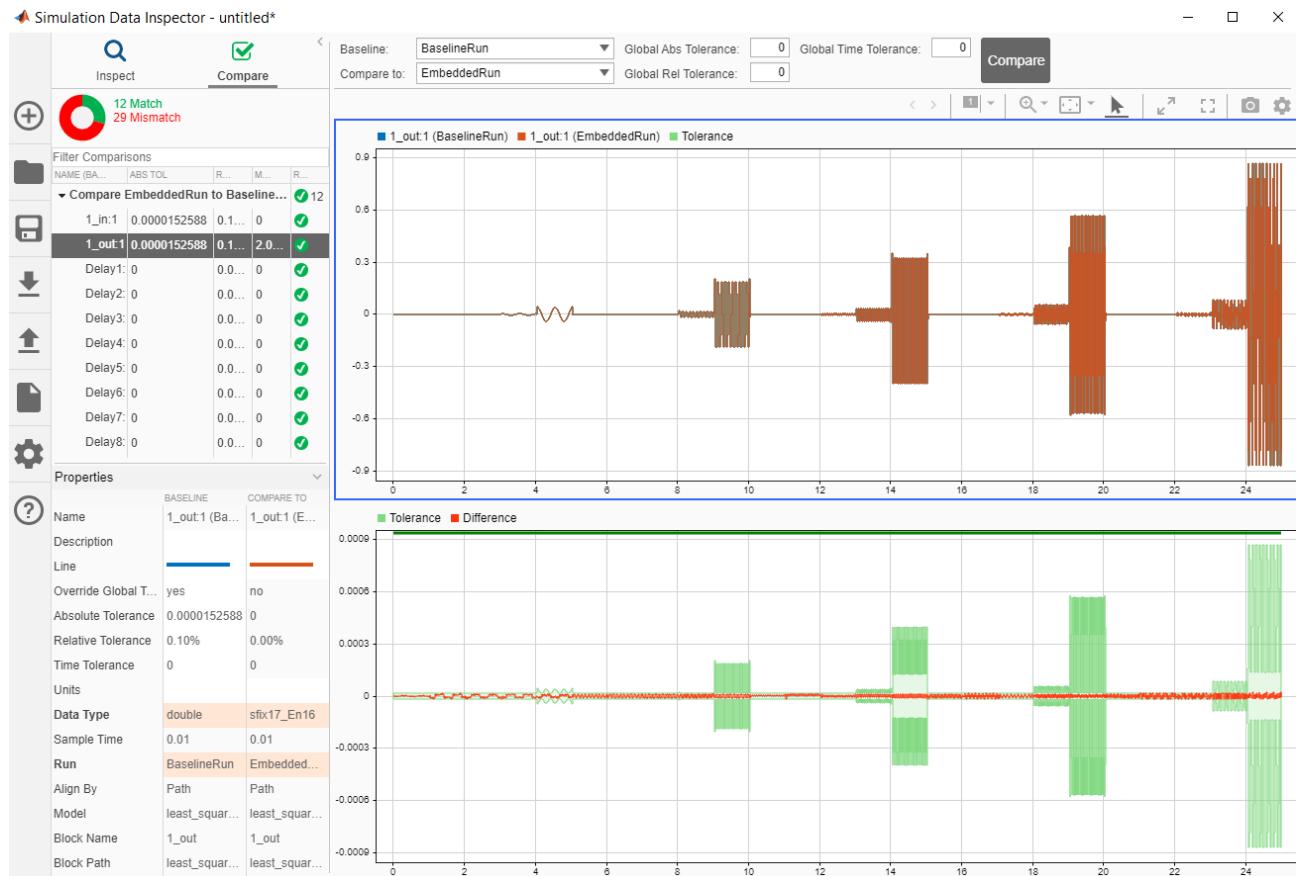


Рис. 9. Data inspector Модель Least-squares.

Использование data broadcast structure

Так как согласно требованиям необходимо построить устройство, у которого критический путь не должен превышать по длине путь через один умножитель и один сумматор или эквивалентный ему, мы изменим имеющуюся структуру на структуру, Представленную на Рис. 10 [2]

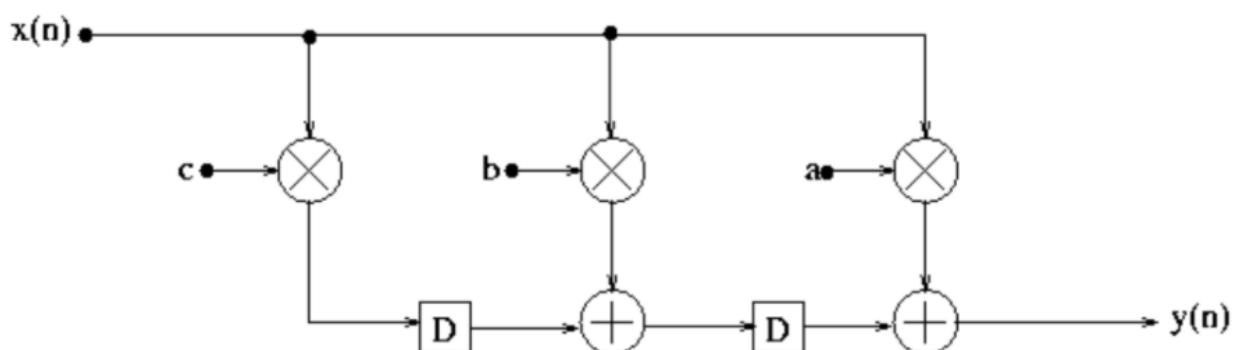


Рис. 10. Структура data broadcast.

2 Основная часть

2.1 Behavioral model

Для создания Verilog кода был применен инструмент HDL coder. После синтеза была переработана структура для увеличения читаемости кода, были удалены элементы кода, а также переработана структура для того, чтобы удовлетворять требованию по критическому пути. Сам Verilog код представлен в appendix 1. Для симуляции работы кода была использована среда cadence Incisive. На Рис. 11и Рис. 12 представлены временные диаграммы работы дифференциатора. Для первого масштаба выбран полный временной интервал анализа. В случае второго масштаба выбран случайный более узкий временной промежуток. Так, сигнал $\text{In1}[16:0]$ представляет из себя входной сигнал, $\text{Out1}[16:0]$ – представляет из себя выходной сигнал дифференциатора. Сигнал clk – тактирующий сигнал дифференциатора. В дальнейшем будут использоваться аналогичные обозначения для сигналов.

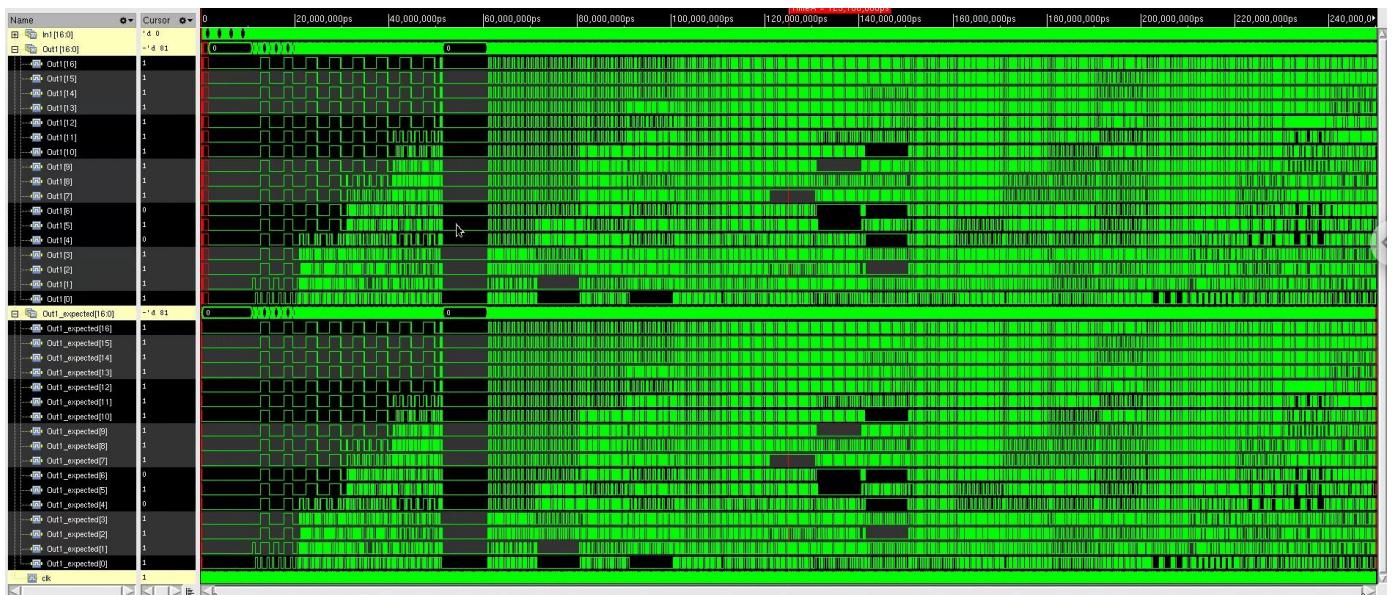


Рис. 11. Временная диаграмма работы дифференциатора (Масштаб 1).

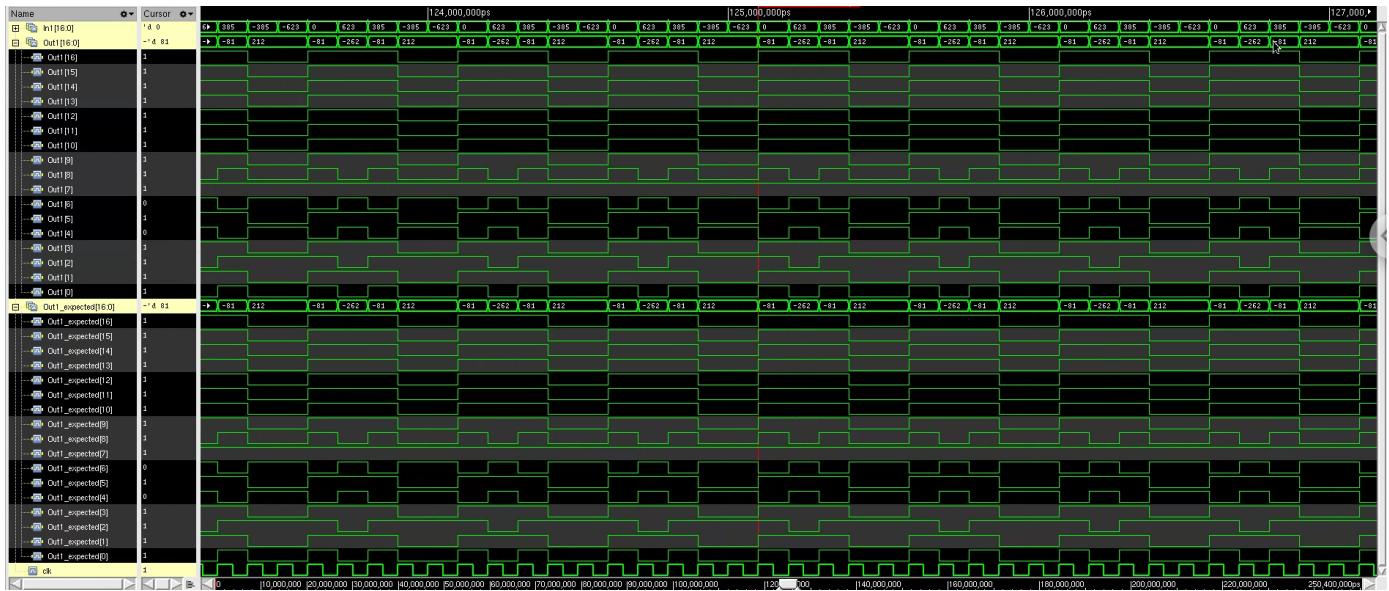


Рис. 12. Временная диаграмма работы дифференциатора (Масштаб 2).

Как видно из указанных временных диаграммам, выходной сигнал соответствует ожидаемому сигналу Out_expected, сгенерированному в matlab. Таким образом, можно сделать вывод, что фильтр работает корректно.

2.2 Synthesis

Для синтеза устройства использовалась среда RTL_Compiler. В качестве технологической библиотеки использовалась библиотека D_CELLS_HD. Для обозначения временных ограничений и частоты тактирующих импульсов был создан файл constraints.sdc. Так, частота тактирующих импульсов равна 20МГц, clock uncertainty равен 5 нс, задержка по входу и выходу чуть меньше половины периода тактирующих импульсов и равна 24.9 нс.

Для проведения синтеза были написаны скрипты: *MyModule.tcl*, *MyModuleMin.tcl*, *MyModuleMax.tcl*. В случае использования *MyModule.tcl* использовались файлы библиотеки для типичного случая, для *MyModuleMin.tcl* использовались файлы библиотеки для наихудшего случая, а для *MyModuleMax.tcl* использовались файлы библиотеки для наилучшего случая.

На Рис. 13 представлена схема дифференциатора после логического синтеза. На Рис. 14 представлен timing report для типичного случая. Как видно из данного отчета, наихудший slack является положительным и составляет 24973 пс. На Рис. 15 и на Рис. 16 представлены timing report для наилучшего и наихудшего случаев соответственно. Наименьший slack при этом для данных случае равен 28738 пс и 8520 пс соответственно.

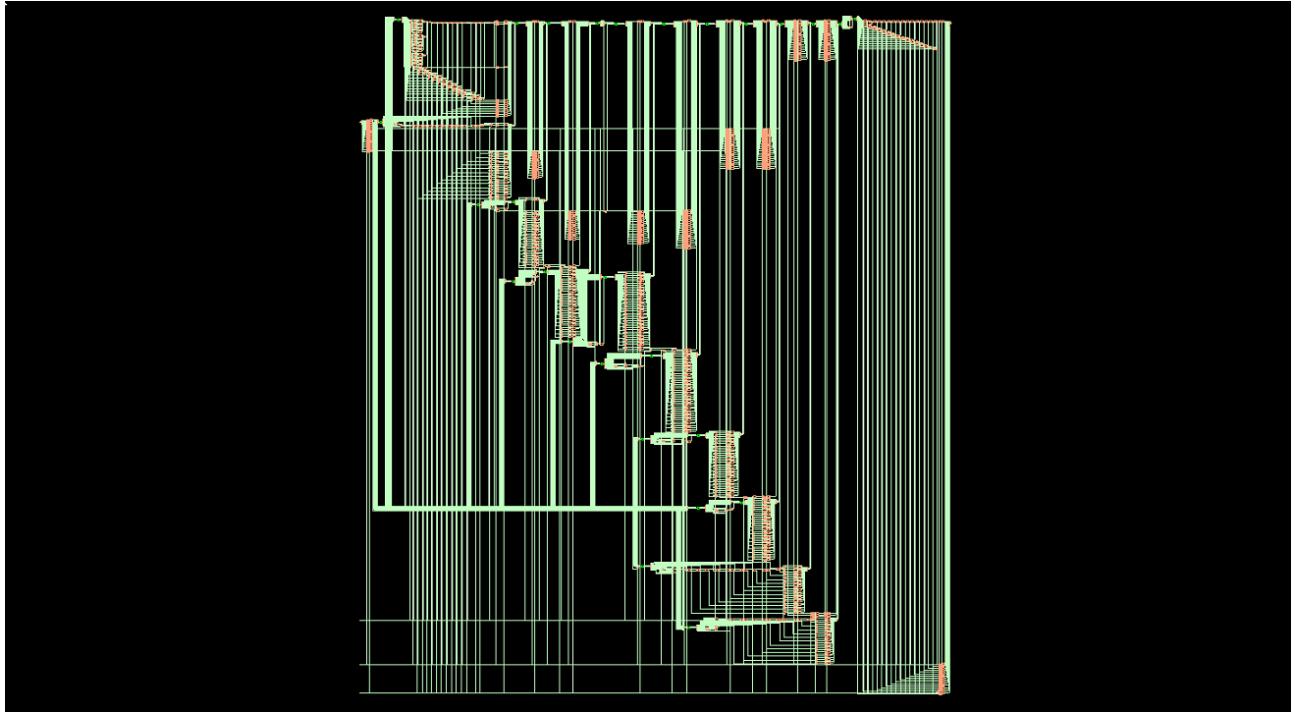


Рис. 13. Схема дифференциатора после логического синтеза.

```
Global incremental optimization status
=====
                                         Group
                                         Tot Wrst
                                         Total Weighted
Operation          Area     Slacks
-----
global_incr        132742      0
Cost Group          Target    Slack   Clock
-----
clk_20MHz          895       24973   50000
```

Рис. 14. Timing report для типичного случая.

```

=====
Generated by: Encounter(R) RTL Compiler RC14.27 - v14.20-s064_1
Generated on: Dec 18 2021 12:20:30 pm
Module: Subsystem
Technology library: D_CELLS_HD_LP5MOS_fast_1_98V_m40C 4.0.0
Operating conditions: fast_1_98V_m40C
Interconnect mode: global
Area mode: physical library
=====

      Pin          Type    Fanout Load Slew   Delay Arrival
                           (fF)   (ps)  (ps)   (ps)
-----
(clock clk_20MHz)    launch
(top.sdc_line_4_10_1) ext delay           +16000  16000 F
In1[6]                in port     1  9.7   0   +0  16000 F
g2474/AN              +
g2474/Q               N02I1HDX1  1  9.7   41  +98 16098 F
In11_reg[6]/D         DFRQHDX1           +0  16098
In11_reg[6]/C         setup        0  +164 16262 R
-----
(clock clk_20MHz)    capture           50000 R
uncertainty           -5000  45000 R
-----
Cost Group : 'clk_20MHz' (path_group 'clk_20MHz')
Timing slack : 28738ps
Start-point : In1[6]
End-point   : In11_reg[6]/D

```

Рис. 15. Timing report для наилучшего случая.

```

143 -----
144 (clock clk_20MHz)    capture           50000 R
145                 uncertainty       -5000  45000 R
146 -----
147 Cost Group : 'clk_20MHz' (path_group 'clk_20MHz')
148 Timing slack : 8250ps
149 Start-point : In11_reg[0]/C
150 End-point   : Product6_out1_2_reg[21]/D

```

Рис. 16. Timing report для наихудшего случая.

На Рис. 18 и Рис. 19 представлены area report для наилучшего и наихудшего случаев соответственно. Так, оценочная площадь кристалла равна 124430 мкм² в наилучшем случае и 124402 мкм² в наихудшем случае.

=====				
Generated by:	Encounter(R) RTL Compiler RC14.27 - v14.20-s064_1			
Generated on:	Dec 20 2021 11:37:27 am			
Module:	Subsystem			
Technology library:	D_CELLS_HD_LP5M05_typ_1_80V_25C 4.0.0			
Operating conditions:	typ_1_80V_25C			
Interconnect mode:	global			
Area mode:	physical library			
=====				
Instance	Cells	Cell Area	Net Area	Total Area
Subsystem	2928	86559	37895	124454
const_mul_93_43	267	7205	2926	10131
const_mul_92_43	202	5961	2322	8283
const_mul_94_43	214	5484	2272	7756
const_mul_95_43	158	4839	1712	6551
const_mul_91_43	169	4651	1749	6401
const_mul_89_43	167	4546	1785	6331
const_mul_96_43	159	4466	1733	6199
const_mul_90_43	150	4300	1649	5949
const_mul_97_45	114	3214	1124	4338
const_mul_156_38	72	2607	764	3371
add_133_32	25	1152	174	1325
add_131_32	23	1121	163	1284
add_129_32	24	1101	166	1268
add_130_32	22	1071	155	1227
add_132_33	21	1021	148	1169
add_128_36	21	1021	148	1169
add_100_36	21	951	144	1095
add_126_35	16	770	111	881
add_125_38	16	700	107	807
inc_add_161_46_3	22	600	155	755
inc_add_160_46_7	22	600	155	755
inc_add_159_45_12	19	517	133	650
inc_add_162_46_4	18	489	126	615
inc_add_127_42_2	18	489	126	615
inc_add_163_46_5	17	462	118	580
inc_add_158_46_11	17	462	118	580
inc_add_134_38_9	17	462	118	580

Рис. 17. Area report для наилучшего случая.

=====				
Generated by:	Encounter(R) RTL Compiler RC14.27 - v14.20-s064_1			
Generated on:	Dec 18 2021 12:20:30 pm			
Module:	Subsystem			
Technology library:	D_CELLS_HD_LP5MOS_fast_1_98V_m40C 4.0.0			
Operating conditions:	fast_1_98V_m40C			
Interconnect mode:	global			
Area mode:	physical library			
=====				
Instance	Cells	Cell Area	Net Area	Total Area
-----	-----	-----	-----	-----
Subsystem	2916	86609	37821	124430
const_mul_93_43	260	7316	2811	10126
const_mul_92_43	206	6094	2322	8416
const_mul_94_43	198	5324	2126	7450
const_mul_95_43	162	4832	1733	6565
const_mul_91_43	172	4636	1782	6419
const_mul_89_43	170	4546	1770	6316
const_mul_96_43	161	4471	1693	6164
const_mul_90_43	144	4280	1584	5864
const_mul_97_45	115	3206	1132	4338
const_mul_156_38	72	2607	764	3371
add_133_32	25	1152	174	1325
add_131_32	23	1121	163	1284
add_129_32	24	1101	166	1268
add_130_32	22	1071	155	1227
add_132_33	21	1021	148	1169
add_128_36	21	1021	148	1169
add_100_36	21	951	144	1095
add_126_35	16	770	111	881
add_125_38	16	700	107	807
inc_add_161_46_3	22	600	155	755
inc_add_160_46_7	22	600	155	755
inc_add_159_45_12	19	517	133	650
inc_add_162_46_4	18	489	126	615
inc_add_127_42_2	18	489	126	615
inc_add_163_46_5	17	462	118	580
inc_add_158_46_11	17	462	118	580
inc_add_134_38_9	17	462	118	580

Рис. 18. Area report для наилучшего случая.

1	=====
2	Generated by: Encounter(R) RTL Compiler RC14.27 - v14.20-s064_1
3	Generated on: Dec 18 2021 12:33:08 pm
4	Module: Subsystem
5	Technology library: D_CELLS_HD_LP5MOS_slow_1_62V_175C 4.0.0
6	Operating conditions: slow_1_62V_175C
7	Interconnect mode: global
8	Area mode: physical library
9	=====
10	
11	Instance Cells Cell Area Net Area Total Area
12	-----
13	Subsystem 2899 86704 37698 124402
14	const_mul_93_43 259 7336 2969 10305
15	const_mul_92_43 202 6076 2276 8352
16	const_mul_94_43 200 5339 2162 7501
17	const_mul_95_43 163 4887 1748 6635
18	const_mul_91_43 170 4666 1770 6437
19	const_mul_89_43 160 4503 1708 6212
20	const_mul_96_43 151 4423 1671 6094
21	const_mul_90_43 146 4328 1595 5922
22	const_mul_97_45 115 3209 1121 4330
23	const_mul_156_38 76 2639 790 3429
24	add_133_32 25 1152 174 1325
25	add_131_32 23 1121 163 1284
26	add_129_32 24 1101 166 1268
27	add_130_32 22 1071 155 1227
28	add_132_33 21 1021 148 1169
29	add_128_36 21 1021 148 1169
30	add_100_36 21 951 144 1095
31	add_126_35 16 770 111 881
32	add_125_38 16 700 107 807
33	inc_add_161_46_3 22 600 155 755
34	inc_add_160_46_7 22 600 155 755
35	inc_add_159_45_12 19 517 133 650
36	inc_add_162_46_4 18 489 126 615
37	inc_add_127_42_2 18 489 126 615
38	inc_add_163_46_5 17 462 118 580
39	inc_add_158_46_11 17 462 118 580
40	inc_add_134_38_9 17 462 118 580

т

Рис. 19. Area report для наихудшего случая.

На Рис. 20 и Рис. 21 представлены временные диаграммы синтезированной схемы для типичного случая, на Рис. 22 и Рис. 23 представлены временные диаграммы синтезированной схемы для наилучшего случая, а на Рис. 24 и Рис. 25 представлены временные диаграммы синтезированной схемы для наихудшего случая. Во всех представленных случаях выходной сигнал Out1 советует ожидаемому сигналу Out1_expected.



Рис. 20. Временная диаграмма для синтезированной схемы (typ) (Масштаб 1).

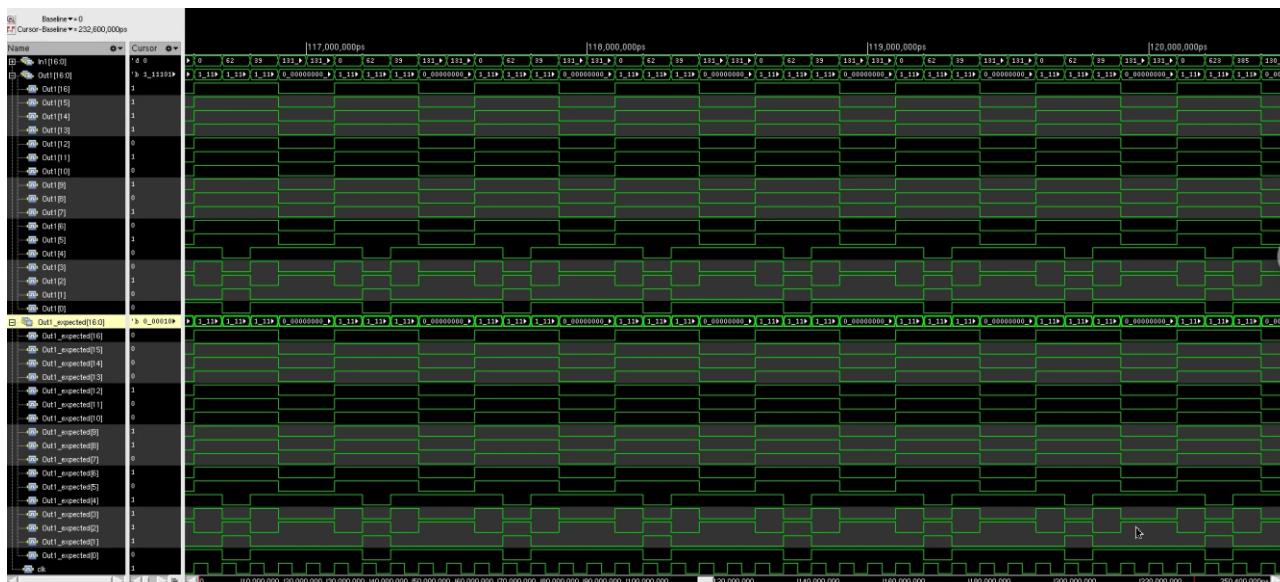


Рис. 21 Временная диаграмма для синтезированной схемы (typ) (Масштаб 2).



Рис. 22. Временная диаграмма для синтезированной схемы (max) (Масштаб 1).



Рис. 23 Временная диаграмма для синтезированной схемы (max) (Масштаб 2).

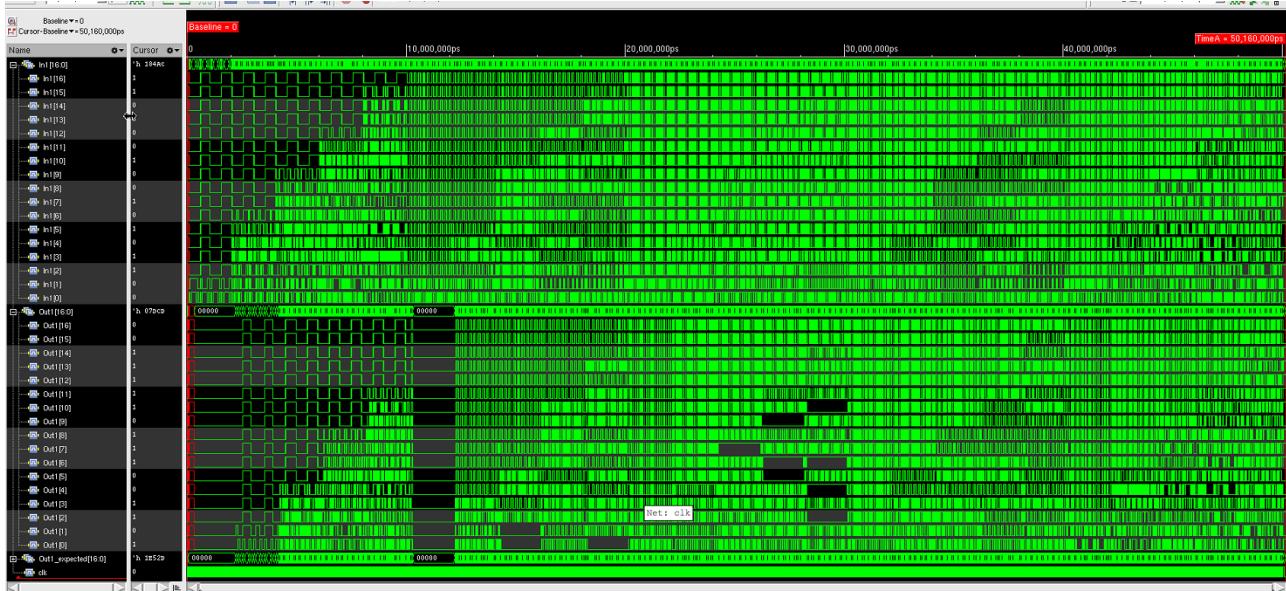


Рис. 24. Временная диаграмма для синтезированной схемы (min) (Масштаб 1).

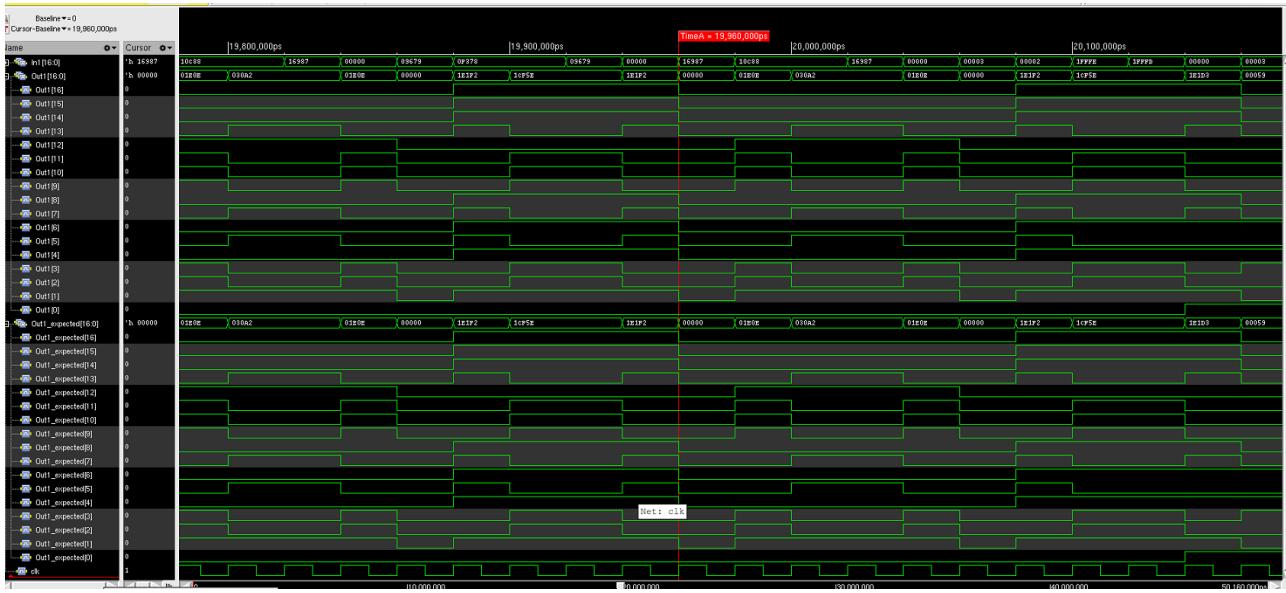


Рис. 25. Временная диаграмма для синтезированной схемы (min) (Масштаб 2).

2.3 Layout

Создание топологии производилось в среде Encounter. Для её создания были составлены файлы MMMC.tcl, включающий в себя информацию об устройствах из технологической библиотеки при различном разбросе технологических параметров, различной температуре и напряжении питания. Также был создан файл Module_pins, в котором описывалось положение пинов в топологии. Файл constraints.sdc аналогичен созданному ранее файлу.

На этапе проектирования floorplan было выбрано соотношение сторон 1:1, а core utilization ratio была выбрана равной 0.5, так как при большем значении данного параметра дальнейшая оптимизация становится менее эффективной, и в результате конечная топология имеет отрицательное значение slack по hold либо по setup.

На Рис. 26 представлена сгенерированная топология. Длина и ширина топологии получились равными 438 мкм. Соответственно её площадь равна 191844 мкм²

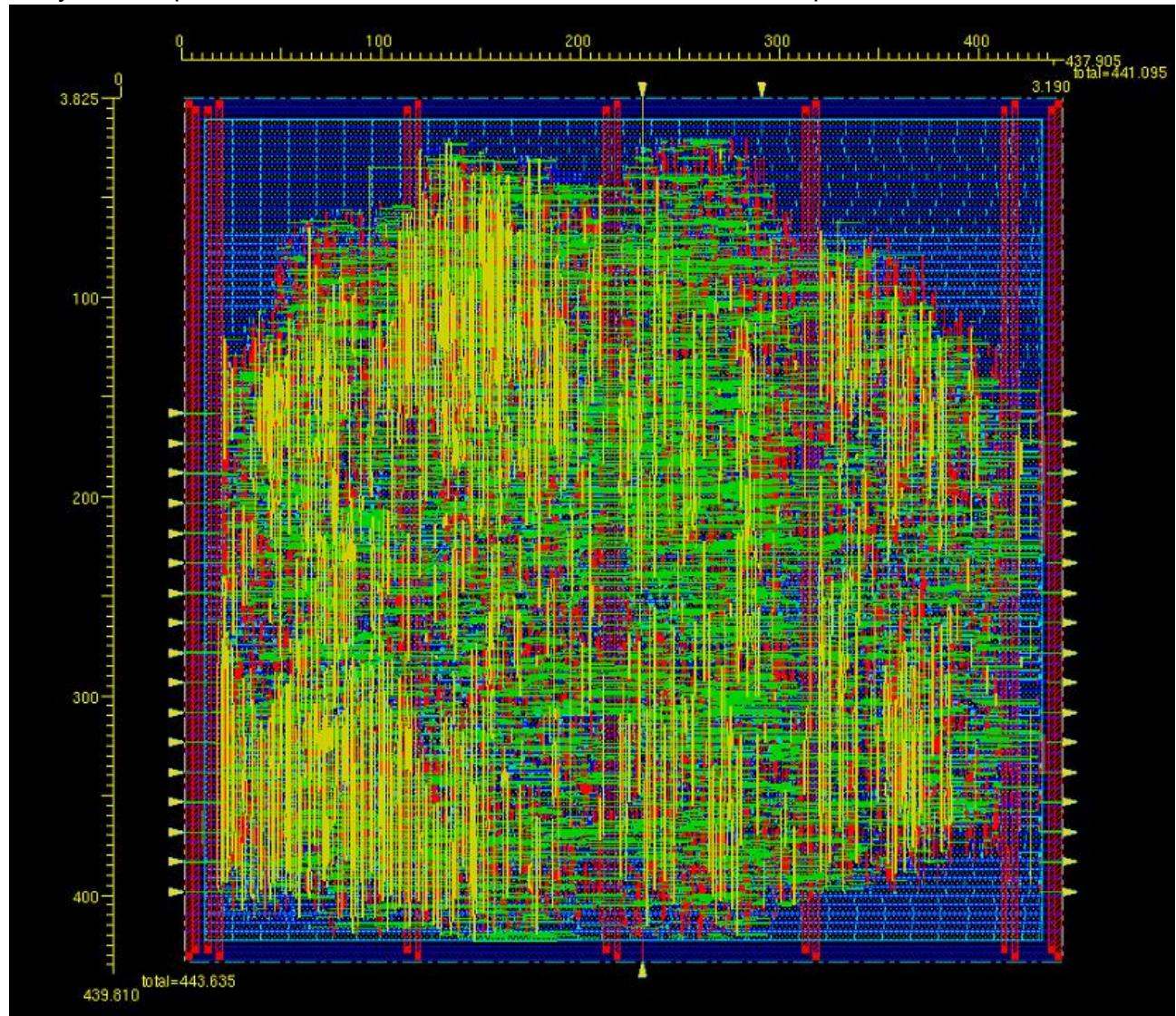


Рис. 26. Топология для дифференциатора.

На Рис. 27 и на Рис. 28 представлены signoff timing report setup mode и signoff timing report hold mode соответственно. Так, в режиме setup минимальный slack равен 0.095, а в режиме hold минимальный slack равен 0.008. Никаких timing violations обнаружено не было.

```

1 #####
2 # Generated by: Cadence Encounter 14.28-s033_1
3 # OS: Linux x86_64(Host ID Cadence_SERVER)
4 # Generated on: Wed Dec 15 18:34:25 2021
5 # Design: Subsystem
6 # Command: timeDesign -signoff -pathReports -slackReports -numPaths 50 -prefix Subsystem_signOff -outDir timingReports
7 #####
8
9 -----
10      timeDesign Summary
11 -----
12
13 +-----+-----+-----+
14 | Setup mode | all | reg2reg | default |
15 +-----+-----+-----+
16 | WNS (ns):| 0.095 | 0.095 | 10.974 |
17 | TNS (ns):| 0.000 | 0.000 | 0.000 |
18 | Violating Paths:| 0 | 0 | 0 |
19 | All Paths:| 458 | 407 | 424 |
20 +-----+-----+-----+
21
22 +-----+-----+-----+
23 |          Real           |       Total      |
24 | DRVs      | Nr nets(terms) | Worst Vio   | Nr nets(terms) |
25 |          +-----+-----+-----+
26 +-----+-----+-----+
27 | max_cap  | 0 (0)        | 0.000        | 0 (0)        |
28 | max_tran | 0 (0)        | 0.000        | 0 (0)        |
29 | max_fanout| 0 (0)        | 0            | 0 (0)        |
30 | max_length| 0 (0)        | 0            | 0 (0)        |
31 +-----+-----+-----+
32
33 Density: 109.170%
34 Total number of glitch violations: 0
35 -----

```

Рис. 27. signoff timing report setup mode.

```

1 #####
2 # Generated by: Cadence Encounter 14.28-s033_1
3 # OS: Linux x86_64(Host ID Cadence_SERVER)
4 # Generated on: Wed Dec 15 18:35:33 2021
5 # Design: Subsystem
6 # Command: timeDesign -signoff -hold -pathReports -slackReports -numPaths 50 -prefix Subsystem_signOff -outDir timingReports
7 #####
8
9 -----
10      timeDesign Summary
11 -----
12
13 +-----+-----+-----+
14 | Hold mode | all | reg2reg | default |
15 +-----+-----+-----+
16 | WNS (ns):| 0.008 | 0.008 | 0.091 |
17 | TNS (ns):| 0.000 | 0.000 | 0.000 |
18 | Violating Paths:| 0 | 0 | 0 |
19 | All Paths:| 441 | 407 | 407 |
20 +-----+-----+-----+
21
22 Density: 109.170%
23 -----

```

Рис. 28. Signoff timing report hold mode.

На Рис. 29 и Рис. 30 представлены временные диаграммы сгенерировано нетлиста для типичного случая. На Рис. 31 и Рис. 32 представлены временные диаграммы сгенерировано нетлиста для наилучшего случая. На Рис. 33 и Рис. 34 представлены временные диаграммы сгенерировано нетлиста для наихудшего случая. Во всех случаях выходной сигнал Out1 советует ожидаемому сигналу Out1_expected, что свидетельствует о корректной работе схемы после создания топологии.



. Временная диаграмма для сгенерированного нетлиста (typ) (Масштаб 1).



Рис. 29. Временная диаграмма для сгенерированного нетлиста (typ) (Масштаб 1).

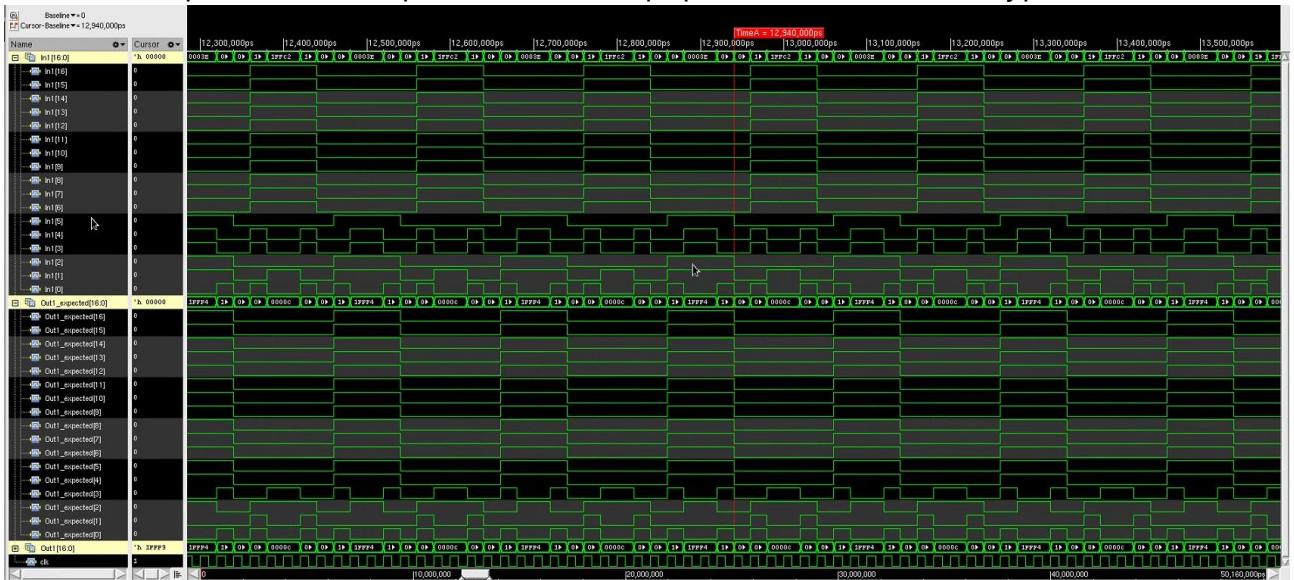


Рис. 30. Временная диаграмма для сгенерированного нетлиста (typ) (Масштаб 2).



Рис. 31. Временная диаграмма для сгенерированного нетлиста (max) (Масштаб 1).

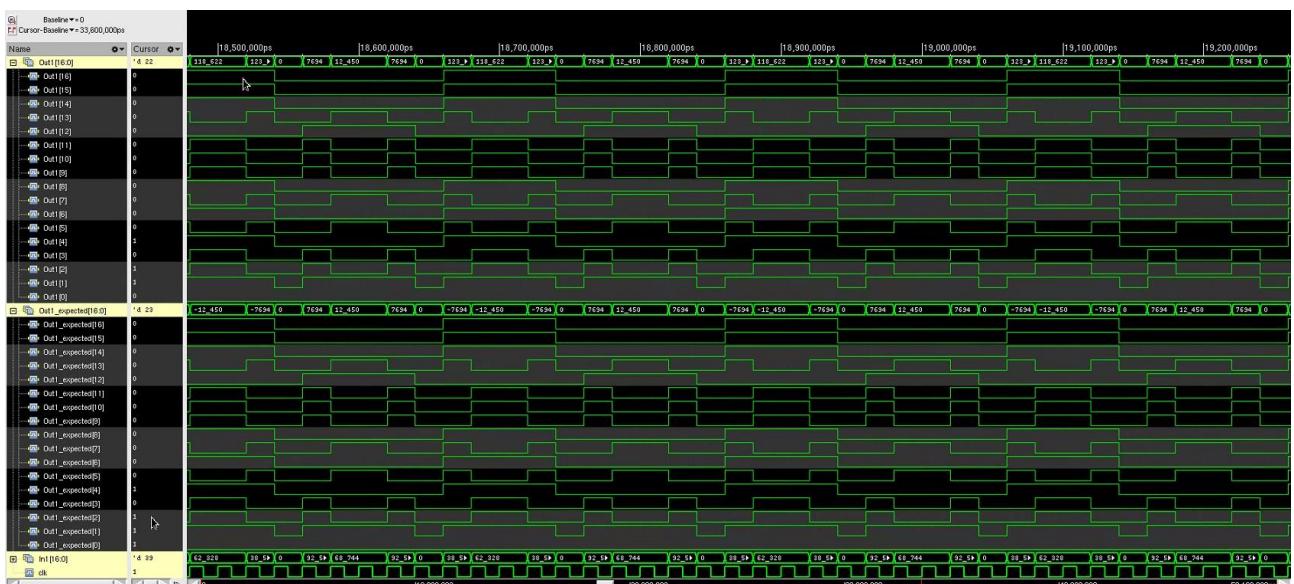


Рис. 32. Временная диаграмма для сгенерированного нетлиста (max) (Масштаб 2).



Рис. 33. Временная диаграмма для сгенерированного нетлиста (min) (Масштаб 1).



Рис. 34. Временная диаграмма для сгенерированного нетлиста (min) (Масштаб 2).

2.4 Verification

Для проведения верификации были импортированы файл нетлиста `top_netlist_Phys.v` с добавленными филлерами и сгенерированный в `Encounter def` файл `Top.def`.

На Рис. 35 представлена Схема синтезированной схемы в `Virtuoso`.

На Рис. 36 представлена топология дифференциатора в `Virtuoso`. На Рис. 37 представлен результат проверки DRC. Никаких ошибок по DRC не возникло. На Рис. 38, Рис. 39, Рис. 40 представлен результат проверки LVS.

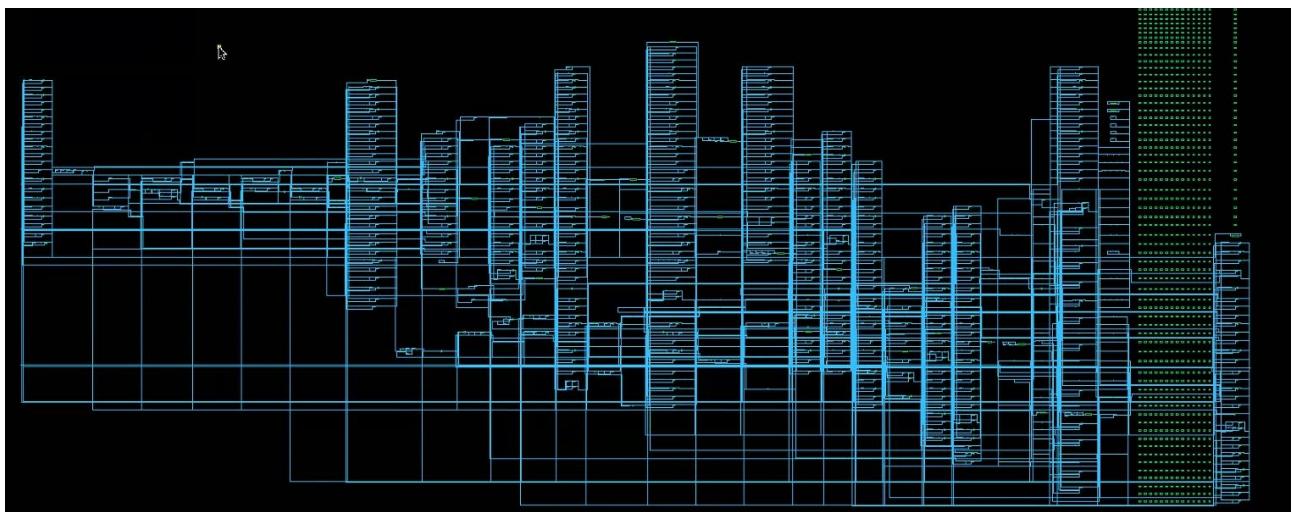


Рис. 35. Схема синтезированной схемы в Virtuoso.

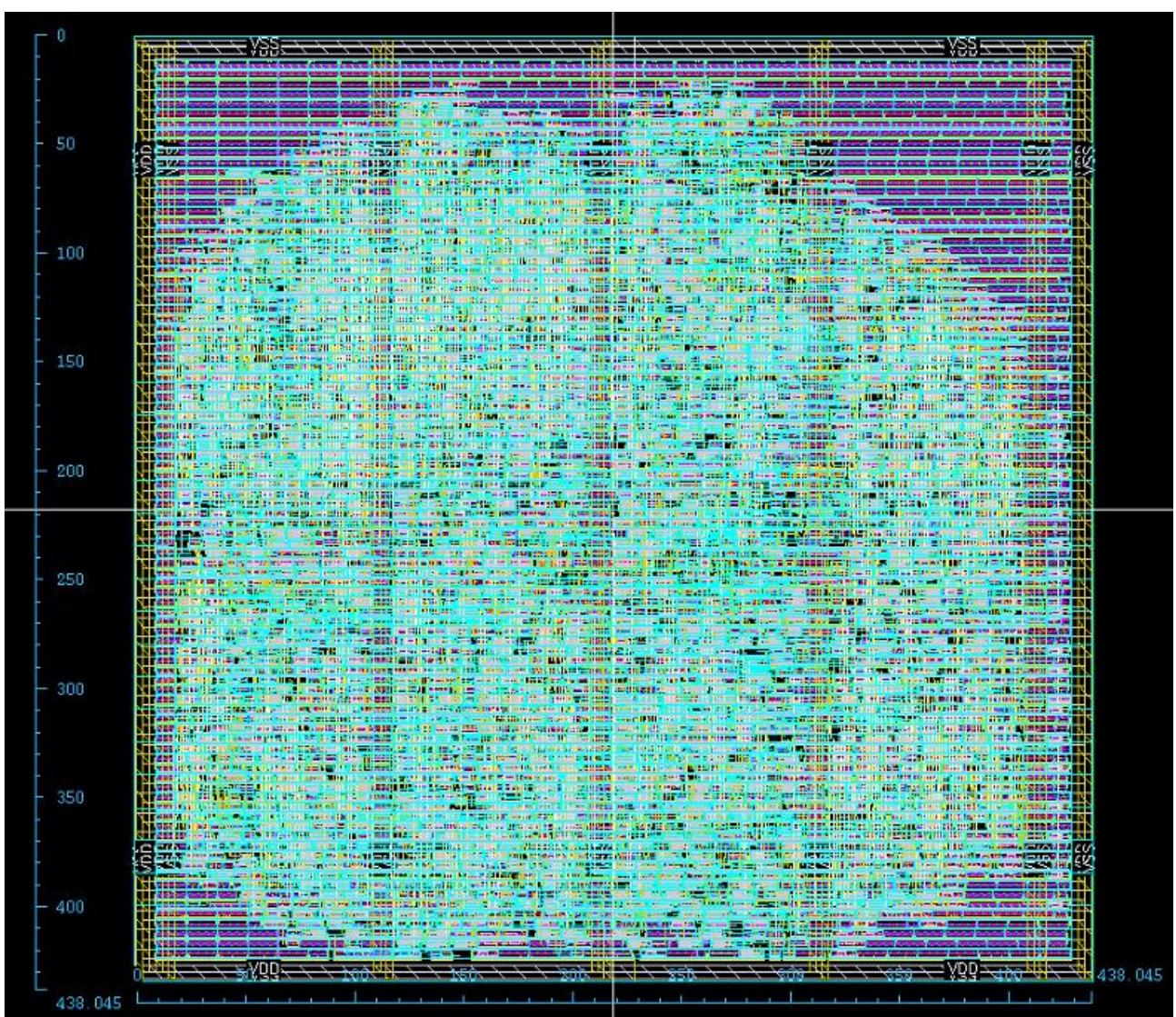


Рис. 36. Топология дифференциатора в Virtuoso.

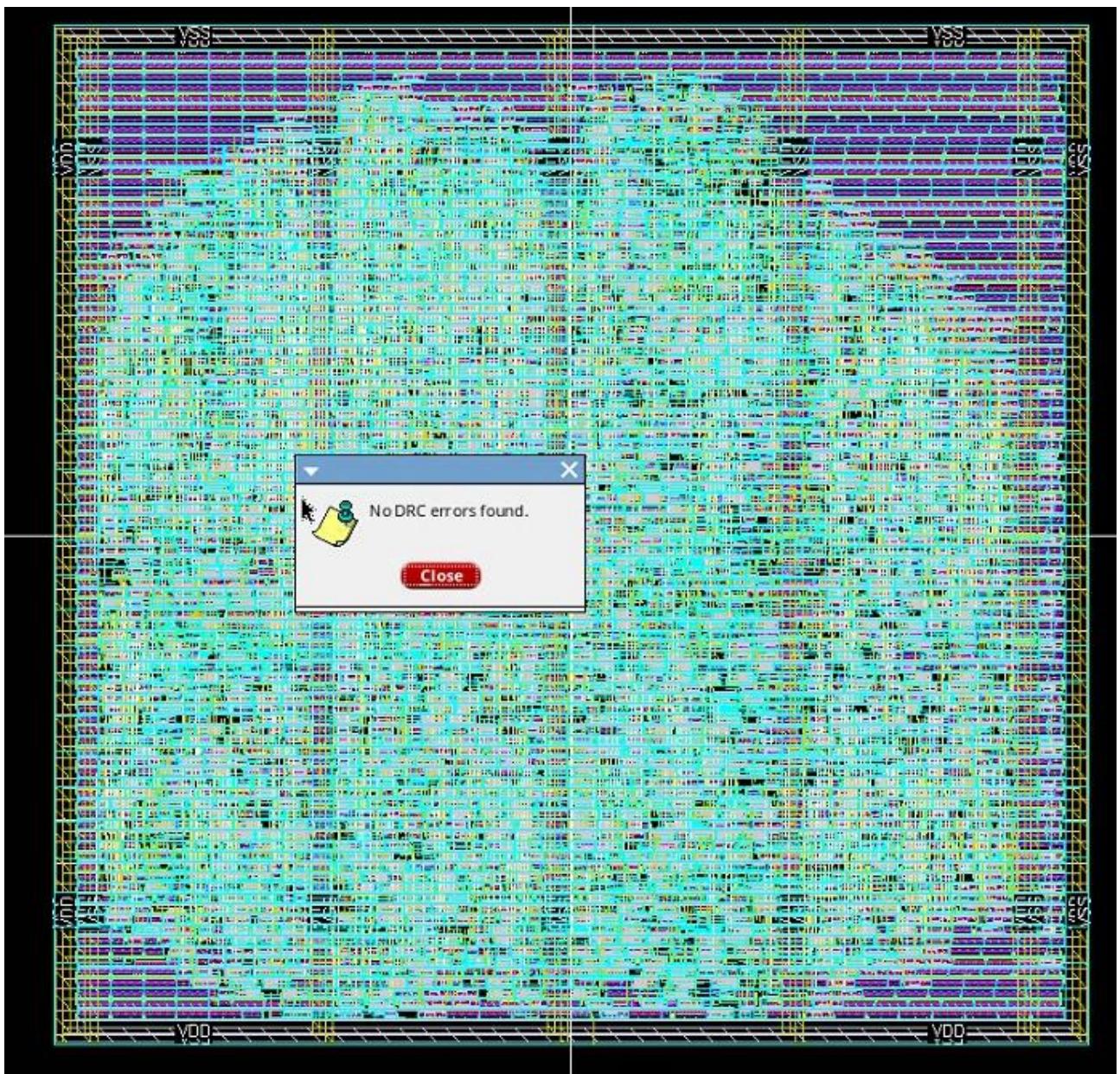


Рис. 37. Результат проверки DRC

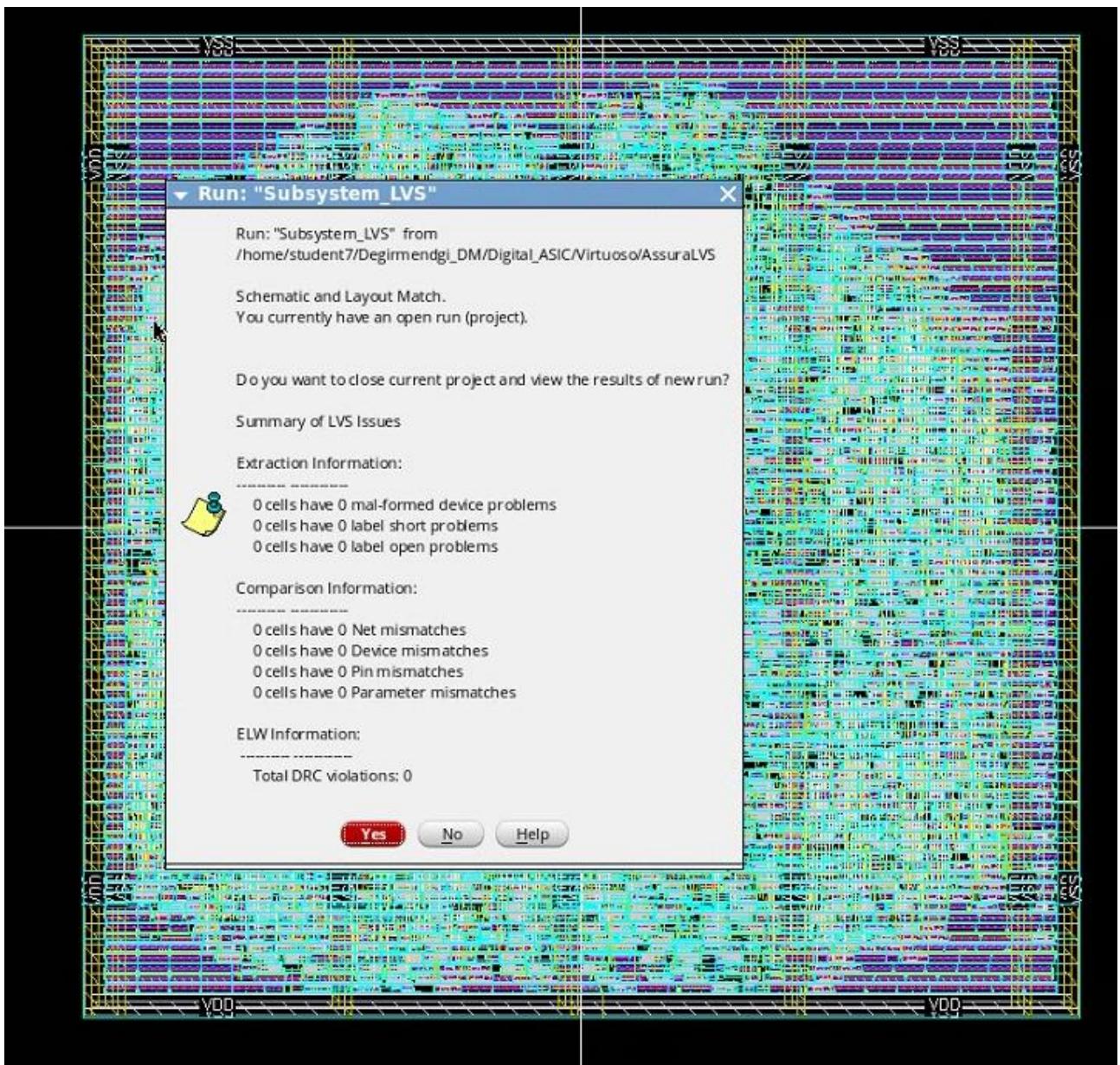


Рис. 38. Результат проверки LVS.

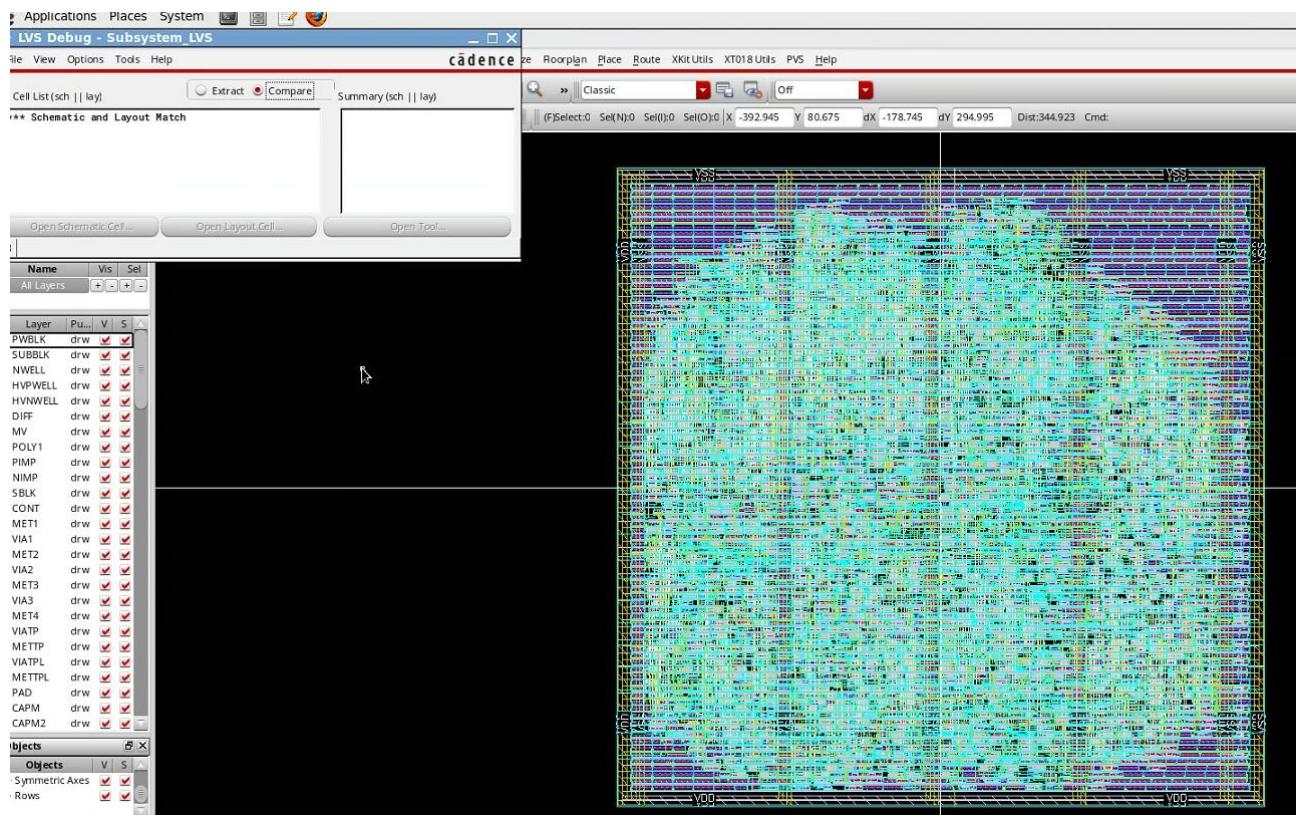


Рис. 39. Результат проверки LVS compare.

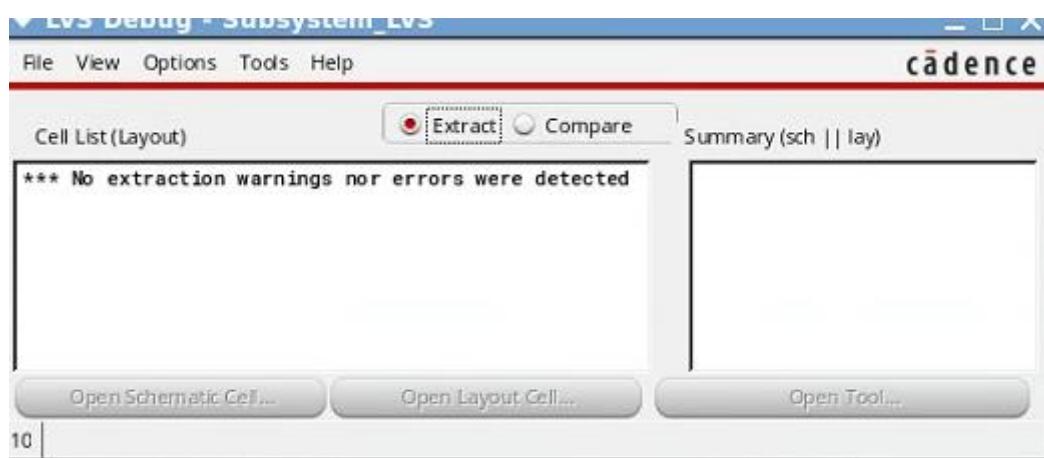


Рис. 40. Результат проверки LVS extract.

Заключение

В ходе проведенной работы был создан Verilog файл, описывающий работу цифрового дифференциатора, был проведен синтез устройства в RTL Compiler, Сгенерирована топология в Encounter и проведена верификация в Virtuoso. Между каждым шагом была проведена симуляция для проверки корректности работы устройства. Согласно полученным результатам, удалось создать топологию интегральной схемы, функционирующую в соответствии с разработанной ранее математической моделью.

3 Appendix

3.1 Verilog файл, описывающий дифференциатор «Subsustem.v»

```
`timescale 1 ns / 1 ps
```

```
module Subsystem
    (clk,
     reset,
     clk_enable,
     In1,
     Out1
    );
    input clk;
    input reset;
    input clk_enable;
    input signed [16:0] In1; // sfix17_En16
    output reg signed [16:0] Out1; // sfix17_En16

    reg signed [16:0] In11;

    wire enb;
    wire signed [8:0] Constant1_out1=9'b011010001 ;
    wire signed [11:0] Constant2_out1=12'sb100010010101;
    wire signed [11:0] Constant3_out1= 11'b010110101001;
    wire signed [14:0] Constant4_out1= 15'sb101011110001011;
    wire signed [17:0] Constant5_out1= 17'b011001100100100101;
    wire signed [19:0] Constant6_out1=20'sb10011001101101101011;
    wire signed [16:0] Constant7_out1=16'b01010000111010101;
    wire signed [11:0] Constant8_out1=12'sb101001010111;
    wire signed [11:0] Constant9_out1 = 11'b11101101011;
    wire signed [8:0] Constant10_out1=9'sb100101111;

    reg signed [16:0] In1_1; // sfix17_En16
```

```
reg signed [24:0] Product1_out1_1; // sfix25_En34
wire signed [28:0] Product2_out1_1; // sfix29_En35
wire signed [27:0] Product3_out1_1; // sfix28_En33
wire signed [31:0] Product4_out1_1; // sfix32_En34
wire signed [33:0] Product5_out1_1; // sfix34_En34
wire signed [36:0] Product6_out1_1; // sfix37_En36
wire signed [32:0] Product7_out1_1; // sfix33_En36
wire signed [28:0] Product8_out1_1; // sfix29_En33
wire signed [27:0] Product9_out1_1; // sfix28_En35
wire signed [25:0] Product10_out1_1; // sfix26_En34
```

```
reg signed [11:0] Product1_out1_2; // sfix12_En21
reg signed [13:0] Product2_out1_2; // sfix14_En21
reg signed [16:0] Product3_out1_2; // sfix17_En22
reg signed [18:0] Product4_out1_2; // sfix19_En22
reg signed [21:0] Product5_out1_2; // sfix22_En22
reg signed [21:0] Product6_out1_2; // sfix22_En22
reg signed [17:0] Product7_out1_2; // sfix18_En21
reg signed [16:0] Product8_out1_2; // sfix17_En22
reg signed [12:0] Product9_out1_2; // sfix13_En20
reg signed [12:0] Product10_out1_2; // sfix13_En22
```

```
reg signed [11:0] Product1_out1_22; // sfix12_En21
reg signed [13:0] Product2_out1_22; // sfix14_En21
reg signed [16:0] Product3_out1_22; // sfix17_En22
reg signed [18:0] Product4_out1_22; // sfix19_En22
reg signed [21:0] Product5_out1_22; // sfix22_En22
reg signed [21:0] Product6_out1_22; // sfix22_En22
reg signed [21:0] Product7_out1_22; // sfix18_En21
reg signed [16:0] Product8_out1_22; // sfix17_En22
reg signed [12:0] Product9_out1_22; // sfix13_En20
reg signed [12:0] Product10_out1_22; // sfix13_En22
```

```
wire signed [17:0] Sum3_add_cast; // sfix18_En22
wire signed [22:0] Sum5_add_cast; // sfix23_En22
```

```
wire signed [23:0] Sum7_add_cast_1; // sfix24_En22
wire signed [23:0] Sum9_add_cast_1; // sfix24_En22
```

```

reg signed [14:0] Sum2_out1; // sfix15_En21
reg signed [16:0] Sum3_out1; // sfix17_En22
reg signed [17:0] Sum4_out1; // sfix18_En21
reg signed [21:0] Sum5_out1; // sfix22_En22
reg signed [22:0] Sum6_out1; // sfix23_En22
reg signed [22:0] Sum7_out1; // sfix23_En22
reg signed [22:0] Sum8_out1; // sfix23_En22
reg signed [22:0] Sum9_out1; // sfix23_En22
reg signed [23:0] Sum10_out1;
reg signed [16:0] Sum10_out2;
reg signed [16:0] Sum10_out3;

wire signed [19:0] Sum4_add_temp; // sfix20_En22

assign enb = 1;

assign Product2_out1_1 = Constant2_out1 * In11;// Product2_out1;
assign Product3_out1_1 = Constant3_out1 * In11;//Product3_out1;
assign Product4_out1_1 = Constant4_out1 * In11;//Product4_out1;
assign Product5_out1_1 = Constant5_out1 * In11;//Product5_out1;
assign Product6_out1_1 = Constant6_out1 * In11;//Product6_out1;
assign Product7_out1_1 = Constant7_out1 *In11;// Product7_out1;
assign Product8_out1_1 = Constant8_out1 * In11;//; Product8_out1;
assign Product9_out1_1 = Constant9_out1 * In11;//;Product9_out1;
assign Product10_out1_1 = Constant10_out1 * In11;// Product10_out1;

assign Sum3_add_cast = {{2{Sum2_out1[14]}}, {Sum2_out1, 1'b0}};
assign Sum4_add_temp = Sum3_out1 + Product4_out1_2;
assign Sum5_add_cast = {{4{Sum4_out1[17]}}, {Sum4_out1, 1'b0}};
assign Sum7_add_cast_1 = {{5{Product7_out1_2[17]}}, {Product7_out1_2, 1'b0}};
assign Sum9_add_cast_1 = {{9{Product9_out1_2[12]}}, {Product9_out1_2, 2'b00}};
```

```

always @(posedge clk)
begin
if (reset == 1'b1) begin
    In11<=0;
    Product1_out1_2 <= 0;
    Sum2_out1 <= 0;
    Sum3_out1 <= 0;
    Sum4_out1 <= 0;
    Sum5_out1 <= 0;
```

```

    Sum6_out1 <= 0;
    Sum7_out1 <= 0;
    Sum8_out1 <= 0;
    Sum9_out1 <= 0;
    Out1 <= 0;
end
else
begin
    In11<=In1;
    Product1_out1_2      <=      Product1_out1_1[24:13]+      $signed({1'b0,
Product1_out1_1[24] & (|Product1_out1_1[12:0])});
    Sum2_out1 <= Product1_out1_2 + Product2_out1_2;
    Sum3_out1 <= Sum3_add_cast+ Product3_out1_2;
    Sum4_out1 <= Sum4_add_temp[18:1] + $signed({1'b0, Sum4_add_temp[19] &
Sum4_add_temp[0]});
    Sum5_out1 <= Sum5_add_cast + Product5_out1_2;
    Sum6_out1 <= Sum5_out1 + Product6_out1_2;
    Sum7_out1 <= Sum6_out1 + Sum7_add_cast_1;
    Sum8_out1 <= Sum7_out1 + Product8_out1_2;
    Sum9_out1 <= Sum8_out1 + Sum9_add_cast_1;
    Sum10_out1 = Sum9_out1 + Product10_out1_2;
    Sum10_out2=(Sum10_out1[22:6]      +      $signed({1'b0,      Sum10_out1[23]      &
(|Sum10_out1[5:0])}));
    Sum10_out3<=Sum10_out2;
    Out1 <= -Sum10_out3;
end
end
always @(posedge clk)
begin
if (reset == 1'b1) begin
Product1_out1_1 <=0;// Product1_out1;
Product2_out1_2 <=0;
Product3_out1_2 <= 0;
Product4_out1_2 <= 0;
Product5_out1_2 <= 0;
Product6_out1_2 <= 0;
Product7_out1_2 <= 0;
Product8_out1_2 <= 0;
Product9_out1_2 <= 0;
Product10_out1_2 <=0;
end
else begin

```

```

if (enb) begin

    Product1_out1_1 <= Constant1_out1 * In11;// Product1_out1;
    Product2_out1_2 <= Product2_out1_1[27:14] + $signed({1'b0, Product2_out1_1[28]
& (|Product2_out1_1[13:0])});
    Product3_out1_2 <= Product3_out1_1[27:11] + $signed({1'b0, Product3_out1_1[27]
& (|Product3_out1_1[10:0])});
    Product4_out1_2 <= Product4_out1_1[30:12]+ $signed({1'b0, Product4_out1_1[31] &
(|Product4_out1_1[11:0])});
    Product5_out1_2 <= Product5_out1_1[33:12] + $signed({1'b0, Product5_out1_1[33]
& (|Product5_out1_1[11:0])});
    Product6_out1_2 <= Product6_out1_1[35:14] + $signed({1'b0, Product6_out1_1[36]
& (|Product6_out1_1[13:0])});
    Product7_out1_2 <= Product7_out1_1[32:15] + $signed({1'b0, Product7_out1_1[32]
& (|Product7_out1_1[14:0])});
    Product8_out1_2 <= Product8_out1_1[27:11] + $signed({1'b0, Product8_out1_1[28]
& (|Product8_out1_1[10:0])});
    Product9_out1_2 <= Product9_out1_1[27:15] + $signed({1'b0, Product9_out1_1[27]
& (|Product9_out1_1[14:0])});
    Product10_out1_2      <=      Product10_out1_1[24:12]      +      $signed({1'b0,
Product10_out1_1[25] & (|Product10_out1_1[11:0])});

    end
    end
end

endmodule

```

3.2 Constraint файл «Top.sdc»

```

create_clock -period 50 -name clk_20MHz [get_ports clk]
set_clock_uncertainty -hold 5 [get_ports clk]
set_clock_uncertainty -setup 5 [get_ports clk]
set_input_delay 10 -max -clock clk_20MHz [get_ports {In1}]
set_output_delay 10 -max -clock clk_20MHz [get_ports {Out1}]

```

3.3 скрипт для RTL Compiler для типичных значений «MyModule.tcl»

```

## Setup technology files
include ..//Scripts/X-FAB_typ.tcl

## Setup variables
set DESIGN Subsystem
set PARAMS {}

```

```

## Read in Verilog HDL files
# Delay modules
read_hdl -v2001 ..../Source/Subsystem.v

## Compile our code (create a technology-independent schematic)
elaborate -parameters $PARAMS $DESIGN

## Setup design constraints
read_sdc ..../Source/top.sdc

## Synthesize our schematic (create a technology-dependent schematic)
#synthesize -to_generic
synthesize -to_mapped
synthesize -incremental

## Write out area and timing reports
report timing > ..../Reports/Top_synth_timing_report
report area > ..../Reports/Top_synth_area_report
## Write out synthesized Verilog netlist
write_hdl -mapped > ..../Source/Top/Synthesis/Top_synth.v
## Write out the SDC file we will take into the place n route tool
write_sdc > ..../Source/Top/Synthesis/Top_out.sdc
gui_show

```

3.4 скрипт для RTL Compiler для типичных значений «MyModule.tcl»

```

## Setup technology files
include ..../Scripts/X-FAB_min.tcl

## Setup variables
set DESIGN Subsystem
set PARAMS {}

## Read in Verilog HDL files
# Delay modules
read_hdl -v2001 ..../Source/Subsystem.v

## Compile our code (create a technology-independent schematic)
elaborate -parameters $PARAMS $DESIGN

## Setup design constraints
read_sdc ..../Source/top.sdc

```

```

## Synthesize our schematic (create a technology-dependent schematic)
#synthesize -to_generic
synthesize -to_mapped
synthesize -incremental

## Write out area and timing reports
report timing > ../Reports/Top_synth_timing_report
report area > ../Reports/Top_synth_area_report
## Write out synthesized Verilog netlist
write_hdl -mapped > ../Source/Top/Synthesis/Top_synth.v
## Write out the SDC file we will take into the place n route tool
write_sdc > ../Source/Top/Synthesis/Top_out.sdc
gui_show

```

3.5 скрипт для RTL Compiler для лучших значений «MyModuleMax.tcl»

```

## Setup technology files
include ../Scripts/X-FAB_max.tcl

## Setup variables
set DESIGN Subsystem
set PARAMS {}

## Read in Verilog HDL files
# Delay modules
read_hdl -v2001 ../Source/Subsystem.v

## Compile our code (create a technology-independent schematic)
elaborate -parameters $PARAMS $DESIGN

## Setup design constraints
read_sdc ../Source/top.sdc

## Synthesize our schematic (create a technology-dependent schematic)
#synthesize -to_generic
synthesize -to_mapped
synthesize -incremental

```

```

## Write out area and timing reports
report timing > ../Reports/Top_synth_timing_report_max

```

```

report area > ../Reports/Top_synth_area_report_max
## Write out synthesized Verilog netlist
write_hdl -mapped > ../Source/Top/Synthesis/Top_synth_max.v
## Write out the SDC file we will take into the place n route tool
write_sdc > ../Source/Top/Synthesis/Top_out_max.sdc
gui_show

```

3.6 скрипт для RTL Compiler для худших значений «MyModuleMin.tcl»

```

## Setup technology files
include ../Scripts/X-FAB_min.tcl

## Setup variables
set DESIGN Subsystem
set PARAMS {}

## Read in Verilog HDL files
# Delay modules
read_hdl -v2001 ../Source/Subsystem.v

## Compile our code (create a technology-independent schematic)
elaborate -parameters $PARAMS $DESIGN

## Setup design constraints
read_sdc ../Source/top.sdc

## Synthesize our schematic (create a technology-dependent schematic)
#synthesize -to_generic
synthesize -to_mapped
synthesize -incremental

## Write out area and timing reports
report timing > ../Reports/Top_synth_timing_report_mix
report area > ../Reports/Top_synth_area_report_min
## Write out synthesized Verilog netlist
write_hdl -mapped > ../Source/Top/Synthesis/Top_synth_min.v
## Write out the SDC file we will take into the place n route tool
write_sdc > ../Source/Top/Synthesis/Top_out_min.sdc
gui_show

```

3.7 Скрипт, содержащий путь к технологически файлам для типичного случая «X-FAB_typ»

```
## Setup path for liberty CPF directory
set_attribute lib_search_path
/Cadence/Libs/X_FAB/XKIT/xt018/diglibs/D_CELLS_HD/v4_0/liberty_LP5MOS/v4_0_0/PVT_1
_80V_range
## Setup PVT corner .lib file
set_attribute library {D_CELLS_HD_LP5MOS_typ_1_80V_25C.lib}
## Setup LEF files
set_attribute lef_library
{/Cadence/Libs/X_FAB/XKIT/xt018/cadence/v5_0/techLEF/v5_0_2/xt018_xx43_MET4_METMI
D_METTHK.lef
/Cadence/Libs/X_FAB/XKIT/xt018/diglibs/D_CELLS_HD/v4_0/LEF/v4_0_0/xt018_D_CELL
S_HD.lef
/Cadence/Libs/X_FAB/XKIT/xt018/diglibs/D_CELLS_HD/v4_0/LEF/v4_0_0/xt018_xx43_
MET4_METMID_METTHK_D_CELLS_HD_mprobe.lef}
## Setup Capacitance Table file
set_attribute cap_table_file
/Cadence/Libs/X_FAB/XKIT/xt018/cadence/v5_0/capTbl/v5_0_1_2/xt018_xx43_MET4_METMI
D_METTHK_typ.capTbl
## Setup error on blackbox
set_attribute hdl_error_on_blackbox true
```

3.8 Скрипт, содержащий путь к технологически файлам для наилучшего случая «X-FAB_max.tcl»

```
## Setup path for liberty CPF directory
set_attribute lib_search_path
/Cadence/Libs/X_FAB/XKIT/xt018/diglibs/D_CELLS_HD/v4_0/liberty_LP5MOS/v4_0_0/PVT_1
_80V_range
## Setup PVT corner .lib file
set_attribute library {D_CELLS_HD_LP5MOS_fast_1_98V_m40C.lib}
## Setup LEF files
set_attribute lef_library
{/Cadence/Libs/X_FAB/XKIT/xt018/cadence/v5_0/techLEF/v5_0_2/xt018_xx43_MET4_METMI
D_METTHK.lef
/Cadence/Libs/X_FAB/XKIT/xt018/diglibs/D_CELLS_HD/v4_0/LEF/v4_0_0/xt018_D_CELL
S_HD.lef
/Cadence/Libs/X_FAB/XKIT/xt018/diglibs/D_CELLS_HD/v4_0/LEF/v4_0_0/xt018_xx43_
MET4_METMID_METTHK_D_CELLS_HD_mprobe.lef}
## Setup Capacitance Table file
```

```
set_attribute cap_table_file
/Cadence/Libs/X_FAB/XKIT/xt018/cadence/v5_0/capTbl/v5_0_1_2/xt018_xx43_MET4_METMID_METTHK_max.capTbl
```

```
## Setup error on blackbox
set_attribute hdl_error_on_blackbox true
```

3.9 Скрипт, содержащий путь к технологически файлам для худшего случая «X-FAB_min.tcl»

```
## Setup technology files
include ../Scripts/X-FAB_min.tcl
```

```
## Setup variables
set DESIGN Subsystem
set PARAMS {}
```

```
## Read in Verilog HDL files
# Delay modules
read_hdl -v2001 ../Source/Subsystem.v
```

```
## Compile our code (create a technology-independent schematic)
elaborate -parameters $PARAMS $DESIGN
```

```
## Setup design constraints
read_sdc ../Source/top.sdc
```

```
## Synthesize our schematic (create a technology-dependent schematic)
#synthesize -to_generic
synthesize -to_mapped
synthesize -incremental
```

```
## Write out area and timing reports
report timing > ../Reports/Top_synth_timing_report
report area > ../Reports/Top_synth_area_report
## Write out synthesized Verilog netlist
write_hdl -mapped > ../Source/Top/Synthesis/Top_synth.v
## Write out the SDC file we will take into the place n route tool
write_sdc > ../Source/Top/Synthesis/Top_out.sdc
gui_show
```

3.10 «X-FAB_min.tcl»

```
## Setup path for liberty CPF directory
```

```

set_attribute lib_search_path
/Cadence/Libs/X_FAB/XKIT/xt018/diglibs/D_CELLS_HD/v4_0/liberty_LP5MOS/v4_0_0/PVT_1
_80V_range
## Setup PVT corner .lib file
set_attribute library {D_CELLS_HD_LP5MOS_slow_1_62V_175C.lib}
## Setup LEF files
set_attribute lef_library
{/Cadence/Libs/X_FAB/XKIT/xt018/cadence/v5_0/techLEF/v5_0_2/xt018_xx43_MET4_METMI
D_METTHK.lef
/Cadence/Libs/X_FAB/XKIT/xt018/diglibs/D_CELLS_HD/v4_0/LEF/v4_0_0/xt018_D_CELL
S_HD.lef
/Cadence/Libs/X_FAB/XKIT/xt018/diglibs/D_CELLS_HD/v4_0/LEF/v4_0_0/xt018_xx43_
MET4_METMID_METTHK_D_CELLS_HD_mprobe.lef}
## Setup Capacitance Table file
set_attribute cap_table_file
/Cadence/Libs/X_FAB/XKIT/xt018/cadence/v5_0/capTbl/v5_0_1_2/xt018_xx43_MET4_METMI
D_METTHK_typ.capTbl
## Setup error on blackbox
set_attribute hdl_error_on_blackbox true

```

3.11 «X-FAB_max.tcl»

```

## Setup path for liberty CPF directory
set_attribute lib_search_path
/Cadence/Libs/X_FAB/XKIT/xt018/diglibs/D_CELLS_HD/v4_0/liberty_LP5MOS/v4_0_0/PVT_1
_80V_range
## Setup PVT corner .lib file
set_attribute library {D_CELLS_HD_LP5MOS_fast_1_98V_m40C.lib}
## Setup LEF files
set_attribute lef_library
{/Cadence/Libs/X_FAB/XKIT/xt018/cadence/v5_0/techLEF/v5_0_2/xt018_xx43_MET4_METMI
D_METTHK.lef
/Cadence/Libs/X_FAB/XKIT/xt018/diglibs/D_CELLS_HD/v4_0/LEF/v4_0_0/xt018_D_CELL
S_HD.lef
/Cadence/Libs/X_FAB/XKIT/xt018/diglibs/D_CELLS_HD/v4_0/LEF/v4_0_0/xt018_xx43_
MET4_METMID_METTHK_D_CELLS_HD_mprobe.lef}
## Setup Capacitance Table file
set_attribute cap_table_file
/Cadence/Libs/X_FAB/XKIT/xt018/cadence/v5_0/capTbl/v5_0_1_2/xt018_xx43_MET4_METMI
D_METTHK_max.capTbl
## Setup error on blackbox
set_attribute hdl_error_on_blackbox true

```

3.12 Отчет по оценочной площади кристалла для типичных значений «Top_synth_area_report»

```
=====
```

Generated by: Encounter(R) RTL Compiler RC14.27 - v14.20-s064_1

Generated on: Dec 20 2021 11:37:27 am

Module: Subsystem

Technology library: D_CELLS_HD_LP5MOS_typ_1_80V_25C 4.0.0

Operating conditions: typ_1_80V_25C

Interconnect mode: global

Area mode: physical library

```
=====
```

Instance	Cells	Cell Area	Net Area	Total Area
----------	-------	-----------	----------	------------

Subsystem	2928	Cell Area	Net Area	Total Area
const_mul_93_43	267	7205	2926	10131
const_mul_92_43	202	5961	2322	8283
const_mul_94_43	214	5484	2272	7756
const_mul_95_43	158	4839	1712	6551
const_mul_91_43	169	4651	1749	6401
const_mul_89_43	167	4546	1785	6331
const_mul_96_43	159	4466	1733	6199
const_mul_90_43	150	4300	1649	5949
const_mul_97_45	114	3214	1124	4338
const_mul_156_38	72	2607	764	3371
add_133_32	25	1152	174	1325
add_131_32	23	1121	163	1284
add_129_32	24	1101	166	1268
add_130_32	22	1071	155	1227
add_132_33	21	1021	148	1169
add_128_36	21	1021	148	1169
add_100_36	21	951	144	1095
add_126_35	16	770	111	881
add_125_38	16	700	107	807
inc_add_161_46_3	22	600	155	755
inc_add_160_46_7	22	600	155	755
inc_add_159_45_12	19	517	133	650
inc_add_162_46_4	18	489	126	615
inc_add_127_42_2	18	489	126	615

inc_add_163_46_5	17	462	118	580
inc_add_158_46_11	17	462	118	580
inc_add_134_38_9	17	462	118	580

3.13 Отчет по оценочной площади кристалла для худших значений
 «Top_synth_area_report_max»

Generated by: Encounter(R) RTL Compiler RC14.27 - v14.20-s064_1
 Generated on: Dec 20 2021 11:34:19 am
 Module: Subsystem
 Technology library: D_CELLS_HD_LP5MOS_fast_1_98V_m40C 4.0.0
 Operating conditions: fast_1_98V_m40C
 Interconnect mode: global
 Area mode: physical library

Instance	Cells	Cell Area	Net Area	Total Area
Subsystem	2916	86609	37821	124430
const_mul_93_43	260	7316	2811	10126
const_mul_92_43	206	6094	2322	8416
const_mul_94_43	198	5324	2126	7450
const_mul_95_43	162	4832	1733	6565
const_mul_91_43	172	4636	1782	6419
const_mul_89_43	170	4546	1770	6316
const_mul_96_43	161	4471	1693	6164
const_mul_90_43	144	4280	1584	5864
const_mul_97_45	115	3206	1132	4338
const_mul_156_38	72	2607	764	3371
add_133_32	25	1152	174	1325
add_131_32	23	1121	163	1284
add_129_32	24	1101	166	1268
add_130_32	22	1071	155	1227
add_132_33	21	1021	148	1169
add_128_36	21	1021	148	1169
add_100_36	21	951	144	1095
add_126_35	16	770	111	881
add_125_38	16	700	107	807
inc_add_161_46_3	22	600	155	755
inc_add_160_46_7	22	600	155	755

inc_add_159_45_12	19	517	133	650
inc_add_162_46_4	18	489	126	615
inc_add_127_42_2	18	489	126	615
inc_add_163_46_5	17	462	118	580
inc_add_158_46_11	17	462	118	580
inc_add_134_38_9	17	462	118	580

3.14 Отчет по оценочной площади кристалла для худших значений
 «Top_synth_area_report_min»

=====

=====

Generated by: Encounter(R) RTL Compiler RC14.27 - v14.20-s064_1
 Generated on: Dec 18 2021 12:33:08 pm
 Module: Subsystem
 Technology library: D_CELLS_HD_LP5MOS_slow_1_62V_175C 4.0.0
 Operating conditions: slow_1_62V_175C
 Interconnect mode: global
 Area mode: physical library

=====

=====

Instance	Cells	Cell Area	Net Area	Total Area
Subsystem	2899	86704	37698	124402
const_mul_93_43	259	7336	2969	10305
const_mul_92_43	202	6076	2276	8352
const_mul_94_43	200	5339	2162	7501
const_mul_95_43	163	4887	1748	6635
const_mul_91_43	170	4666	1770	6437
const_mul_89_43	160	4503	1708	6212
const_mul_96_43	151	4423	1671	6094
const_mul_90_43	146	4328	1595	5922
const_mul_97_45	115	3209	1121	4330
const_mul_156_38	76	2639	790	3429
add_133_32	25	1152	174	1325
add_131_32	23	1121	163	1284
add_129_32	24	1101	166	1268
add_130_32	22	1071	155	1227
add_132_33	21	1021	148	1169
add_128_36	21	1021	148	1169
add_100_36	21	951	144	1095
add_126_35	16	770	111	881

add_125_38	16	700	107	807
inc_add_161_46_3	22	600	155	755
inc_add_160_46_7	22	600	155	755
inc_add_159_45_12	19	517	133	650
inc_add_162_46_4	18	489	126	615
inc_add_127_42_2	18	489	126	615
inc_add_163_46_5	17	462	118	580
inc_add_158_46_11	17	462	118	580
inc_add_134_38_9	17	462	118	580

3.15 Временной отчет типичных значений «Top_synth_timing_report»

```
=====
=====
Generated by:      Encounter(R) RTL Compiler RC14.27 - v14.20-s064_1
Generated on:       Dec 20 2021 11:37:27 am
Module:            Subsystem
Technology library: D_CELLS_HD_LP5MOS_typ_1_80V_25C 4.0.0
Operating conditions: typ_1_80V_25C
Interconnect mode:   global
Area mode:          physical library
=====
```

Pin	Type	Fanout (fF)	Load (ps)	Slew (ps)	Delay (ps)	Arrival (ps)
(clock clk_20MHz)	launch				0	R
In11_reg[2]/C			0		0	R
In11_reg[2]/Q	DFRQHDX1	63	666.1	3627	+2918	2918 R
const_mul_93_43/A[2]						
g3876/A			+0	2918		
g3876/Q	INHDX1	2	18.9	495	+413	3331 F
g3859/B			+0	3331		
g3859/Q	NA2HDX1	2	18.0	435	+349	3680 R
g3821/AN			+0	3680		
g3821/Q	NO2I1HDX1	2	24.6	359	+387	4066 R
g3789/A			+0	4067		
g3789/Q	EO2HDX1	2	21.3	512	+413	4479 F
g3696/B			+0	4479		
g3696/CO	CAGHDX1	2	18.7	115	+474	4953 F
g3675/CI			+0	4953		
g3675/CO	CAGHDX1	1	17.4	110	+321	5274 F

g3661/CI		+0	5274
g3661/CO	FAHDX0	1	17.4 162 +392 5666 F
g3653/CI		+0	5666
g3653/CO	FAHDX0	2	18.7 170 +419 6086 F
g3650/CI		+0	6086
g3650/CO	CAGHDX1	2	18.7 114 +347 6432 F
g3648/CI		+0	6432
g3648/CO	CAGHDX1	1	17.4 108 +320 6752 F
g3647/CI		+0	6753
g3647/CO	FAHDX0	1	17.4 162 +392 7144 F
g3645/CI		+0	7144
g3645/CO	FAHDX0	2	18.7 170 +419 7564 F
g3642/CI		+0	7564
g3642/CO	CAGHDX1	1	17.4 109 +342 7905 F
g3641/CI		+0	7905
g3641/CO	FAHDX0	1	17.4 162 +392 8297 F
g3639/CI		+0	8297
g3639/CO	FAHDX0	1	17.4 163 +412 8709 F
g3637/CI		+0	8709
g3637/CO	FAHDX0	1	17.4 163 +412 9121 F
g3635/CI		+0	9121
g3635/CO	FAHDX0	1	17.4 163 +412 9533 F
g3633/CI		+0	9533
g3633/CO	FAHDX0	1	17.4 163 +412 9945 F
g3631/CI		+0	9945
g3631/CO	FAHDX0	1	17.4 163 +412 10357 F
g3629/CI		+0	10357
g3629/CO	FAHDX0	1	17.4 163 +412 10769 F
g3627/CI		+0	10769
g3627/CO	FAHDX0	1	17.4 163 +412 11181 F
g3625/CI		+0	11181
g3625/CO	FAHDX0	1	17.4 163 +412 11593 F
g3623/CI		+0	11593
g3623/CO	FAHDX0	1	17.4 163 +412 12005 F
g3621/CI		+0	12005
g3621/CO	FAHDX0	1	17.4 163 +412 12417 F
g3619/CI		+0	12417
g3619/CO	FAHDX0	1	17.4 163 +412 12829 F
g3617/CI		+0	12829
g3617/CO	FAHDX0	1	17.4 163 +412 13241 F
g3615/CI		+0	13241
g3615/CO	FAHDX0	1	17.4 163 +412 13653 F

g3613/CI		+0	13653
g3613/CO	FAHDX0	1	17.4 163 +412 14065 F
g3611/CI		+0	14065
g3611/CO	FAHDX0	1	17.4 163 +412 14477 F
g3609/CI		+0	14477
g3609/CO	FAHDX0	1	17.4 163 +412 14889 F
g3607/CI		+0	14889
g3607/CO	FAHDX0	2	18.7 170 +419 15308 F
g3604/CI		+0	15308
g3604/CO	CAGHDX1	2	18.7 114 +347 15655 F
g3602/CI		+0	15655
g3602/CO	CAGHDX1	1	17.4 108 +320 15975 F
g3601/CI		+0	15975
g3601/CO	FAHDX0	2	18.7 169 +399 16375 F
g3598/CI		+0	16375
g3598/CO	CAGHDX1	2	18.7 114 +347 16721 F
const_mul_93_43/Z[36]			
g1438/C		+0	16721
g1438/Q	OA21HDX1	1	12.2 105 +206 16927 F
inc_add_161_46_3/CI			
g172/A		+0	16927
g172/CO	HAHDX0	1	12.2 101 +235 17162 F
g171/A		+0	17163
g171/CO	HAHDX0	1	12.2 101 +234 17396 F
g170/A		+0	17396
g170/CO	HAHDX0	1	12.2 101 +234 17630 F
g169/A		+0	17630
g169/CO	HAHDX0	1	12.2 101 +234 17864 F
g168/A		+0	17864
g168/CO	HAHDX0	1	12.2 101 +234 18097 F
g167/A		+0	18097
g167/CO	HAHDX0	1	12.2 101 +234 18331 F
g166/A		+0	18331
g166/CO	HAHDX0	1	12.2 101 +234 18565 F
g165/A		+0	18565
g165/CO	HAHDX0	1	12.2 101 +234 18798 F
g164/A		+0	18798
g164/CO	HAHDX0	1	12.2 101 +234 19032 F
g163/A		+0	19032
g163/CO	HAHDX0	1	12.2 101 +234 19266 F
g162/A		+0	19266
g162/CO	HAHDX0	1	12.2 101 +234 19500 F

g161/A		+0	19500		
g161/CO	HAHDX0	1	12.2	101 +234	19733 F
g160/A		+0	19733		
g160/CO	HAHDX0	1	12.2	101 +234	19967 F
g159/A		+0	19967		
g159/CO	HAHDX0	1	12.2	101 +234	20201 F
g158/A		+0	20201		
g158/CO	HAHDX0	1	12.2	101 +234	20434 F
g157/A		+0	20434		
g157/CO	HAHDX0	1	12.2	101 +234	20668 F
g156/A		+0	20668		
g156/CO	HAHDX0	1	12.2	101 +234	20902 F
g155/A		+0	20902		
g155/CO	HAHDX0	1	12.2	102 +234	21135 F
g154/A		+0	21136		
g154/CO	HAHDX0	1	12.2	102 +234	21370 F
g153/A		+0	21370		
g153/CO	HAHDX0	1	12.2	101 +234	21604 F
g152/A		+0	21604		
g152/CO	HAHDX0	1	11.9	100 +232	21836 F
g151/B		+0	21836		
g151/Q	EO2HDX0	1	9.5	163 +270	22106 F
inc_add_161_46_3/Z[21]					
g2590/AN		+0	22106		
g2590/Q	NO2I1HDX1	1	9.4	61 +215	22321 F
Product6_out1_2_reg[21]/D	DFRQHDX1			+0	22321
Product6_out1_2_reg[21]/C	setup			0 +251	22572 R
<hr/>					
(clock clk_20MHz)	capture			50000	R
	uncertainty		-5000	45000	R
<hr/>					

Cost Group : 'clk_20MHz' (path_group 'clk_20MHz')

Timing slack : 22428ps

Start-point : In11_reg[2]/C

End-point : Product6_out1_2_reg[21]/D

3.16 Временной отчет наилучших значений

«Top_synth_timing_report_max»

Generated by: Encounter(R) RTL Compiler RC14.27 - v14.20-s064_1
Generated on: Dec 20 2021 11:34:19 am

Module: Subsystem
 Technology library: D_CELLS_HD_LP5MOS_fast_1_98V_m40C 4.0.0
 Operating conditions: fast_1_98V_m40C
 Interconnect mode: global
 Area mode: physical library

=====
 =====

Pin	Type	Fanout	Load	Slew	Delay	Arrival
		(fF)	(ps)	(ps)	(ps)	
(clock clk_20MHz)	launch				0	R
(top.sdc_line_4_10_1)	ext delay				+16000	16000 F
In1[6]	in port	1	9.7	0	+0	16000 F
g2474/AN					+0	16000
g2474/Q	NO2I1HDX1	1	9.7	41	+98	16098 F
In11_reg[6]/D	DFRQHDX1				+0	16098
In11_reg[6]/C	setup			0	+164	16262 R
<hr/>						
(clock clk_20MHz)	capture				50000	R
	uncertainty			-5000	45000	R
<hr/>						
Cost Group	:	'clk_20MHz'	(path_group	'clk_20MHz'		
Timing slack	:	28738ps				
Start-point	:	In1[6]				
End-point	:	In11_reg[6]/D				

3.17 Временной отчет худших значений «Top_synth_timing_report_min»

=====
 =====

Generated by: Encounter(R) RTL Compiler RC14.27 - v14.20-s064_1
 Generated on: Dec 18 2021 12:33:08 pm
 Module: Subsystem
 Technology library: D_CELLS_HD_LP5MOS_slow_1_62V_175C 4.0.0
 Operating conditions: slow_1_62V_175C
 Interconnect mode: global
 Area mode: physical library

=====
 =====

Pin	Type	Fanout	Load	Slew	Delay	Arrival
		(fF)	(ps)	(ps)	(ps)	

(clock clk_20MHz)	launch		0	R
In11_reg[0]/C		0	0	R
In11_reg[0]/Q	DFRQHDX1	60	603.9	4840 +3964 3964 R
const_mul_93_43/A[0]				
g3931/A		+0	3964	
g3931/Q	INHDX1	4	44.1	1055 +1059 5023 F
g3883/A		+0	5023	
g3883/CO	HAHDX0	2	20.9	256 +718 5742 F
g3832/CI		+0	5742	
g3832/CO	CAGHDX0	1	18.7	263 +586 6328 F
g3778/CI		+0	6328	
g3778/CO	FAHDX0	1	18.7	273 +694 7023 F
g3752/CI		+0	7023	
g3752/CO	FAHDX0	2	22.5	310 +732 7755 F
g3751/A		+0	7755	
g3751/Q	INHDX1	1	9.8	161 +200 7955 R
g3737/CI		+0	7956	
g3737/CO	CAGHDX0	2	18.7	368 +520 8476 R
g3725/CI		+0	8476	
g3725/CO	CAGHDX0	1	18.3	363 +575 9051 R
g3703/CI		+0	9051	
g3703/CO	FAHDX0	2	18.7	378 +645 9697 R
g3696/CI		+0	9697	
g3696/CO	CAGHDX1	2	18.7	219 +500 10197 R
g3694/CI		+0	10197	
g3694/CO	CAGHDX1	1	18.3	216 +453 10650 R
g3693/CI		+0	10650	
g3693/CO	FAHDX0	2	18.7	378 +602 11252 R
g3690/CI		+0	11253	
g3690/CO	CAGHDX1	2	18.7	219 +500 11753 R
g3687/CI		+0	11753	
g3687/CO	CAGHDX1	1	18.3	216 +453 12206 R
g3686/CI		+0	12206	
g3686/CO	FAHDX0	2	18.7	378 +602 12808 R
g3683/CI		+0	12808	
g3683/CO	CAGHDX0	2	18.7	367 +582 13391 R
g3680/CI		+0	13391	
g3680/CO	CAGHDX1	2	18.7	219 +497 13888 R
g3677/CI		+0	13888	
g3677/CO	CAGHDX1	2	18.7	219 +456 14344 R
g3674/CI		+0	14344	

g3674/CO	CAGHDX0	2	18.7	367	+541	14885	R
g3671/CI			+0	14885			
g3671/CO	CAGHDX1	2	18.7	219	+497	15383	R
g3668/CI			+0	15383			
g3668/CO	CAGHDX1	2	18.7	219	+456	15838	R
g3665/CI			+0	15838			
g3665/CO	CAGHDX0	2	18.7	367	+541	16380	R
g3662/CI			+0	16380			
g3662/CO	CAGHDX0	2	18.7	367	+580	16960	R
g3659/CI			+0	16960			
g3659/CO	CAGHDX0	2	18.7	367	+580	17540	R
g3656/CI			+0	17540			
g3656/CO	CAGHDX0	2	18.7	367	+580	18120	R
g3653/CI			+0	18120			
g3653/CO	CAGHDX0	2	18.7	367	+580	18700	R
g3650/CI			+0	18700			
g3650/CO	CAGHDX0	2	18.7	367	+580	19280	R
g3647/CI			+0	19280			
g3647/CO	CAGHDX0	2	18.7	367	+580	19860	R
g3644/CI			+0	19860			
g3644/CO	CAGHDX0	2	18.7	368	+580	20440	R
g3641/CI			+0	20440			
g3641/CO	CAGHDX0	2	18.7	367	+580	21020	R
g3638/CI			+0	21020			
g3638/CO	CAGHDX0	2	18.7	367	+580	21600	R
g3635/CI			+0	21600			
g3635/CO	CAGHDX0	2	18.7	367	+580	22180	R
g3632/CI			+0	22180			
g3632/CO	CAGHDX0	2	18.7	368	+580	22760	R
g3629/CI			+0	22760			
g3629/CO	CAGHDX0	2	18.7	368	+580	23340	R
g3626/CI			+0	23340			
g3626/CO	CAGHDX0	2	18.7	369	+580	23920	R
g3623/CI			+0	23920			
g3623/CO	CAGHDX1	2	19.3	233	+502	24422	R
const_mul_93_43/Z[36]							
g1443/D			+0	24422			
g1443/Q	OA31HDX1	1	12.7	180	+470	24892	R
inc_add_161_46_3/CI							
g172/A			+0	24892			
g172/CO	HAHDX0	1	12.7	302	+472	25364	R
g171/A			+0	25364			

g171/CO	HAHDX0	1	12.7	302	+507	25870	R
g170/A				+0	25870		
g170/CO	HAHDX0	1	12.7	302	+507	26377	R
g169/A				+0	26377		
g169/CO	HAHDX0	1	12.7	302	+507	26884	R
g168/A				+0	26884		
g168/CO	HAHDX0	1	12.7	302	+507	27391	R
g167/A				+0	27391		
g167/CO	HAHDX0	1	12.7	302	+507	27898	R
g166/A				+0	27898		
g166/CO	HAHDX0	1	12.7	302	+507	28404	R
g165/A				+0	28404		
g165/CO	HAHDX0	1	12.7	302	+507	28911	R
g164/A				+0	28911		
g164/CO	HAHDX0	1	12.7	302	+507	29418	R
g163/A				+0	29418		
g163/CO	HAHDX0	1	12.7	302	+507	29925	R
g162/A				+0	29925		
g162/CO	HAHDX0	1	12.7	302	+507	30432	R
g161/A				+0	30432		
g161/CO	HAHDX0	1	12.7	302	+507	30938	R
g160/A				+0	30938		
g160/CO	HAHDX0	1	12.7	302	+507	31445	R
g159/A				+0	31445		
g159/CO	HAHDX0	1	12.7	302	+507	31952	R
g158/A				+0	31952		
g158/CO	HAHDX0	1	12.7	302	+507	32459	R
g157/A				+0	32459		
g157/CO	HAHDX0	1	12.7	302	+507	32966	R
g156/A				+0	32966		
g156/CO	HAHDX0	1	12.7	302	+507	33472	R
g155/A				+0	33472		
g155/CO	HAHDX0	1	12.7	302	+507	33979	R
g154/A				+0	33979		
g154/CO	HAHDX0	1	12.7	302	+507	34486	R
g153/A				+0	34486		
g153/CO	HAHDX0	1	12.7	302	+507	34993	R
g152/A				+0	34993		
g152/CO	HAHDX0	1	12.0	290	+498	35490	R
g151/B				+0	35490		
g151/Q	EO2HDX0	1	9.7	290	+489	35980	F
inc_add_161_46_3/Z[21]							

```

g2581/AN          +0 35980
g2581/Q          NO2I1HDX1    1 9.6 103 +358 36338 F
Product6_out1_2_reg[21]/D DFRQHDX1          +0 36338
Product6_out1_2_reg[21]/C setup      0 +411 36750 R
-----
(clock clk_20MHz) capture      50000 R
uncertainty      -5000 45000 R
-----
Cost Group : 'clk_20MHz' (path_group 'clk_20MHz')
Timing slack : 8250ps
Start-point : In11_reg[0]/C
End-point   : Product6_out1_2_reg[21]/D

```

3.18 Скрипт для запуска Encounter «MMMC.tcl»

```

#####
#
# # Encounter Command Logging File
# Created on Mon Nov 29 12:03:20 2021
#
#####

#@(#)CDS: Encounter v14.28-s033_1 (64bit) 03/21/2016 13:34 (Linux 2.6.18-194.el5)
#@(#)CDS: NanoRoute v14.28-s005 NR160313-1959/14_28-UB (database version 2.30,
267.6.1) {superthreading v1.25}
#@(#)CDS: CeltIC v14.28-s006_1 (64bit) 03/08/2016 00:08:23 (Linux 2.6.18-194.el5)
#@(#)CDS: AAE 14.28-s002 (64bit) 03/21/2016 (Linux 2.6.18-194.el5)
#@(#)CDS: CTE 14.28-s007_1 (64bit) Mar 7 2016 23:11:05 (Linux 2.6.18-194.el5)
#@(#)CDS: CPE v14.28-s006
#@(#)CDS: IQRC/TQRC 14.2.2-s217 (64bit) Wed Apr 15 23:10:24 PDT 2015 (Linux
2.6.18-194.el5)

set_global_enable_mmmc_by_default_flow $CTE::mmmc_default
suppressMessage ENCEXT-2799
set_global_enable_mmmc_by_default_flow $CTE::mmmc_default
suppressMessage ENCEXT-2799
set_global_enable_mmmc_by_default_flow $CTE::mmmc_default
suppressMessage ENCEXT-2799
set_global_enable_mmmc_by_default_flow $CTE::mmmc_default
suppressMessage ENCEXT-2799
win

```

```

#Initial settings
set init_gnd_net VSS
set init_lef_file
{/Cadence/Libs/X_FAB/XKIT/xt018/cadence/v5_0/techLEF/v5_0_2/xt018_xx43_HD_MET4_ME
TMID_METTHK.lef
/Cadence/Libs/X_FAB/XKIT/xt018/diglibs/D_CELLS_HD/v4_0/LEF/v4_0_0/xt018_D_CELLS_HD
.lef}

set init_design_settop 0
set init_verilog ..../Source/Top/Synthesis/Top_synth.v
set init_mmmc_file ..../Scripts/MMC.tcl
set init_io_file ..../Source/Module_pins
set init_pwr_net VDD
init_design

#Set Floorplan
floorPlan -fplanOrigin center -site core_hd -r 1 0.5 10.08 10.37 10.08 10.37
floorPlan -fplanOrigin center -site core_hd -r 1 0.5 10.08 10.37 10.08 10.37
#Set Global Nets
clearGlobalNets
globalNetConnect VDD -type pgpin -pin vdd -inst * -module {}
globalNetConnect VSS -type pgpin -pin gnd -inst * -module {}
globalNetConnect VSS -type tielo -pin gnd -inst * -module {}
globalNetConnect VDD -type tiehi -pin vdd -inst * -module {}

#add Ring

set sprCreateleRingNets {}
set sprCreateleRingLayers {}
set sprCreateleRingWidth 1.0
set sprCreateleRingSpacing 1.0
set sprCreateleRingOffset 1.0
set sprCreateleRingThreshold 1.0
set sprCreateleRingJogDistance 1.0

addRing -skip_via_on_wire_shape Noshape -skip_via_on_pin Standardcell -
stacked_via_top_layer METTPL -type core_rings -jog_distance 2.8 -threshold 2.8 -nets {VDD
VSS} -follow core -stacked_via_bottom_layer MET1 -layer {bottom MET1 top MET1 right
MET2 left MET2} -width 3 -spacing {bottom 0.23 top 0.23 right 0.28 left 0.28} -offset 3.15
set sprCreateleStripeNets {}
set sprCreateleStripeLayers {}
set sprCreateleStripeWidth 10.0
set sprCreateleStripeSpacing 2.0

```

```

set sprCreateStripeThreshold 1.0

#add Stripe
addStripe -skip_via_on_wire_shape Noshape -block_ring_top_layer_limit MET3 -
max_same_layer_jog_length 6 -padcore_ring_bottom_layer_limit MET1 -set_to_set_distance
100 -skip_via_on_pin Standardcell -stacked_via_top_layer METTPL -
padcore_ring_top_layer_limit MET3 -spacing 2.5 -merge_stripes_value 2.8 -layer MET2 -
block_ring_bottom_layer_limit MET1 -width 3 -nets {VDD VSS} -stacked_via_bottom_layer
MET1

sroute -connect { blockPin padPin padRing corePin floatingStripe } -layerChangeRange
{ MET1 MET4 } -blockPinTarget { nearestTarget } -padPinPortConnect { allPort oneGeom } -
padPinTarget { nearestTarget } -corePinTarget { firstAfterRowEnd } -floatingStripeTarget {
blockring padring ring stripe ringpin blockpin followpin } -allowJogging 1 -
crossoverViaLayerRange { MET1 MET4 } -allowLayerChange 1 -blockPin useLef -
targetViaLayerRange { MET1 MET4 }

#Preplacement timing report
timeDesign -prePlace -idealClock -pathReports -drvReports -slackReports -numPaths
50 -prefix Subsystem_prePlace -outDir timingReports
setPlaceMode -fp false

#Placement
placeDesign -inPlaceOpt

#pre CTS timing report
timeDesign -preCTS -idealClock -pathReports -drvReports -slackReports -numPaths 50
-prefix Subsystem_preCTS -outDir timingReports

timeDesign -preCTS -hold -idealClock -pathReports -slackReports -numPaths 50 -
prefix Subsystem_preCTS -outDir timingReports

timeDesign -preCTS -hold -idealClock -pathReports -slackReports -numPaths 50 -
prefix Subsystem_preCTS -outDir timingReports
#Optimization
setOptMode -fixCap true -fixTran true -fixFanoutLoad true
optDesign -preCTS

#preCTC post opt timing report

```

```
timeDesign -preCTS -idealClock -pathReports -drvReports -slackReports -numPaths 50  
-prefix Subsystem_preCTS -outDir timingReports
```

```
timeDesign -preCTS -hold -idealClock -pathReports -slackReports -numPaths 50 -  
prefix Subsystem_preCTS -outDir timingReports
```

```
timeDesign -preCTS -hold -idealClock -pathReports -slackReports -numPaths 50 -  
prefix Subsystem_preCTS -outDir timingReports
```

```
createClockTreeSpec -bufferList {BUHDX0 BUHDX1 BUHDX12 BUHDX2 BUHDX3  
BUHDX4 BUHDX6 BUHDX8 DLY1HDX0 DLY1HDX1 DLY2HDX0 DLY2HDX1 DLY4HDX0  
DLY4HDX1 DLY8HDX0 DLY8HDX1 INHDX0 INHDX1 INHDX12 INHDX2 INHDX3 INHDX4  
INHDX6 INHDX8 STEHDX0 STEHDX1 STEHDX2} -file Clock.ctstch
```

```
#CTS
```

```
setCTSMode -engine ck
```

```
clockDesign -specFile Clock.ctstch -outDir clock_report -fixedInstBeforeCTS
```

```
#PostCTS timing report
```

```
timeDesign -postCTS -pathReports -drvReports -slackReports -numPaths 50 -prefix  
Subsystem_postCTS -outDir timingReports
```

```
timeDesign -postCTS -hold -pathReports -slackReports -numPaths 50 -prefix  
Subsystem_postCTS -outDir timingReports
```

```
setOptMode -fixCap true -fixTran true -fixFanoutLoad true
```

```
#Post CTS Design optimization
```

```
optDesign -postCTS
```

```
optDesign -postCTS -hold
```

```
#setOptMode -fixCap false -fixTran false -fixFanoutLoad false
```

```
#optDesign -postCTS -incr
```

```
#optDesign -postCTS -hold -incr
```

```
win
```

```
#Post CTS post opt timing report
```

```
timeDesign -postCTS -pathReports -slackReports -numPaths 50 -prefix  
Subsystem_postCTS -outDir timingReports
```

```

timeDesign -postCTS -hold -pathReports -slackReports -numPaths 50 -prefix
Subsystem_postCTS -outDir timingReports

#Routing
setNanoRouteMode -quiet -routeTopRoutingLayer 4
setNanoRouteMode -quiet -routeBottomRoutingLayer 1
setNanoRouteMode -quiet -drouteEndIteration default
setNanoRouteMode -quiet -routeWithTimingDriven false
setNanoRouteMode -quiet -routeWithSiDriven false
routeDesign -globalDetail

#Post Routing timing report
setAnalysisMode -analysisType onChipVariation -skew true -clockPropagation
sdcControl

timeDesign -postRoute -hold -pathReports -slackReports -numPaths 50 -prefix
Subsystem_postRoute -outDir timingReports

timeDesign -postRoute -pathReports -slackReports -numPaths 50 -prefix
Subsystem_postRoute -outDir timingReports

timeDesign -postRoute -pathReports -slackReports -numPaths 50 -prefix
Subsystem_postRoute -outDir timingReports

#Post Routing opt
setOptMode -fixCap true -fixTran true -fixFanoutLoad true
optDesign -postRoute
optDesign -postRoute -hold

#setOptMode -fixCap false -fixTran false -fixFanoutLoad false
#optDesign -postRoute -incr
#optDesign -postRoute -hold -incr
win

#Post Routing post opt timing report

timeDesign -postRoute -hold -pathReports -slackReports -numPaths 50 -prefix
Subsystem_postRoute -outDir timingReports

```

```

timeDesign -postRoute -pathReports -slackReports -numPaths 50 -prefix
Subsystem_postRoute -outDir timingReports

getFillerMode -quiet

#adding fillers

getFillerMode -quiet
addFiller -cell FEED7HD FEED5HD FEED3HD FEED2HD FEED25HD FEED1HD FEED15HD
FEED10HD -prefix FILLER

#Veryfy
setVerifyGeometryMode -area { 0 0 0 0 } -minWidth true -minSpacing true -minArea
true -sameNet true -short true -overlap true -offRGrid false -offMGrid true -
mergedMGridCheck true -minHole true -implantCheck true -minimumCut true -minStep
true -viaEnclosure true -antenna false -insuffMetalOverlap true -pinInBlkg false -diffCellViol
true -sameCellViol false -padFillerCellsOverlap true -routingBlkgPinOverlap true -
routingCellBlkgOverlap true -regRoutingOnly false -stackedViasOnRegNet false -wireExt
true -useNonDefaultSpacing false -maxWidth true -maxNonPrefLength -1 -error 1000
verifyGeometry
setVerifyGeometryMode -area { 0 0 0 0 }
verify_drc -report Subsystem.drc.rpt -limit 1000
verifyConnectivity -type all -error 1000 -warning 50

#extracting RC
setExtractRCMode -engine postRoute -effortLevel signoff
extractRC

#Signoff timing opt
#setDelayCalMode -engine signalStorm -SIAware auto
#setOptMode -fixCap true -fixTran true -fixFanoutLoad true
#optDesign -postRoute -signOff
#optDesign -postRoute -signOff -hold

#setDelayCalMode -engine signalStorm -SIAware false
#setOptMode -fixCap true -fixTran true -fixFanoutLoad true

```

```

#optDesign -postRoute -signOff

#Signoff timing report

timeDesign -signoff -pathReports -slackReports -numPaths 50 -prefix
Subsystem_signOff -outDir timingReports

timeDesign -signoff -hold -pathReports -slackReports -numPaths 50 -prefix
Subsystem_signOff -outDir timingReports

setOptMode -fixCap true -fixTran true -fixFanoutLoad true

all_hold_analysis_views
all_setup_analysis_views
######

write_sdf -view MAXview -ideal_clock_network ../Output/Digital_partMAX.sdf
write_sdf -view MAXview -ideal_clock_network ../Output/Digital_partMAX.sdf
write_sdf -view MINview -ideal_clock_network ../Output/Digital_partMIN.sdf

#Netlist saving
saveNetlist ../Output/Top_netlist1.v

saveNetlist ../Output/Top_netlist_phys.v -includePhysicalCell {FEED7HD FEED5HD
FEED3HD FEED2HD FEED25HD FEED1HD FEED15HD FEED10HD}

```

```

global dbgLefDefOutVersion
set dbgLefDefOutVersion 5.8
defOut -floorplan -netlist -routing ../Output/Top.def
set dbgLefDefOutVersion 5.8

```

3.19 Файл, описывающий расположение пинов «Module_pins»

Version: 1

Offset: 34.99
Pin: In1[0] W MET4

Spacing: 15

Pin: In1[1] W MET4
Pin: In1[2] W MET4
Pin: In1[3] W MET4
Pin: In1[4] W MET4
Pin: In1[5] W MET4
Pin: In1[6] W MET4
Pin: In1[7] W MET4
Pin: In1[8] W MET4
Pin: In1[9] W MET4
Pin: In1[10] W MET4
Pin: In1[11] W MET4
Pin: In1[12] W MET4
Pin: In1[13] W MET4
Pin: In1[14] W MET4
Pin: In1[15] W MET4
Pin: In1[16] W MET4

Offset: 230
Pin: clk N MET4

Spacing: 60

Pin: clk_enable N MET4
Offset: 230
Pin: reset S MET4

Offset: 35
Pin: Out1[0] E MET4

Spacing: 15
Pin: Out1[1] E MET4
Pin: Out1[2] E MET4
Pin: Out1[3] E MET4
Pin: Out1[4] E MET4
Pin: Out1[5] E MET4
Pin: Out1[6] E MET4
Pin: Out1[7] E MET4
Pin: Out1[8] E MET4
Pin: Out1[9] E MET4
Pin: Out1[10] E MET4
Pin: Out1[11] E MET4

```
Pin: Out1[12] E MET4
Pin: Out1[13] E MET4
Pin: Out1[14] E MET4
Pin: Out1[15] E MET4
Pin: Out1[16] E MET4
```

3.20 PrePlace отчет «Subsystem_prePlace.summary»

```
#####
# Generated by: Cadence Encounter 14.28-s033_1
# OS: Linux x86_64(Host ID Cadence_SERVER)
# Generated on: Mon Dec 20 12:50:49 2021
# Design: Subsystem
# Command: timeDesign -prePlace -idealClock -pathReports -drvReports -slackReports -numPaths 50
-prefix Subsystem_prePlace -outDir timingReports
#####
```

```
#####
-----
```

timeDesign Summary

```
+-----+-----+-----+
| Setup mode | all | reg2reg | default |
+-----+-----+-----+
| WNS (ns):| 13.529 | 13.529 | 34.381 |
| TNS (ns):| 0.000 | 0.000 | 0.000 |
| Violating Paths:| 0 | 0 | 0 |
| All Paths:| 458 | 407 | 424 |
+-----+-----+-----+
```

```
Density: 0.000%
```

3.21 preCTS отчет «Subsystem_preCTS.summary»

```
#####
# Generated by: Cadence Encounter 14.28-s033_1
# OS: Linux x86_64(Host ID Cadence_SERVER)
```

```

# Generated on: Mon Dec 20 12:51:28 2021
# Design: Subsystem
# Command: timeDesign -preCTS -idealClock -pathReports -drvReports -slackReports -numPaths 50 -
prefix Subsystem_preCTS -outDir timingReports
#####
-----
```

timeDesign Summary

Setup mode all reg2reg default				
WNS (ns): 12.212 12.212 34.280				
TNS (ns): 0.000 0.000 0.000				
Violating Paths: 0 0 0				
All Paths: 458 407 424				

	Real	Total	
DRVs			
	Nr nets(terms)	Worst Vio	Nr nets(terms)
+-----+-----+-----+			
max_cap 0 (0) 0.000 0 (0)			
max_tran 0 (0) 0.000 0 (0)			
max_fanout 0 (0) 0 0 (0)			
max_length 0 (0) 0 0 (0)			
+-----+-----+-----+			

Density: 54.735%

Routing Overflow: 0.00% H and 0.00% V

3.22 preCTS отчет по hold «Subsystem_postCTS_hold.summary»

```
#####
# Generated by: Cadence Encounter 14.28-s033_1
# OS: Linux x86_64(Host ID Cadence_SERVER)
# Generated on: Mon Dec 20 12:51:30 2021
# Design: Subsystem
# Command: timeDesign -preCTS -hold -idealClock -pathReports -slackReports -numPaths 50 -prefix
Subsystem_preCTS -outDir timingReports
#####
```

timeDesign Summary

Hold mode	all	reg2reg	default
WNS (ns):	-4.744	-4.744	-4.361
TNS (ns):	-1838.3	-1634.2	-1485.3
Violating Paths:	441	407	407
All Paths:	441	407	407

Density: 54.735%

Routing Overflow: 0.00% H and 0.00% V

3.23 postCTS отчет «Subsystem_postCTS.summary»

```
#####
# Generated by: Cadence Encounter 14.28-s033_1
# OS: Linux x86_64(Host ID Cadence_SERVER)
# Generated on: Mon Dec 20 12:52:24 2021
# Design: Subsystem
```

```
# Command:      timeDesign -postCTS -pathReports -slackReports -numPaths 50 -prefix  
Subsystem_postCTS -outDir timingReports
```

```
#####
```

timeDesign Summary

Setup mode	all	reg2reg	default
WNS (ns):	0.253	0.253	11.180
TNS (ns):	0.000	0.000	0.000
Violating Paths:	0	0	0
All Paths:	458	407	424

	Real	Total	
DRVs			
	Nr nets(terms)	Worst Vio	Nr nets(terms)
max_cap	0 (0)	0.000	0 (0)
max_tran	0 (0)	0.000	0 (0)
max_fanout	0 (0)	0	0 (0)
max_length	0 (0)	0	0 (0)

Density: 66.796%

Routing Overflow: 0.00% H and 0.00% V

3.24 postRoute отчет по hold «Subsystem_postRoute_hold.summary»

```
#####
```

```
# Generated by: Cadence Encounter 14.28-s033_1
# OS: Linux x86_64(Host ID Cadence_SERVER)
# Generated on: Mon Dec 20 12:52:25 2021
# Design: Subsystem
# Command: timeDesign -postCTS -hold -pathReports -slackReports -numPaths 50 -prefix
Subsystem_postCTS -outDir timingReports
#####
-----
```

timeDesign Summary

Hold mode	all	reg2reg	default
WNS (ns):	0.001	0.001	0.174
TNS (ns):	0.000	0.000	0.000
Violating Paths:	0	0	0
All Paths:	441	407	407

Density: 66.796%

Routing Overflow: 0.00% H and 0.00% V

3.25 postRoute отчет «Subsystem_postRoute.summary»

```
#####
# Generated by: Cadence Encounter 14.28-s033_1
# OS: Linux x86_64(Host ID Cadence_SERVER)
# Generated on: Mon Dec 20 12:54:27 2021
# Design: Subsystem
# Command: timeDesign -postRoute -pathReports -slackReports -numPaths 50 -prefix
Subsystem_postRoute -outDir timingReports
#####
```

timeDesign Summary

Setup mode	all	reg2reg	default
WNS (ns):	0.152	0.152	10.973
TNS (ns):	0.000	0.000	0.000
Violating Paths:	0	0	0
All Paths:	458	407	424

	Real	Total	
DRVs			
	Nr nets(terms)	Worst Vio	Nr nets(terms)
max_cap	0 (0)	0.000	0 (0)
max_tran	0 (0)	0.000	0 (0)
max_fanout	0 (0)	0	0 (0)
max_length	0 (0)	0	0 (0)

Density: 67.159%

Total number of glitch violations: 0

3.26 signOff отчет «Subsystem_signOff.summary»

```
#####
# Generated by: Cadence Encounter 14.28-s033_1
# OS: Linux x86_64(Host ID Cadence_SERVER)
```

```

# Generated on: Mon Dec 20 12:55:18 2021
# Design: Subsystem
# Command: timeDesign -signoff -pathReports -slackReports -numPaths 50 -prefix Subsystem_signOff
-outDir timingReports
#####
-----
```

timeDesign Summary

Setup mode	all	reg2reg	default
WNS (ns):	0.095	0.095	10.974
TNS (ns):	0.000	0.000	0.000
Violating Paths:	0	0	0
All Paths:	458	407	424

	Real	Total	
DRVs	+-----+	+-----+	
	Nr nets(terms)	Worst Vio	Nr nets(terms)
max_cap	0 (0)	0.000	0 (0)
max_tran	0 (0)	0.000	0 (0)
max_fanout	0 (0)	0	0 (0)
max_length	0 (0)	0	0 (0)

Density: 109.170%

Total number of glitch violations: 0

3.27 signOff отчет по hold «Subsystem_signOff_hold.summary»

```
#####
# Generated by: Cadence Encounter 14.28-s033_1
# OS: Linux x86_64(Host ID Cadence_SERVER)
# Generated on: Mon Dec 20 12:55:43 2021
# Design: Subsystem
# Command: timeDesign -signoff -hold -pathReports -slackReports -numPaths 50 -prefix
Subsystem_signOff -outDir timingReports
#####
```

timeDesign Summary

Hold mode	all	reg2reg	default
WNS (ns):	0.008	0.008	0.091
TNS (ns):	0.000	0.000	0.000
Violating Paths:	0	0	0
All Paths:	441	407	407

Density: 109.170%

References

1. Лайонс Р. Цифровая обработка сигналов: 2-е издание. Пер с англ. – М.: ООО "Бином-Пресс", 2006 г. – 656 с
2. <https://drive.google.com/file/d/1SxwzsscEhtxeSUY8zzLYq6wHs7TJeUdB/view>