

# A83T硬件设计指南

# 目录

---

PART 1: Schematic Design guide

PART 2: PCB Layout guide

# 目录

---

PART 1: Schematic Design guide

PART 2: PCB Layout guide

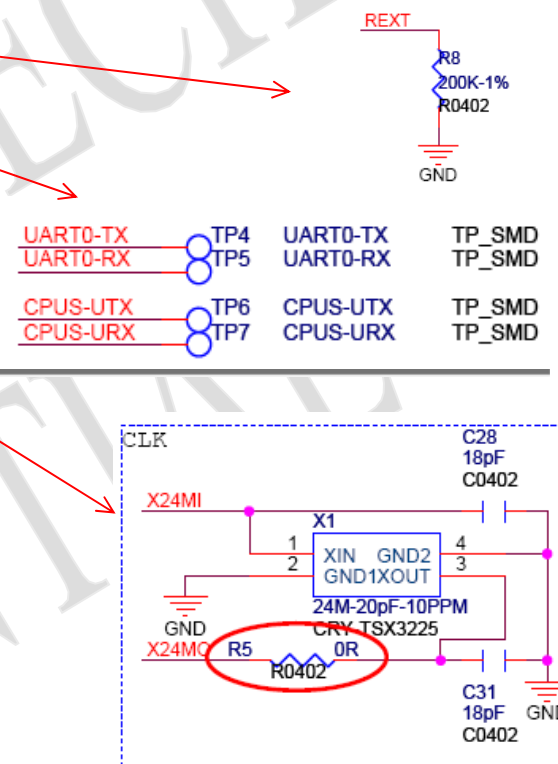
# PART 1: Schematic Design guide

---

- 1. CPU
- 2. POWER
- 3. DRAM
- 4. NAND/EMMC
- 5. KEY
- 6. CAMERA
- 7. AUDIO
- 8. USB
- 9. CARD
- 10. WIFI/BT
- 11. ESD

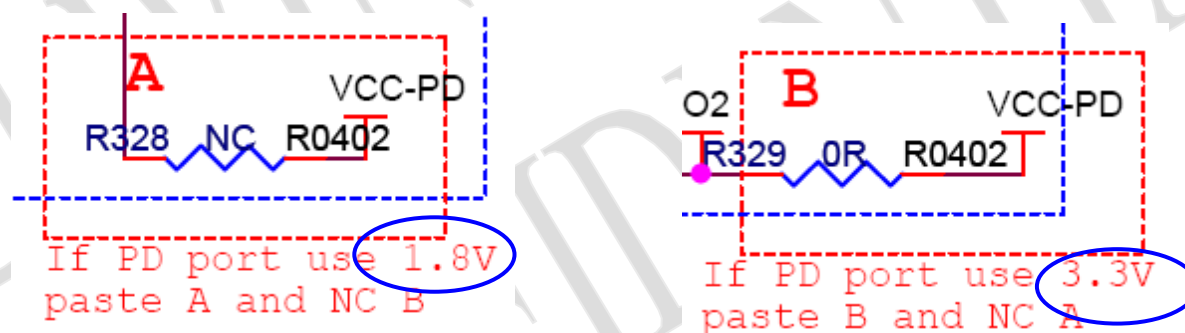
# CPU

- 1. REXT网络到地电阻**200K-1%**值不能修改。
- 2. UART调试请保留测试点。
- 3. GPIO分配请按照标案图进行，切勿随意调整。如确需调整，请与相关FAE沟通。
- 4. 高频晶振的网络X24MO上串接电阻必须保留。
- 5. A83T采用CPU、SYS、GPU独立电源域供电（VDD-CPUA、VDD-CPUB、VDD-SYS、VDD-GPU）。四路电源使用独立DC-DC供电，去耦电路请参考标案图。



# POWER

- 1. 电感感量为1.0uH，注意饱和电流要符合最大电流需求，直流电阻小于100毫欧，具体参见标案图。
- 2. 主控的VDDFB-CPUA/B必须连接到AXP813的DCDC2和DCDC3。
- 3. AXP813的外围输出电容的参数不能随意修改，可以根据实际情况修改封装大小。
- 4. VCC-PD电源根据实际情况按照下图进行连接



# DRAM

---

- 1. A83T支持DDR3/3L、LPDDR2、LPDDR3，使用时需先确定DRAM的类型，以及单片的位宽，参考标案原理图连接
- 2. 主控和DRAM端每一个ZQ PIN都必须接240R-1%精度的下拉到地电阻.
- 3. SDQ0-SDQ7, SDQ8-SDQ15, SDQ16-SDQ23, SDQ24-SDQ31分别为4组数据线，若用DDR3/3L，则可以进行组内或者组间交换，若进行组间交换，则相应的SDQM和SDQS差分对也必须对应交换.
- 4.若用LPDDR2或者LPDDR3，则SDQ0-SDQ7, SDQM0, SDQ0, SDQS0B必须与主控一一对应连接，而其他高位的3组DQ以及高位的DQM和DQS差分对，则与DDR3类似，可视PCB走线难易程度进行组内或组间交换。

# NAND/EMMC

---

- 1. VPS0和VPS1的电路连接需要参照相应NAND的DATASHEET作处理，具体连接可参考标案
- 2. NAND TSOP与eMMC双layout。
- 3. NAND靠近主控摆放，走线与高频信号隔开。
- 4. NAND封装建议按照原厂提供的封装库以兼容TSOP/eMMC的NAND FLASH。
- 5. 如果使用EMMC 5.0的片子，则EMMC的PIN T5和H6必须通过0R电阻下拉到地。其他非EMMC 5.0的片子，则PIN T5和H6必须NC。



# KEY

---

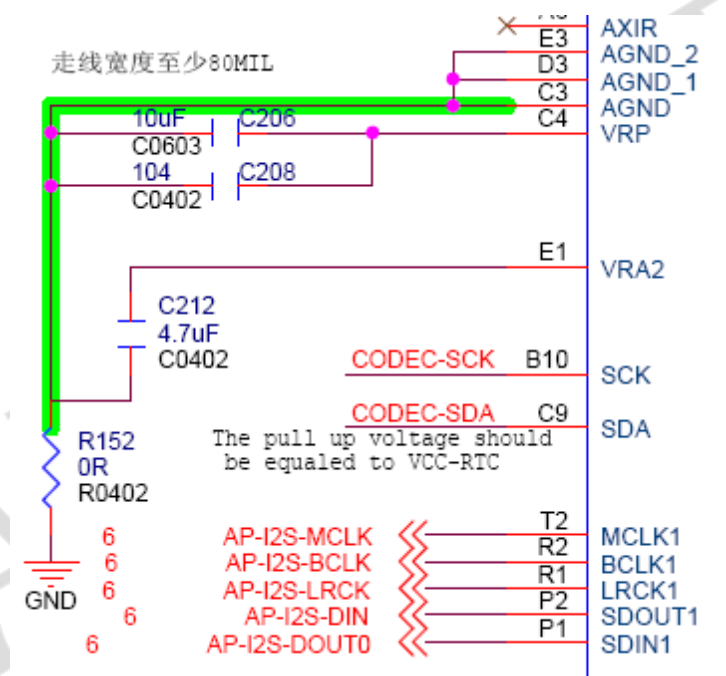
- 1. 键数选择，根据需要，直接去掉后面的按键。
- 2. 按键采用线控按键，LRADC0（或KEYADC0）网络的采样范围为0-1.35V，在添加按键时保证按键按下后LRADC0网络电压范围为0-1.35V，并保证任意两个按键按下时LRADC0电压差必须 $\geq 0.1V$ 。
- 3. 如果不需要按键，若考虑SDK兼容，则LRADC0必须加100K上拉电阻到VCC18-ADC，否则LRADC0可以floating。

# CAMERA

- 1. AVDD-CSI的camera端电容使用4.7uF，AFVCC-CSI的camera端电容使用1uF。
- 2. PCLK和MCLK上必须增加NC电容或者0R电阻用于提高摄像头的兼容性以及降低时钟信号的EMI辐射。
- 3. AVDD-CSI与IOVDD-CSI必须单独供电，以保证AVCC-CSI的稳定性。
- 4.若模组带自动对焦功能，由于给内部VCM的供电的AF-VCC电源噪声较大，注意不要与其他敏感电源（如AVDD）共用。
- 5.摄像头模组PIN脚定义：检查摄像头模组的PIN定义，是否与插座一致。特别需要注意一般24PIN插座有上接触或下接触可选择，检查模组金手指接触面的方向。
- 6. 如果前后摄像头上电时序完全不同时，必须分开AVDD和IOVDD，建议将AXP813的DLDO1用作前置摄像头的AVDD，GPIO0/LDO或者GPIO1/LDO用作后置摄像头的IOVDD。

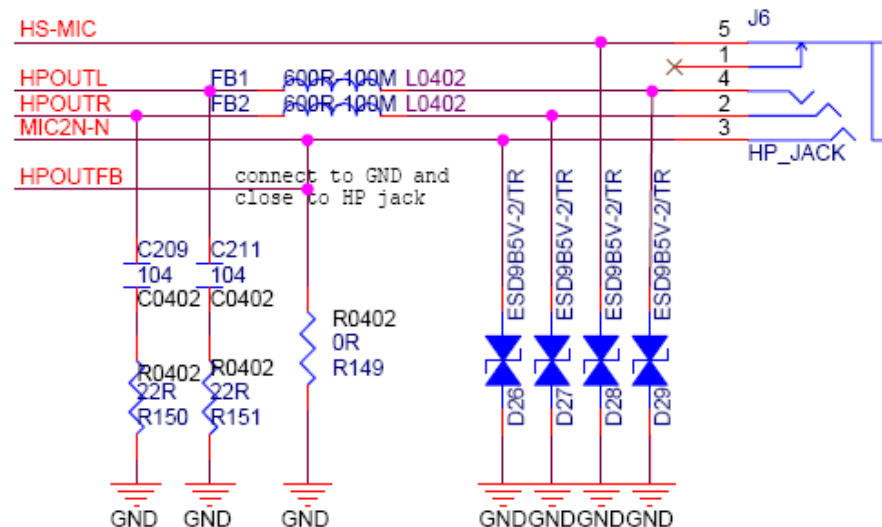
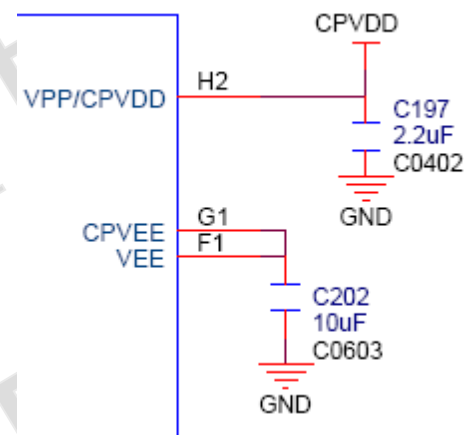
# AUDIO

- 1. VRP、VRA2、AGND的接地点汇总成一点，通过0R电阻到大地。网络上电阻以及电容的参数不能修改。



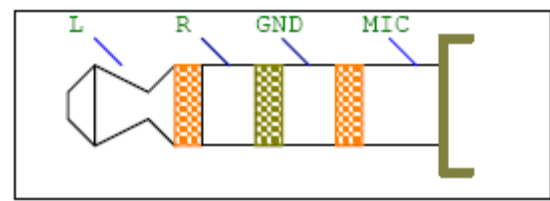
# AUDIO

- 2. CPVDD/VPP, Bypass电容为2.2uF; CPVEE与VEE短接, Bypass电容为10uF。CPVDD采用1.8V供电。
- 3.耳机输出的RC电路必须保留; 如下图的C209/R150, C211/R151。HPOUTFB的接地电阻靠近耳机座子。MIC2N-N网络要参考耳机座子的地。



# AUDIO

- 4. 耳机接法必须考虑实际采用的耳机座子与信号的连接关系，并考虑采用欧标或者美标四段式耳机。标案默认为美标四段式耳机接法。



- 5. 3路I2S接口有固定接法，理论上不能随意互换。分别是I2S1接AP, I2S2接BB, I2S3接BT。
- 6. IRQ-AUDIO、IRQ-RTC、CKO2-RTC、CKO3-RTC为open drain，需要上拉到高电平；但CKO1不需要上拉。CKO1输出电压必须与VCC-RTC保持一致。
- 7. RTC晶振靠近IC摆放。

# USB

---

- 1. USB0具有OTG功能，USB1只具有HOST功能，在产品功能定义上需要注意区别。
- 2. USB0 座子上的ID pin脚用于外部设备检测，连接到GPIOH11，并通过电阻上拉到VCC-3V3电压，若ID检测为低，则USB Device插入，USB0工作为Host模式。
- 3. 5V-DCDC输入电压为PS，POWER SWITCH开关加下拉电阻，默认关闭，只有作为HOST，为外部设备供电时才打开。
- 4. USB D+/D-上必须使用共模扼流圈（可以与0R电阻CO-LAY）和ESD器件。

# CARD

---

- 1. CLOCK脚不要上拉电阻，若并联电容，容值不得超过15pF。
- 2. ESD器件线电容不能大于10pF。
- 3. CLOCK信号线上需要串33欧电阻，靠近主控端摆放。
- 4. CMD信号线上拉电阻使用10K，上拉电源为CMD的IO供电电源。

# WIFI/BT

---

- 1. PCM的连接方式如下，请勿接反：

AXP813端 ---- WIFI端

PCM-CLK ---- PCM-CLK

PCM-SYNC ---- PCM-SYNC

PCM-DOUT ---- **PCM-DIN**

PCM-DIN ---- **PCM-DOUT**

- 2. UART的连接方式如下，请勿接反：

主控端 ---- BT端

UART-RX ---- **UART-TX**

UART-TX ---- **UART-RX**

UART-RTS ---- **UART-CTS**

UART-CTS ---- **UART-RTS**



# ESD

---

- 1. CPU / DRAM / 晶振等ESD敏感的关键器件，建议预留金属屏蔽罩。
- 2. 复位信号在靠近AP端，必须保留一个对GND的滤波电容，容值固定选择1nF；
- 3. 部分与外部直连或者裸露的接口，比如speaker座子、USB座子、MIC、HDMI座子、CARD座子等，必须加上ESD器件

# 目录

---

PART 1: Schematic Design guide

PART 2: PCB Layout guide

## PART 2: PCB Layout guide

---

- 1. Stack Up
- 2. CPU Fanout
- 3. CPU POWER
- 4. 24M晶振
- 5. DRAM
- 6. NAND/EMMC
- 7. AXP813 POWER
- 8. AXP813 AUDIO
- 9. CAMERA
- 10. HDMI
- 11. USB
- 12. CARD
- 13. BASEBAND
- 14. WIFI/BT
- 15. GPS
- 16. PCB COPPER
- 17. ESD
- 18. EMC

# Stack Up

- 1. 四层板，叠层结构和阻抗控制建议如下（如果需调整板厚，请调整2、3层之间介质厚度，保持其他介质厚度不变）

---	Stackup Structure				Impedance Requirements			
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space (mil)	Sim Z0(Ohms)
	solder mask	0.5	SM	4.25				
1	TOP	1.6	0.3oz+plating	4.25	50±10%	2	4	52.18
					90±10%	2	4.5/7.5	90.03
					100±10%	2	3.8/8.7	98.5
	prepreg	2.9		4				
2	GND	1.2	1.0oz					
	core	27.0		4.5				
3	VCC	1.2	1.0oz					
	prepreg	2.9		4				
4	BOTTOM	1.6	0.3oz+plating	4.25	50±10%	3	4	52.18
					90±10%	3	4.5/7.5	90.03
					100±10%	3	3.8/8.7	98.5
	solder mask	0.5	SM	4.25				
	Board thickness:	39.4						

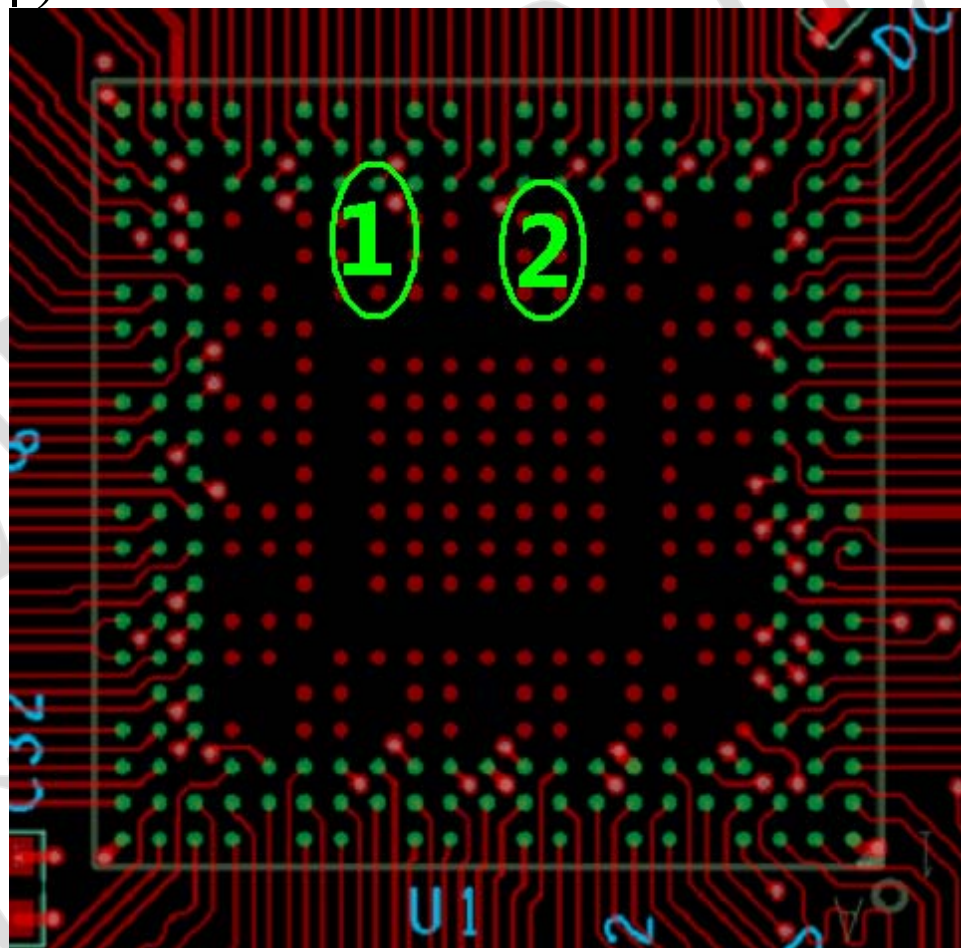
# Stack Up

- 2. 六层板，叠层结构和阻抗控制建议如下（如果需调整板厚，请调整3、4层之间介质厚度，保持其他介质厚度不变）

Stackup Control Table								
---	Stackup Structure				Impedance Requirements			
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space (mil)	Sim Z0(Ohms)
	solder mask	0.5	SM	4.25				
1	TOP	1.6	0.3oz+plating		50±10%	2	4	52.18
					90±10%	2	4.5/7.5	90.03
					100±10%	2	3.8/8.7	98.5
	prepreg	2.9		4				
2	GND	1.2	1.0oz					
	core	4.0		4.2				
3	SIG1	1.2	1.0oz		50±10%	2&5	4	51.67
					90±10%	2&5	4.5/7.5	88.18
					100±10%	2&5	3.8/8.7	96.3
	prepreg	17.0		4.5				
4	SIG2	1.2	1.0oz		50±10%	2&5	4	51.67
					90±10%	2&5	4.5/7.5	88.18
					100±10%	2&5	3.8/8.7	96.3
	core	4.0		4.2				
5	VCC	1.2	1.0oz					
	prepreg	2.9		4				
6	BOTTOM	1.6	0.3oz+plating		50±10%	5	4	52.18
					90±10%	5	4.5/7.5	90.03
					100±10%	5	3.8/8.7	98.5
	solder mask	0.5	SM	4.25				
	Board thickness:	39.8						

# CPU Fanout

- 1. 第一圈、第二圈、第三圈的Ball，尽量从TOP层拉出走线（线宽4 mil，线距4 mil）



图中（1）处没有Ball的位置为Via通道；

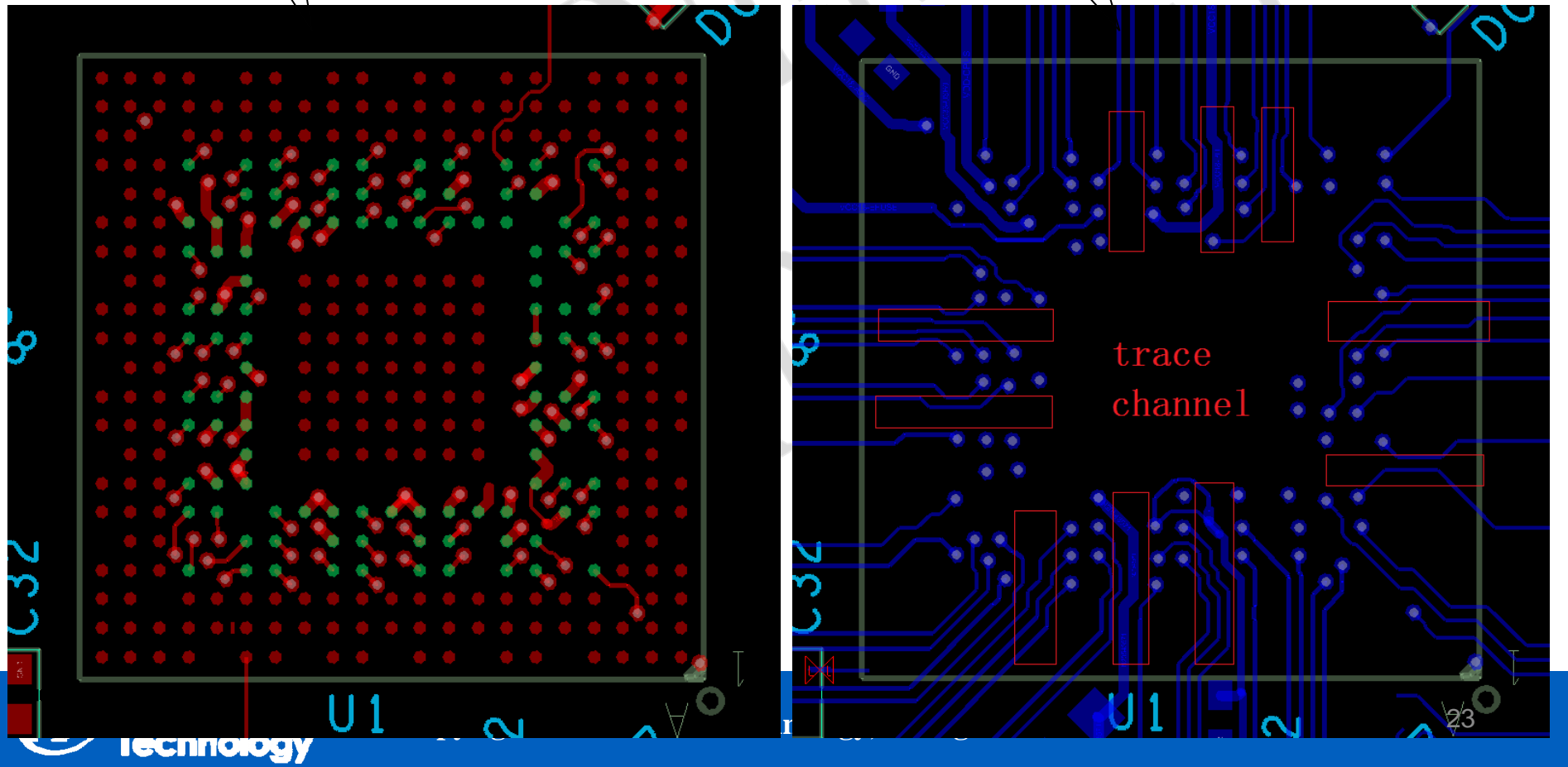
图中（2）处较多Ball的位置为其他Layer的走线通道

# CPU Fanout

➤2. 第四到五圈的Ball，用8/16mil过孔扇出，从Bottom层出线（6层板也可从内层信号层出线），注意：Via优先走Via通道，留出尽量多的走线通道：

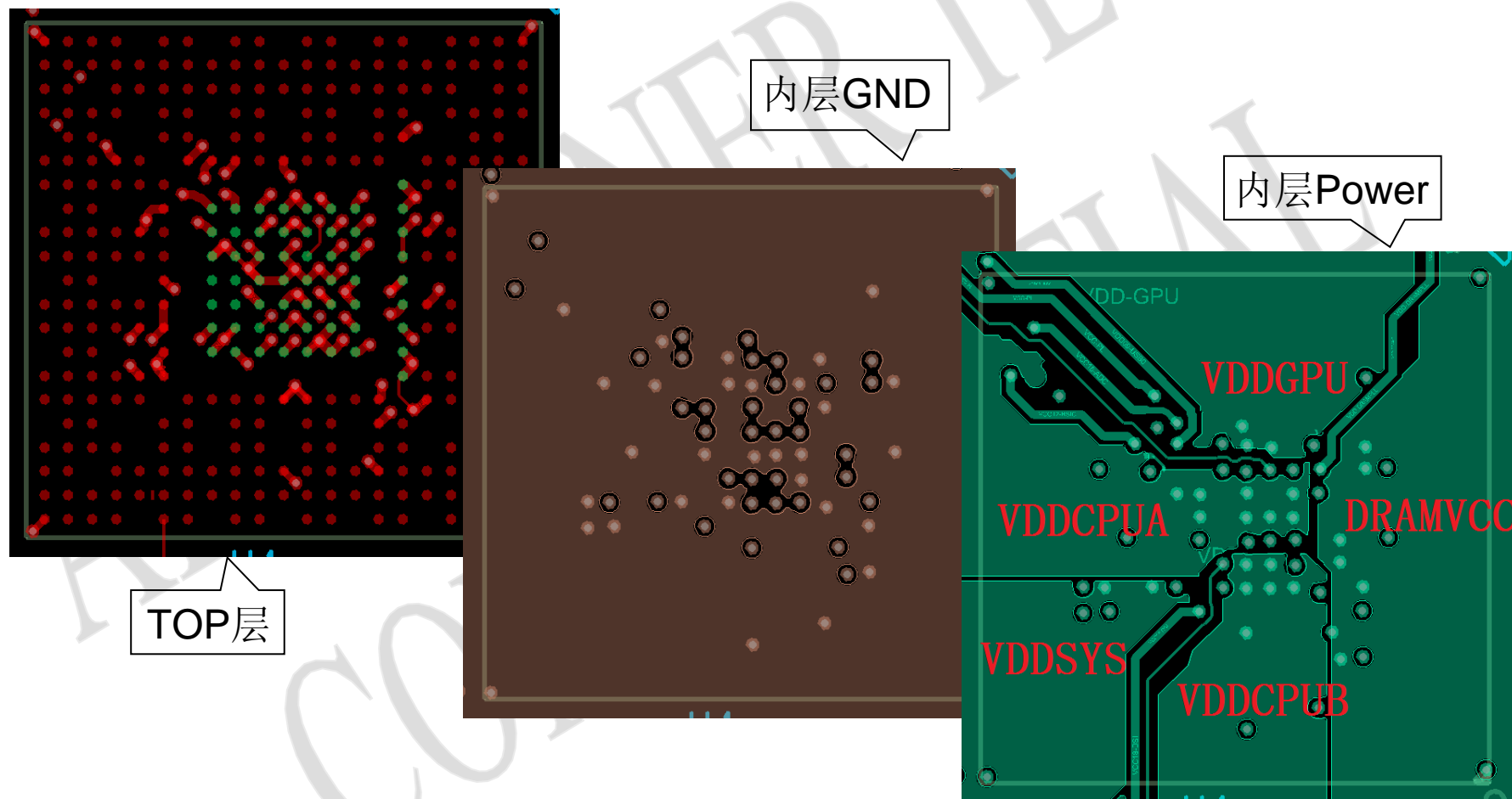
TOP层

Bottom层



# CPU Fanout

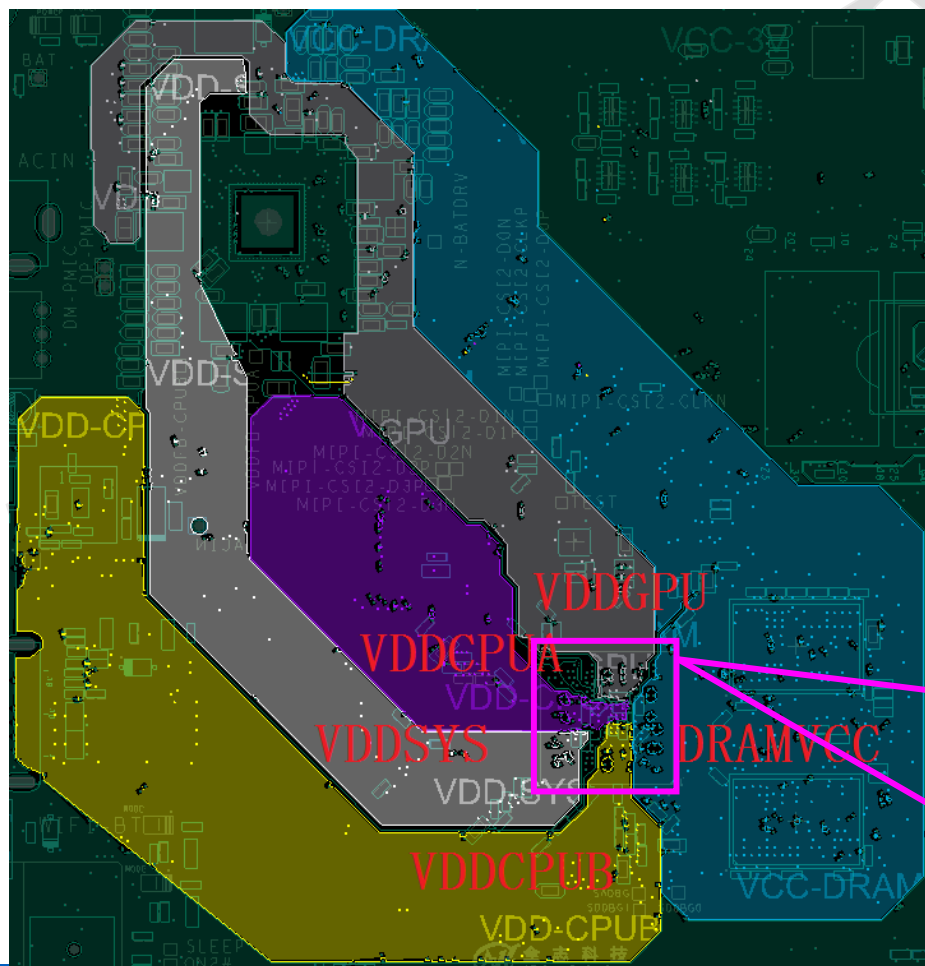
- 3. 中间Power和GND的球，用8/16mil过孔从内层覆铜出线，注意留出尽量多的覆铜通道：



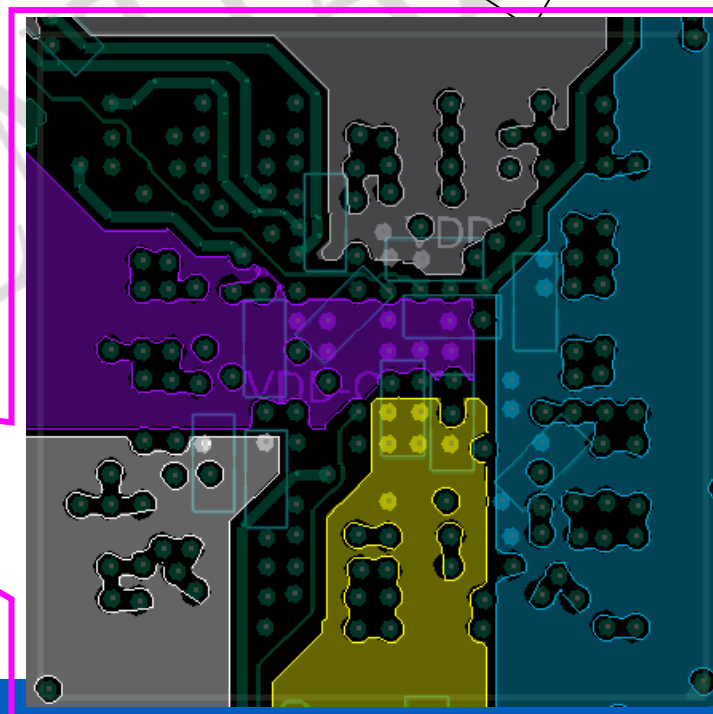


# CPU POWER

- 1. A83T的5个主电源网络必须保证走线宽度，尽量用覆铜连接，并尽量加宽覆铜宽度。

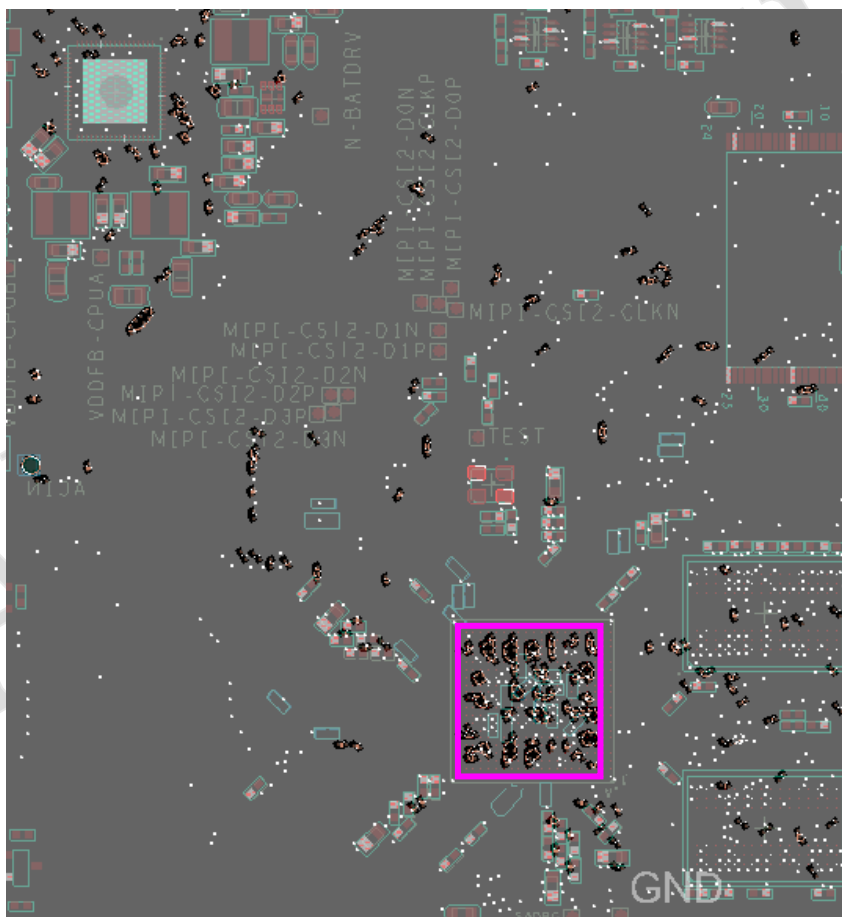


调整过孔位置，减少过孔对平面的破坏。尤其CPU下方位置，尽量加大覆铜有效连接宽度。

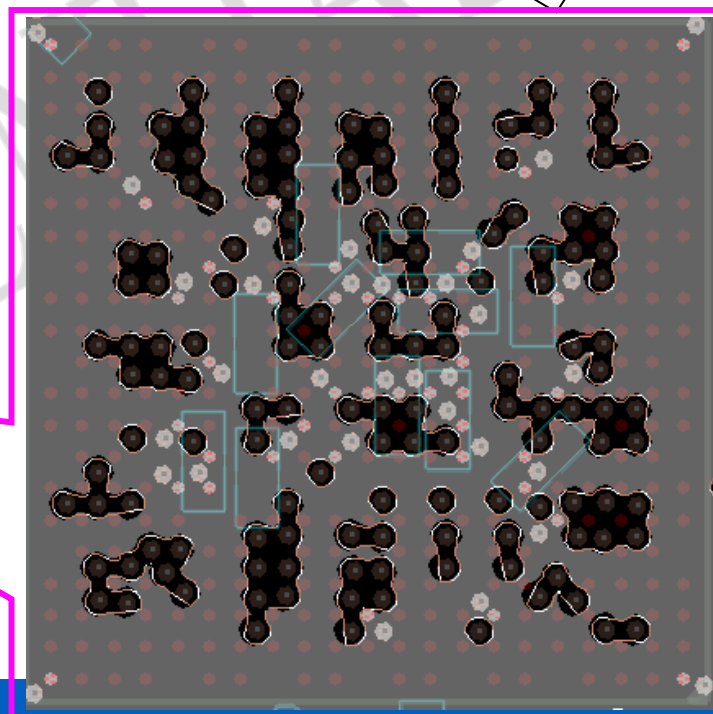


# CPU POWER

- 2. GND必须保证走线宽度，尽量用覆铜连接，并尽量加宽覆铜宽度。



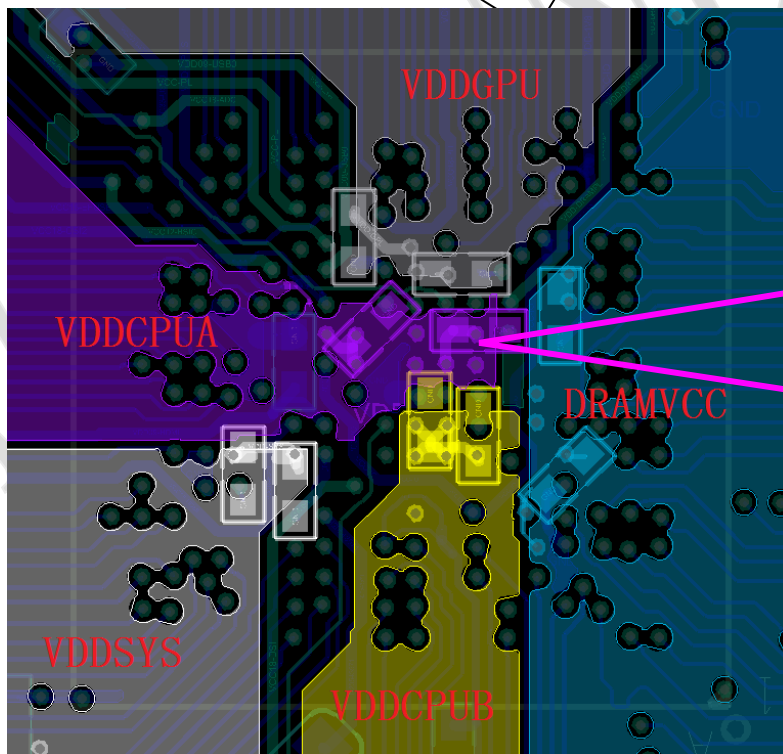
调整过孔位置，减少过孔对平面的破坏。尤其CPU下方位置，尽量加大覆铜有效连接宽度。



# CPU POWER

## ➤3. Bypass电容-双面布局:

将滤波电容放置在A83T  
电源管脚下方的PCB背面。

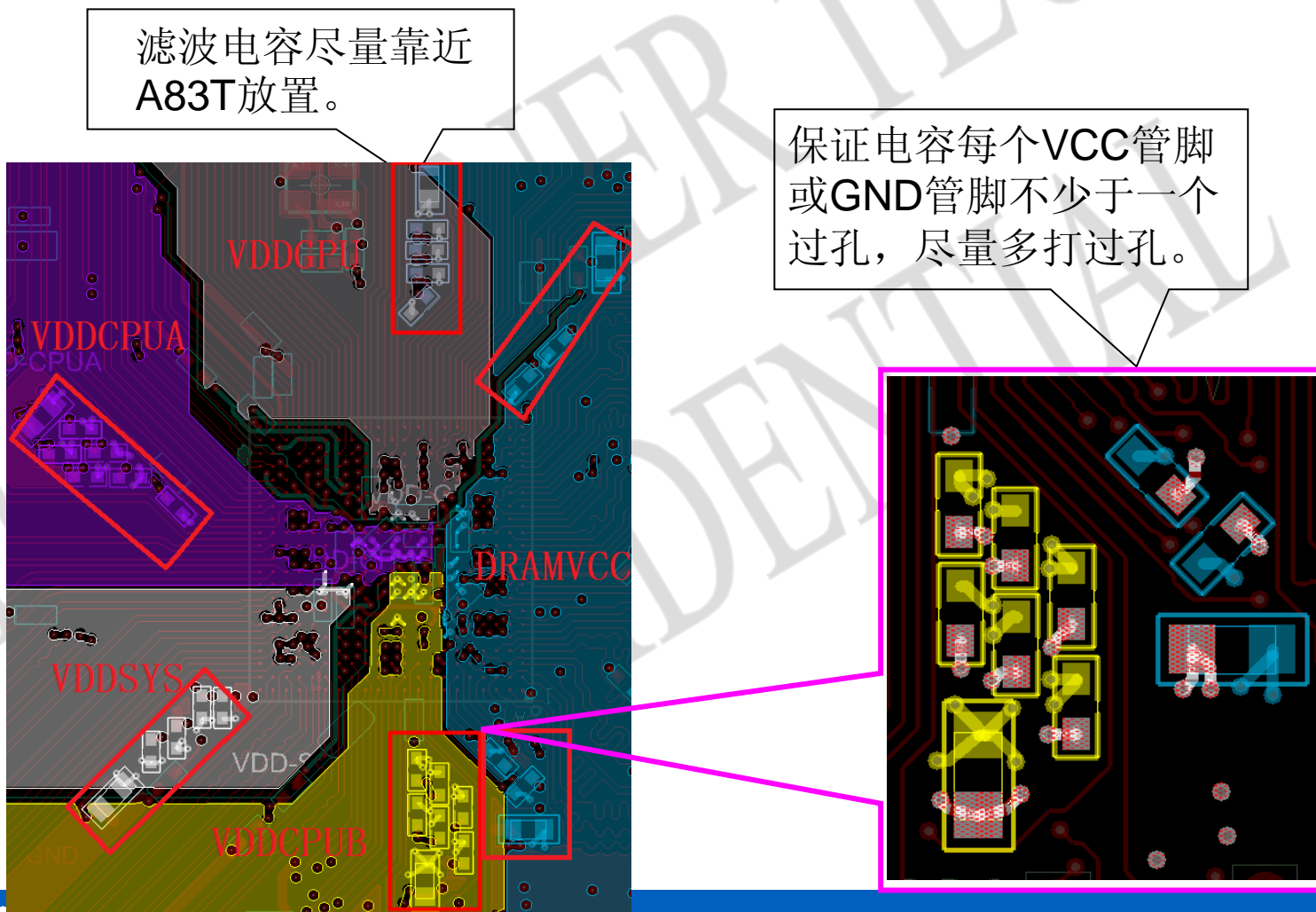


保证电容每个VCC管脚或  
GND管脚不少于一个过  
孔，尽量多打过孔。



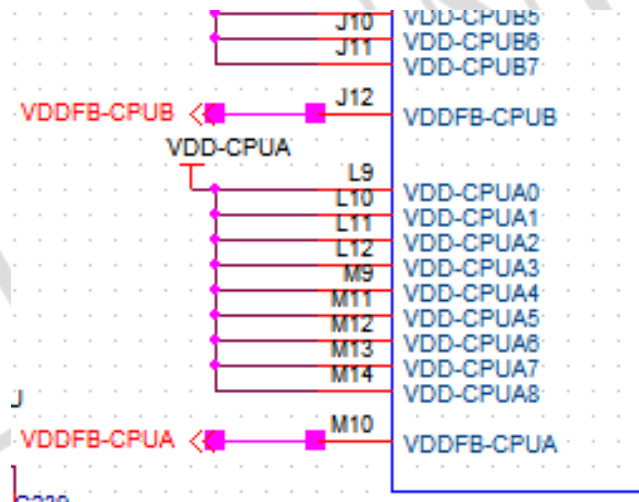
# CPU POWER

## ➤4. Bypass 电容-单面布局:



# CPU POWER

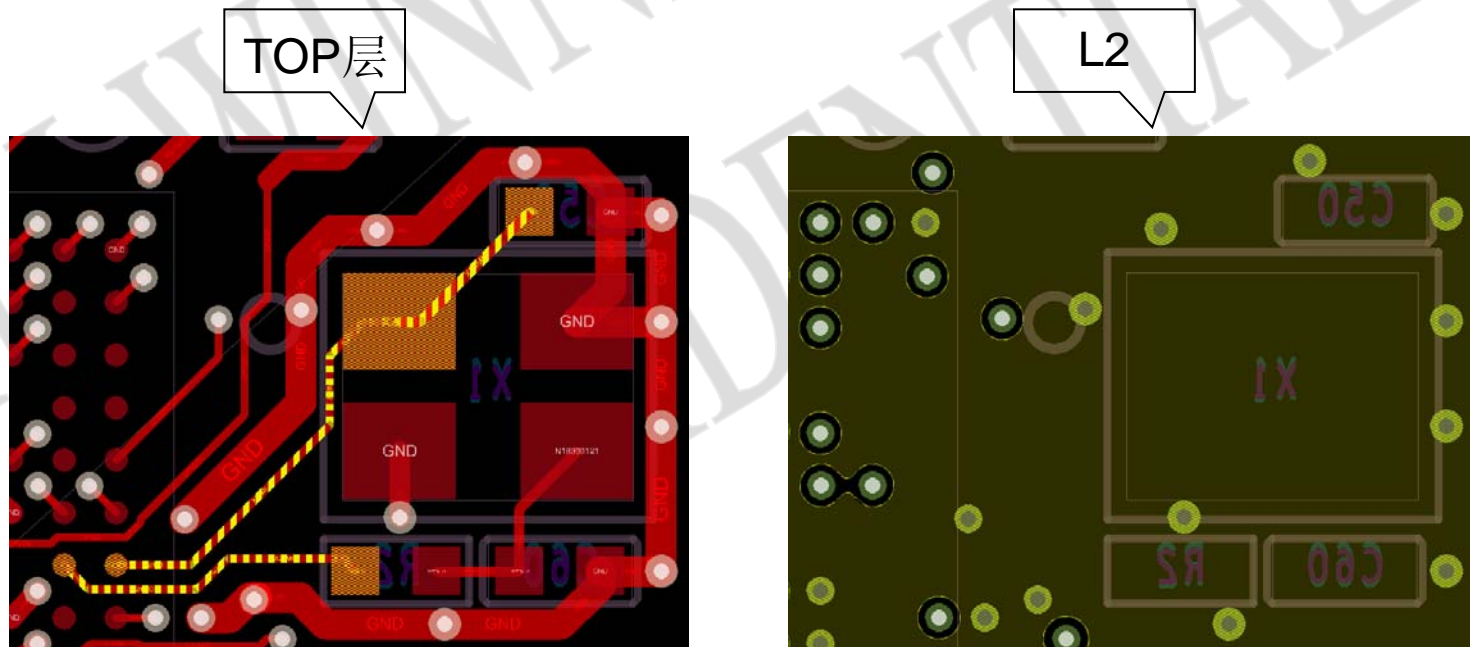
- 5. VDDFB-CPUA、VDDFB-CPUB为电源反馈信号，远离DDR、CSI、SD CARD等干扰信号走线，尽量包地保护。线宽 $\geq 4\text{mils}$ ，离其他走线（包括GND）的距离 $\geq 12\text{mils}$ 。





# 24M晶振

- 1. 晶体尽量靠近IC摆放，避免晶体走线过长。
- 2. 晶振的匹配电容必须靠近晶振摆放
- 3. 晶体及其走线区域的外围和相邻层，用GND屏蔽保护。
- 4. 晶体及其走线区域的相邻层，禁止其它走线。



# DRAM

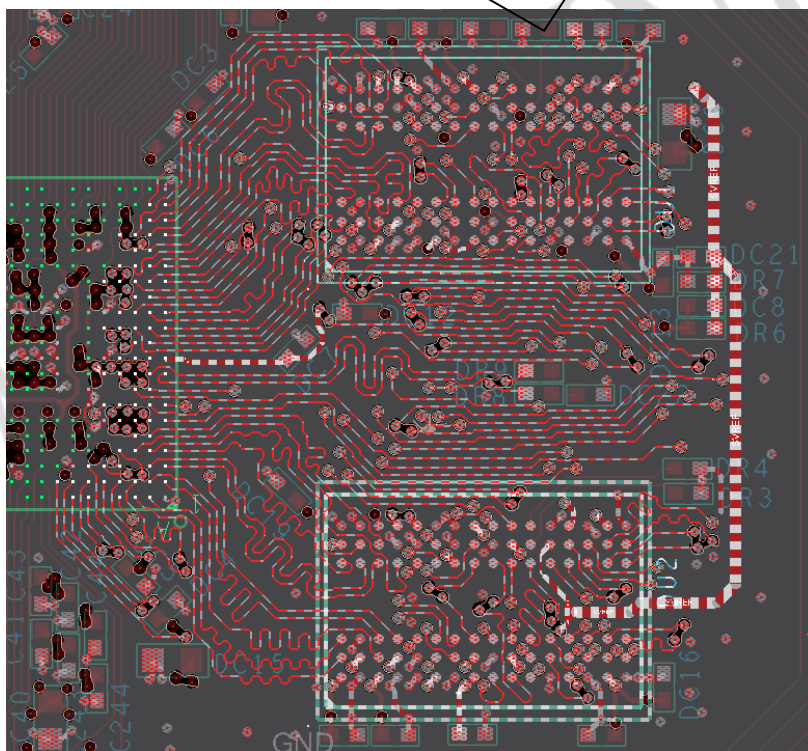
---

- 建议直接导入全志的DRAM Layout模板到您的Layout设计中，以确保DRAM的速率和稳定性。
- 如果条件限制无法完全导入模板，请参照模板说明进行Layout，并确保以下关键点：

# DRAM

- 1. 所有走线的相邻层必须有完整的电源平面或地平面。4层板实例如下：

TOP走线相邻层是完整的GND平面



Bottom相邻层是完整的DRAMVCC平面

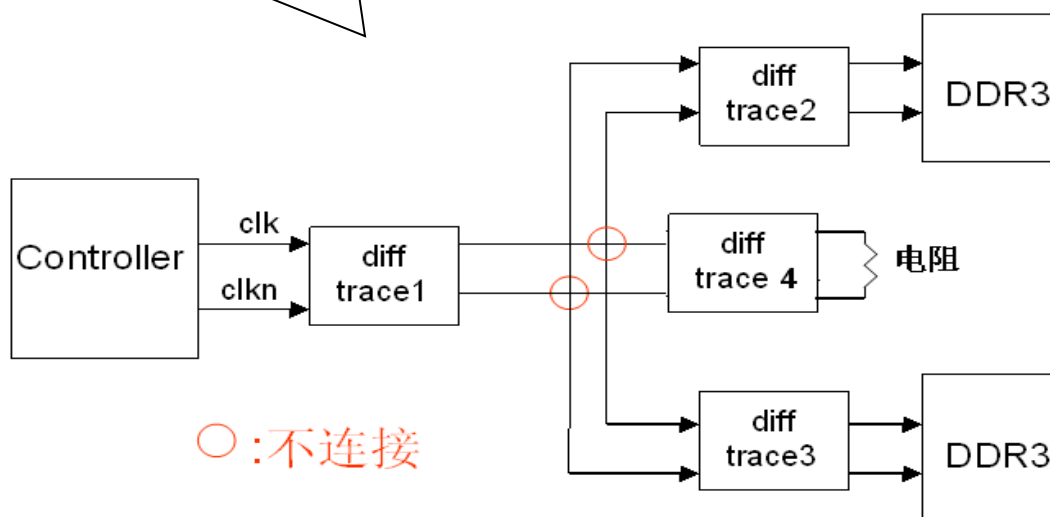




# DRAM

## ➤2. CK/CKB必须走远端簇型拓扑。

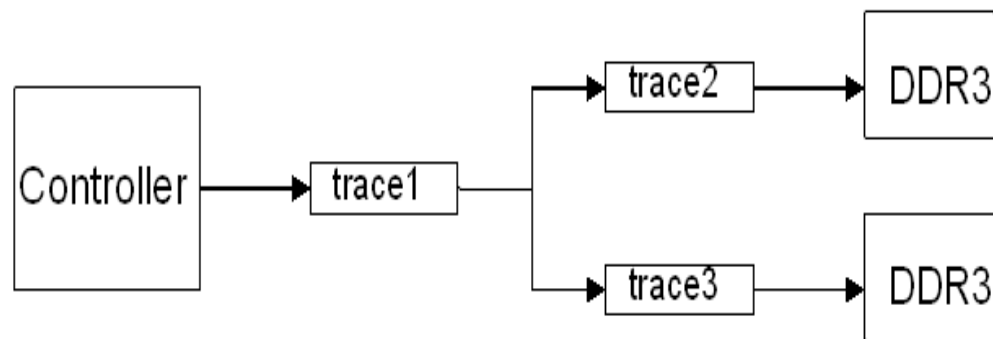
对于两片颗粒：  
 $\text{diff\_trace1} > \text{diff\_trace2}$  或  $\text{diff\_trace1} > \text{diff\_trace3}$   
 $\text{diff\_trace2} < 600\text{mil}$   
 $\text{diff\_trace3} < 600\text{mil}$   
 $\text{diff\_trace2} - \text{diff\_trace3} < \pm 50\text{mil}$   
 $\text{diff\_trace4} < 100\text{mil}$



# DRAM

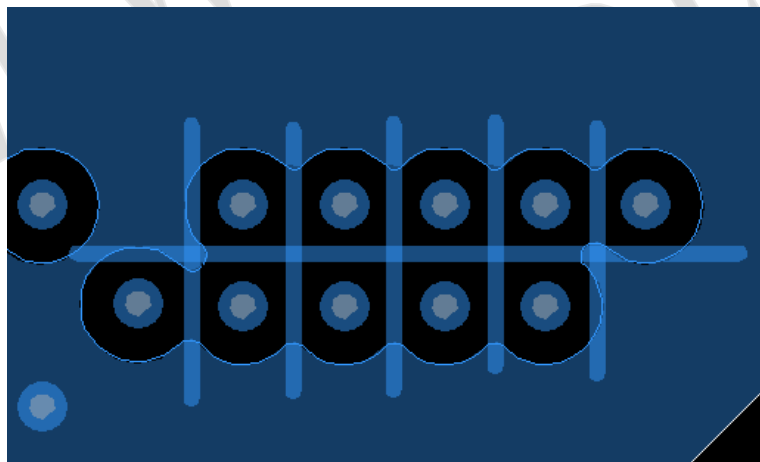
- 3.  $A_x$ ,  $BA_x$ ,  $CAS$ ,  $RAS$ ,  $WE$ ,  $CS_x$ ,  $ODT_x$ ,  $CKE_x$  尽量走远端簇型拓扑。

对于两片颗粒：  
 $trace1 > trace2$  或  $trace3$   
 $trace2 < 600mil$   
 $trace3 < 600mil$   
 $trace2 - trace3 < +/- 50mil$



# DRAM

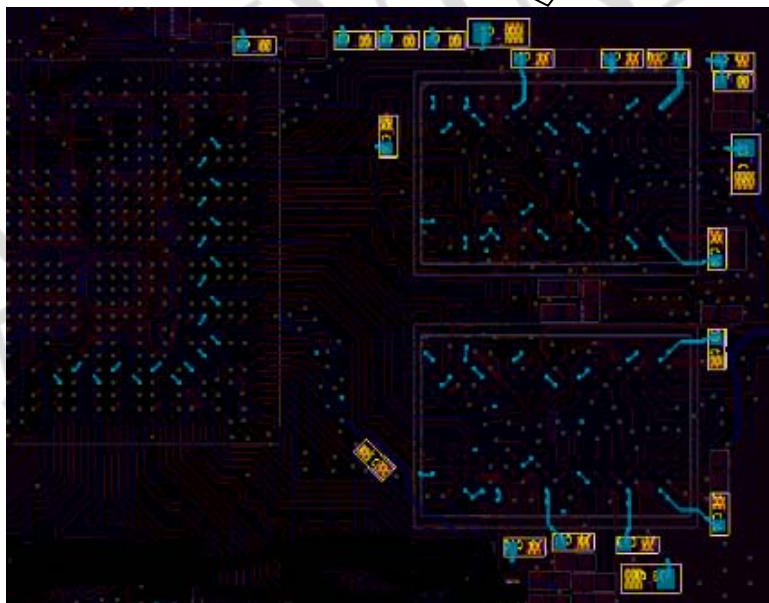
- 4. 差分对（CK/CKB、DQSx/DQSBx）控制差分阻抗100ohm，与其他网络的间距4W，W为线宽。
- 5. 单端线控制阻抗50ohm，间距2W。W为线宽。
- 6. Vref走线与其他网络的间距大于4W，滤波电容尽量靠近管脚放置。
- 7. 调整好过孔的位置、间距，减少对电源、地平面的破坏。平面断开处用走线连接。



# DRAM

- 8. 电源滤波电容尽量靠近电源管脚放置，最好能放置在电源管脚下方的PCB背面。每个电容至少各一个电源过孔和地过孔，电容均匀分布，大小搭配，小电容优先靠近电源管脚。

单面布局，电容尽量靠近电源管脚

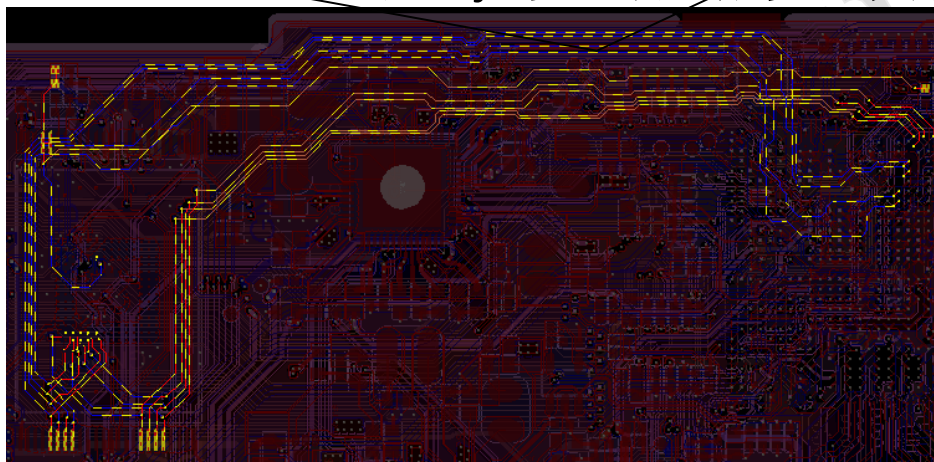


双面布局，电容放置在电源管脚下方的PCB背面



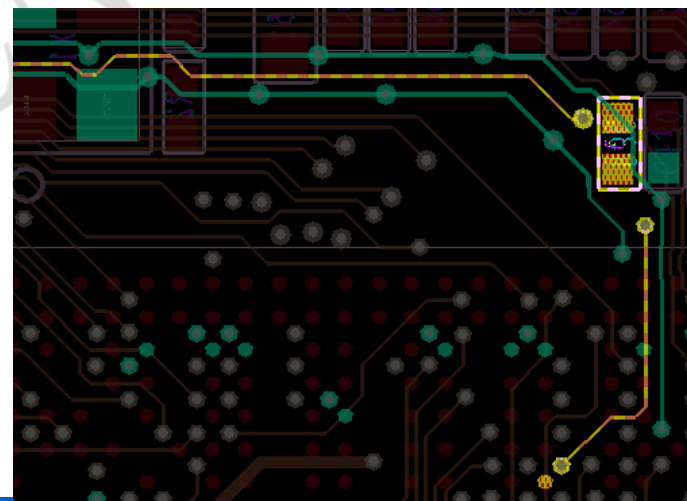
# NAND/EMMC

- 1. 数据D0-D7走线和时钟CLK走线尽量集中走线，不允许过分分散走线。
- 2. 建议D0-D7相对于CLK做300mil等长控制。
- 3. NAND/eMMC双Lay时，尽量减少分叉线长度。



- 4. 建议eMMC-CLK包地。
- 5. eMMC-CLK上的33欧串联电阻靠近CPU摆放。

- 6. NAND/eMMC双Lay时，ND-RB和eMMC-CLK走线请走菊花链，尽量减少分叉线长度。走线顺序位：从CPU出来，先经过NAND, 再到EMMC



# AXP813 POWER

---

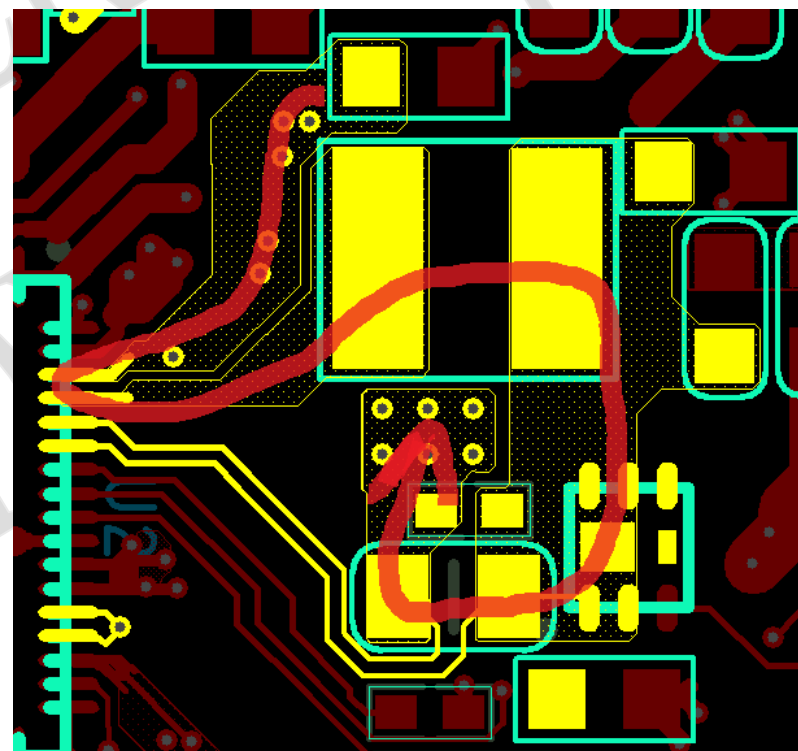
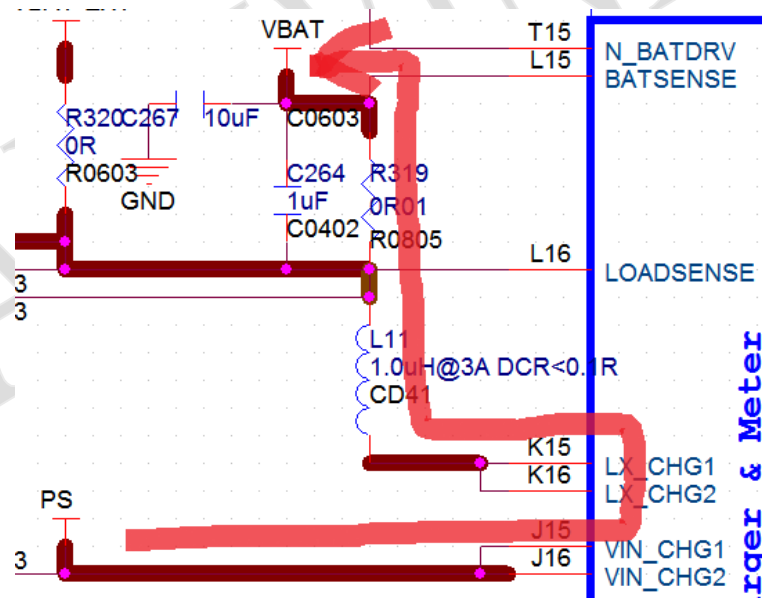
- 1. AXP813底层地平面处理，给底层尽量完整的地平面，能更有效的解决散热问题。同时底部的PAD需要和地平面以全连接的方式铺铜。
- 2. DCDC输入端VIN1-6输入滤波电容应尽量靠近输入Pin脚，输入通路最好先经过电容后进Pin脚，以达到更好的滤波效果。



# AXP813 POWER

## ➤3. 充电路径如图所示:

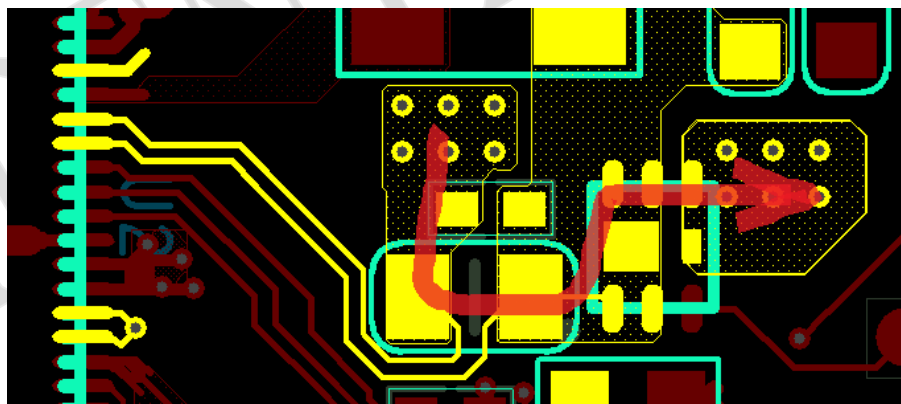
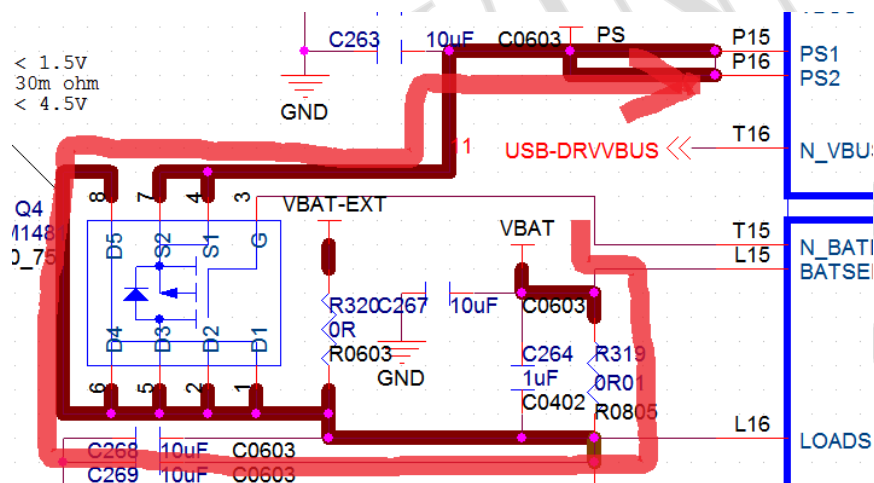
走线线宽40-100mil, 建议用覆铜方式连接。整个通路尽量短, 距离<180mil。



# AXP813 POWER

## ➤4. 放电路径如图所示:

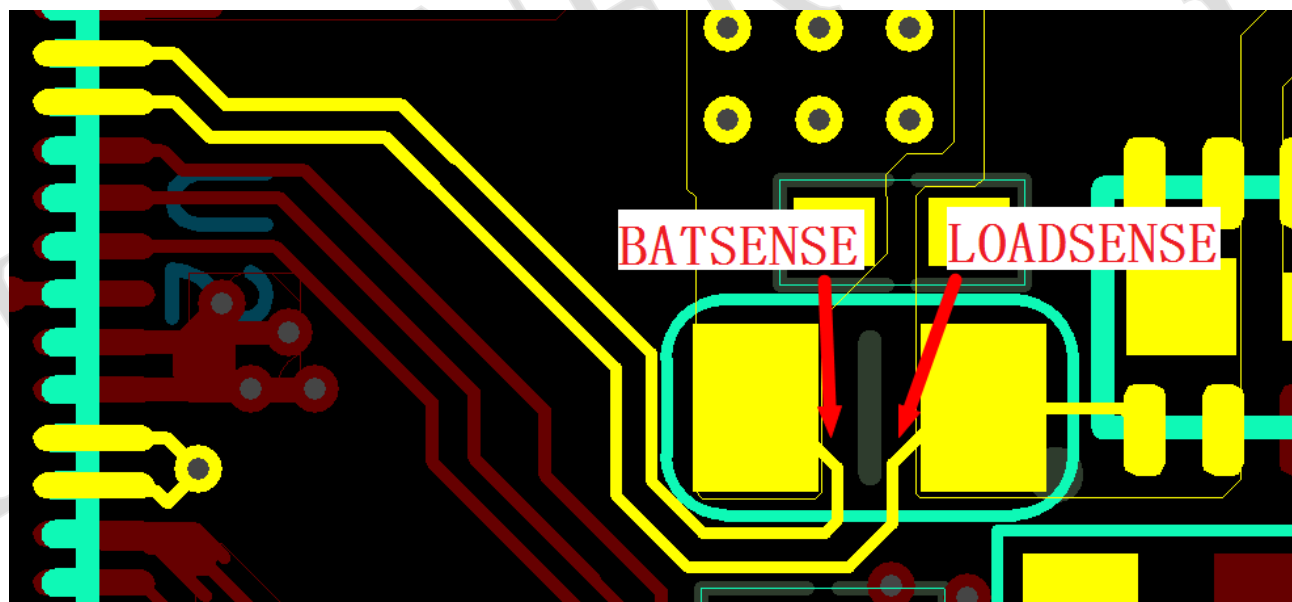
BAT放电路径为VBAT→采样电阻→外部PMOS→PS, 走线线宽 $\geq 100\text{mil}$ 。





# AXP813 POWER

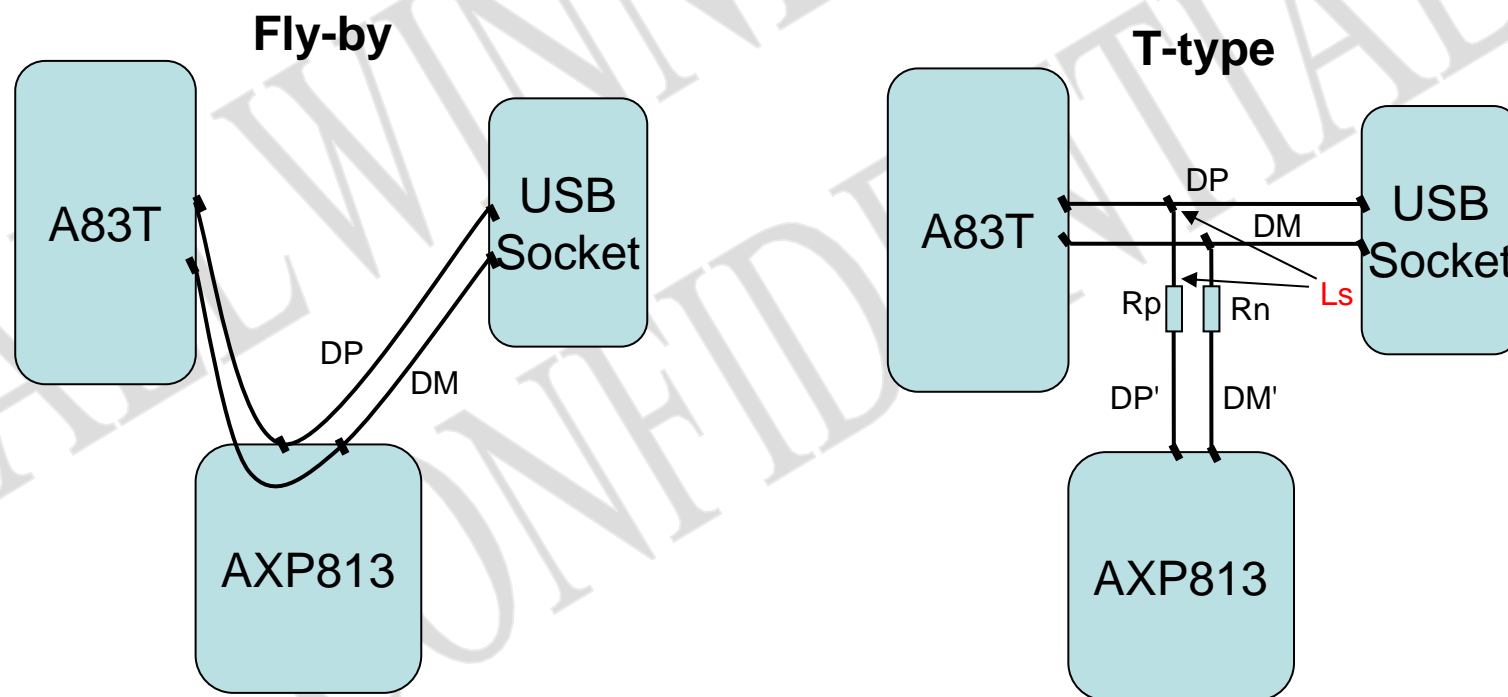
- 5. 采样反馈信号BATSENSE、LOADSENSE；从采样电阻的焊盘两端平行向里拉出，如下图所示：



# AXP813 POWER

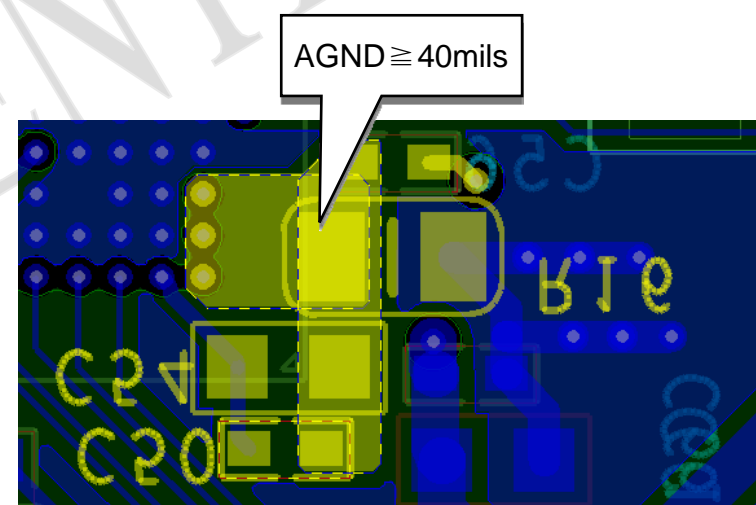
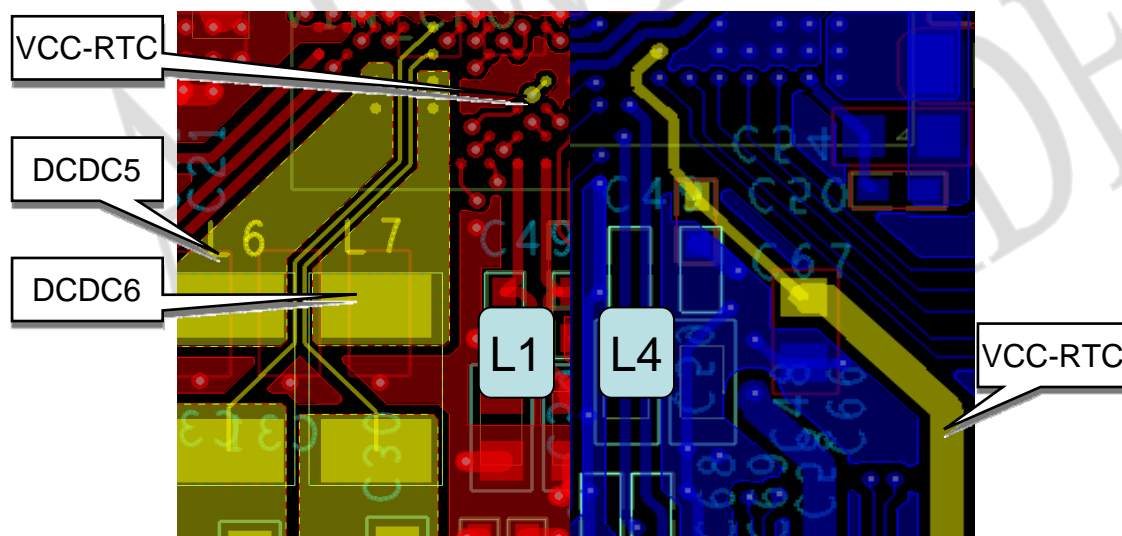
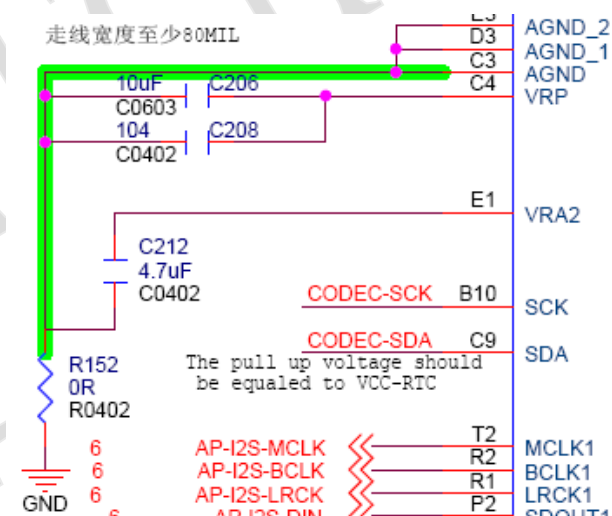
➤6. AXP813支持BC1.2功能，在PCB设计时，必须注意USB DP/DM信号的Layout，如下图所示：

- 建议优先选择使用Fly-by的方式进行连接；
- 如果采用T-type连接， $R_p=R_n=470\Omega$ ，同时保证 $L_s<2.5\text{mm}$ （100mils）。



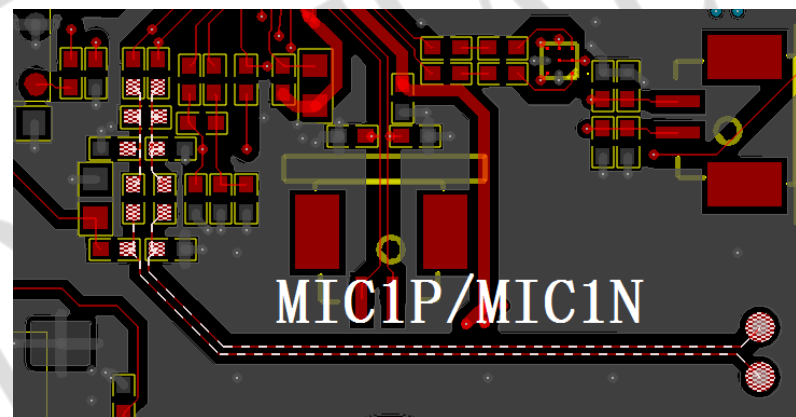
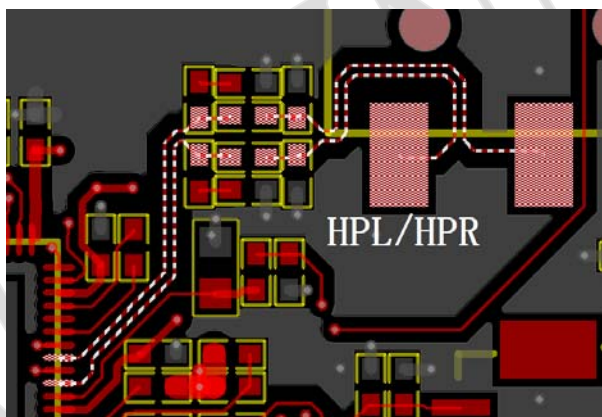
# AXP813 AUDIO

- 1. AGND\AGND\_1\AGND\_2通过0R电阻单点接地；电阻到AGND线宽 $\geq 1\text{mm}$ （80mils）。
- 2. VRP/VRA2参考AGND，电容的容值不允许修改。
- 3. Audio的外围器件布局与Power信号区域不允许交叠。
- 4. DCDC5、DCDC6的信号线与VCC-RTC信号不允许在同一层走线，而且两层之间用GND平面进行隔离。



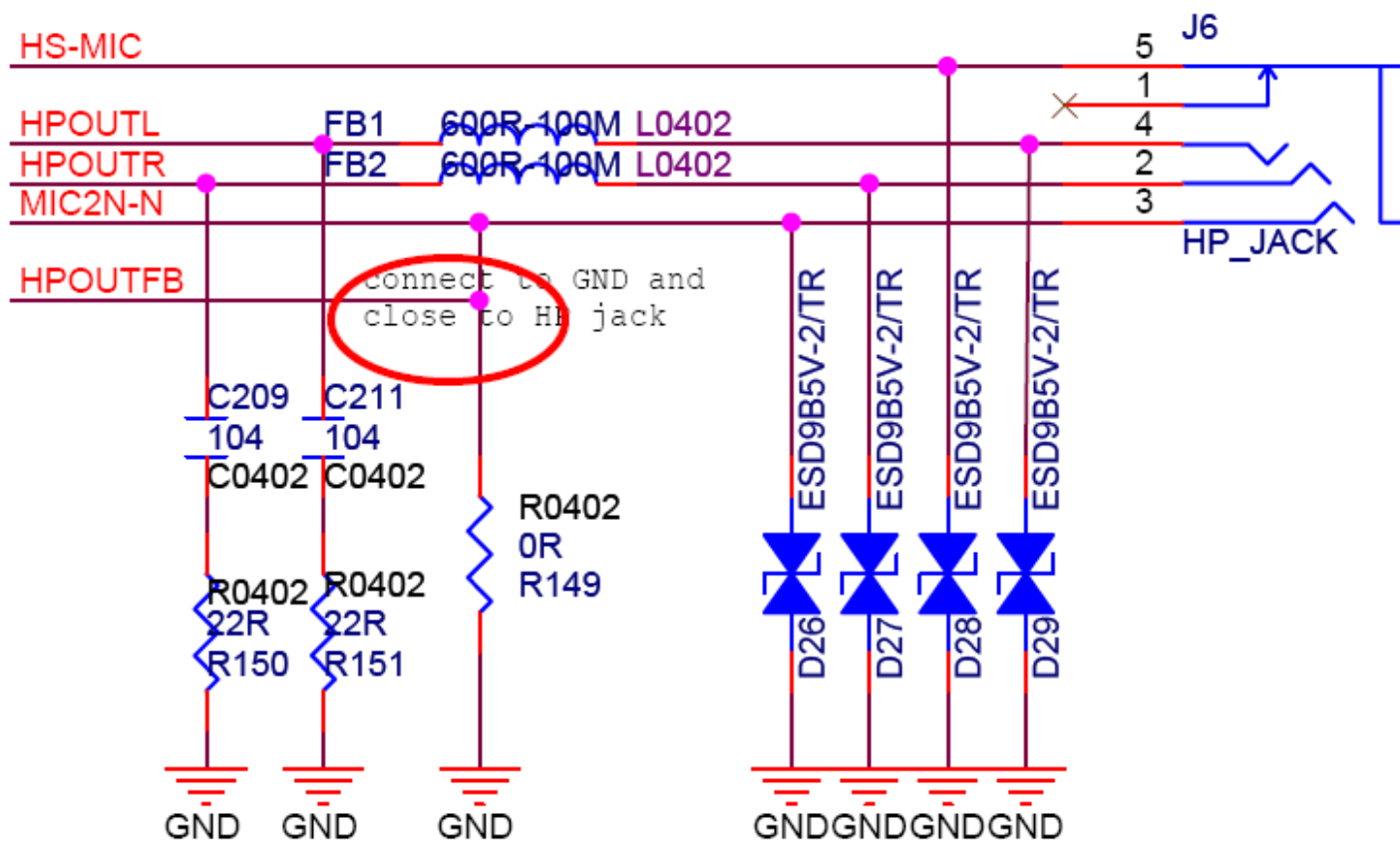
# AXP813 AUDIO

- 5. HPL/HPR、MIC1P/MIC1N、MIC2P/MIC2N做好屏蔽保护  
每对信号分别并行走线并包地。  
走线及过孔远离DRAM、LCD高速信号。



# AXP813 AUDIO

- 6. 如下图所示，使用带MIC功能的耳机在接地时必须注意：  
MIC2N-N/HPOUTFB在靠近耳机端单点接地，同时要求两信号各自独立走线，避免合并走线。



# AXP813 AUDIO

---

- 7. AXP813到外置功放的SPEAKER差分走线包地，外置功放SPEAKER到喇叭的信号走线线宽 $\geq 25$  mil。
- 8. 远离高速信号线，如DRAM。禁止在高速信号线相邻层走线，若要交叉，中间须有“地”层隔离，且禁止在高速信号线附近打孔换层。
- 9. MIC摆放位置远离 ( $\geq 200$ mil) RF、PA。
- 10. SPEAKER AMP的电源走线宽度 $\geq 25$ mil。

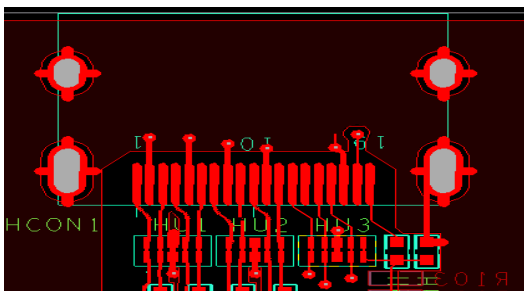
# CAMERA

- 1. 对于高像素的模组，可能会发热比较严重，如OV5640，OV5642，MI5140。背面需要紧贴大面积的金属，以便散热，否则可能会带来画面变色的问题。
- 2. PCLK上的电容靠近主控，电阻靠近CAMERA;MCLK上的电容靠近CAMERA，电阻靠近主控。
- 3.摄像头方向以及位置: LAYOUT时，保证摄像头方向正确，保证模组的摄像头开孔位置，与摄像头插座位置的距离尽量近 $\leq 2000\text{mil}$ ，防止摄像头模组FPC过长出现问题
- 4. AVDD，IOVDD和DVDD的滤波电容，需要接近模组。
- 5.双摄像头: LAYOUT时，请尽量保证两个摄像头的连接器不要分开太远，保证电源到达摄像头模组以及信号达到主控CSI的一致性。
- 6. CSI-MCLK和CSI-PCLK需要各自包地，并保证较少的换层（MCLK 2层以内，PCLK 2层以内）连接到Camera connector。PCLK和DATA走线长度保证一致。



# HDMI

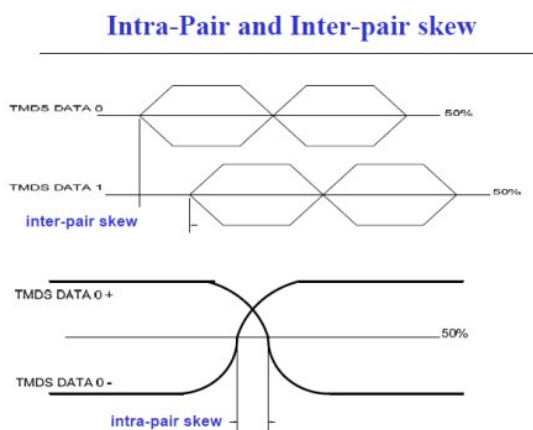
- 1. 差分线包地，参考平面完整，尽量采用表层走线。
- 2. ESD器件靠近HDMI插座，见下图：



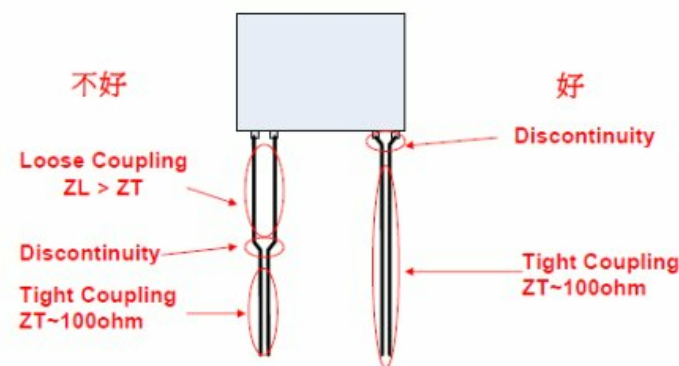
- 3. HDMI的差分信号线做等长差分线走线，差分阻抗 $100\ \Omega \pm 15\%$ ，线宽与线距：请PCB厂根据他制造时候使用的材料，用impedance Calculator计算要做到 $100\ \Omega$ 的线宽和线距。

# HDMI

- 4.要降低差分对内延时差（intra-pair and inter-pair skew）。HDMI走线参考平面要完整，且在同一层中只使用同一个铺铜作为参考。

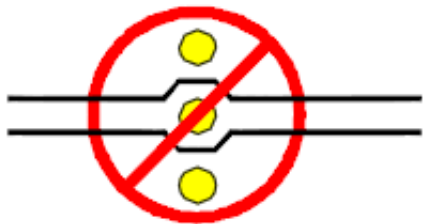


- 5.尽量避免阻抗不连续，不要有90度转角的走线方式：90度转角的地方线宽较宽，阻抗会降下来，因此会产生不连续点；45度转角产生的不连续比较小，在可接受的范围内

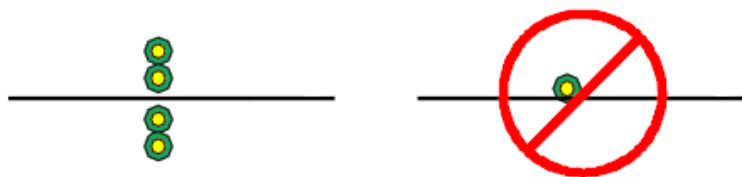


# HDMI

- 6. HDMI差分线走线范围内最好不要有破坏差分走线的过孔如下图

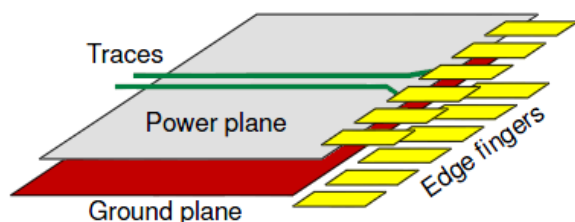


- 7.如果万一差分走线附近有过孔要保证过孔不能影响差分走线的电流返回到GND铺铜的路径，如下图左边部分是可以接受的，右边是不可接受的情况



# HDMI

- 8.避免在HDMI座子连接处出现其他任何走线或电源铺铜，如下图



- 9.差分走线过孔不超过2个。
- 10.按差分100欧姆走线。
- 11. HDMI信号线<3000mil，并行走到连接器处即可；差分线对内、对外尽量等长，相互误差约<200mil。

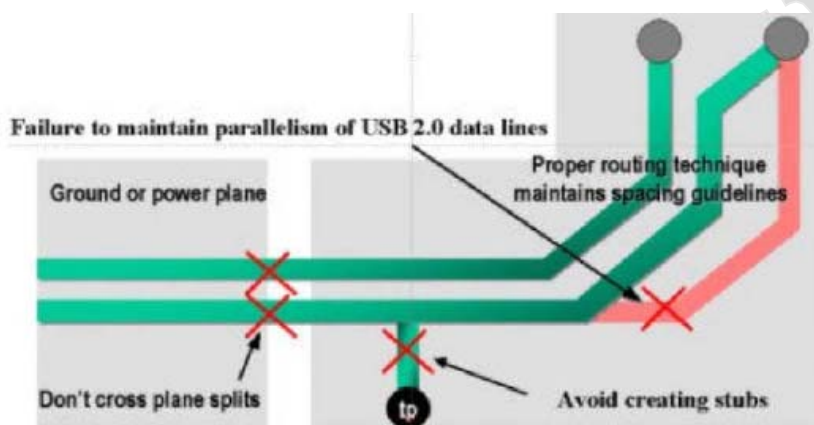
# USB

---

- 1. USB的电气特性满足USB2.0的规范，其差分阻抗为90欧。
- 2. USB D+/D- (DP/DM) 始终保证差分并排走线，拐脚的角度为45度。
- 3. USB D+/D-差分信号走线要与其它信号间距>10 mil。
- 4. 尽量避免D+/D-的走线走在器件的下面或者与其他信号交叉。

# USB

- 5. 建议在表层走线，保证走线相邻层必须有连续完整的参考面，并且参考面没有被分割



- 6. 在进行模块设计的时候，优先考虑USB的布线位置，并保证USB走线的长度控制在4000mil以内。
- 7. USB D+/D-走线过孔不超过2个。
- 8. D+和D-信号走线不能分叉。

# CARD

---

- 1.卡座VCC电容和卡座在PCB板在同一面，并靠近卡座摆放。
- 2.走线尽量与高频信号隔开，数据线分组走线，过孔控制在2个以内。
- 3.同组SD卡数据线走线方向趋势保持一致 不允许出现过份分散走线的方式。
- 4.将CLOCK包地；数据之间可不包地。



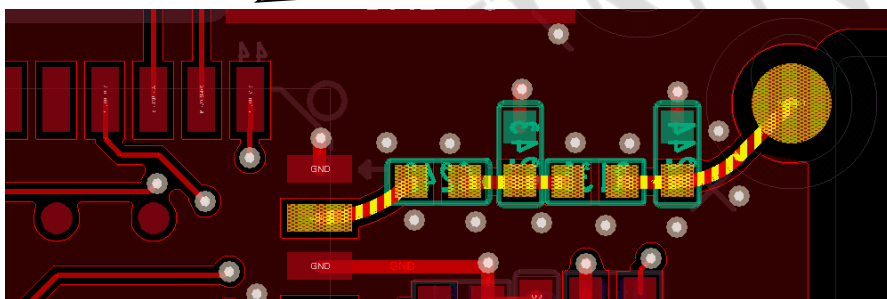
# BASEBAND

---

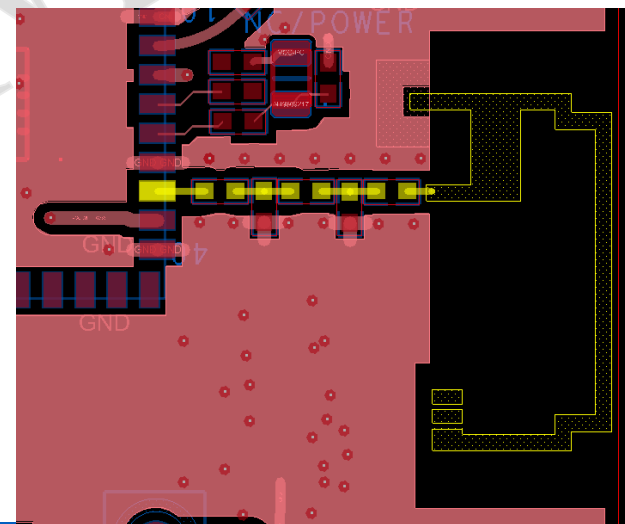
- 1.主控GPIO电平是否与baseband模组的电平匹配。
- 2. baseband容易受干扰，需要严格按照baseband模组厂家提供的PCB layout指南进行lay板。
- 3. baseband供电必须由DC-DC供电，baseband瞬间电流达到3A,走线线宽>240mil。
- 4.天线走线阻抗匹配控制在50欧姆。
- 5. baseband模块远离其他高速信号和电源的干扰，并用完整的地包围。
- 6.必须增加屏蔽罩。

# WIFI/BT

- 1. 模组尽量靠近天线或天线接口。远离DDR、LCD电路、马达、SPEAKER等易产生干扰的模块。
- 2. 天线馈线控制50ohm，左右包地并沿途多打GND过孔。下方需要完整参考地。
- 3. 合理布局天线馈线的匹配电容电阻，使馈线平滑，最短。无分支，无过孔，少拐角。



- 4. 如使用PCB走线作天线，请确保天线走线附近区域完全净空，净空区域大于50mm<sup>2</sup>。天线本体至少距周围的金属1CM以上。



# WIFI/BT

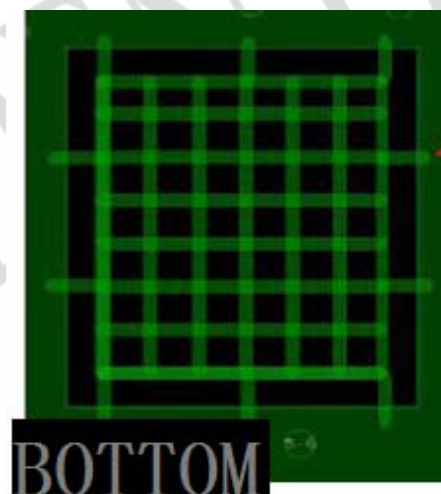
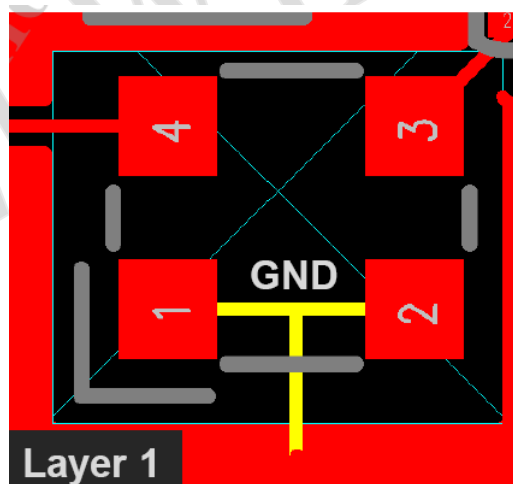
- 5. WIFI天线阻抗控制为50 ohm，为了不让天线变成单向天线，请将天线走线在顶层，并且挖空下面的所有层。天线区域与其它走线最好都用GND铺铜完全屏蔽。

（由于使用天线的差异，具体的布线方法要根据实际情况来决定。）

- 6. RF走线注意：
  - 元件布局尽量紧凑，目的走线尽量短；
  - 走线尽量圆弧或135度角；
  - RF单元尽量单点接地，通过地孔直接和地平面相连接；
  - 远离高频干扰；
  - 做好50 ohm阻抗匹配；
  - 注意RF通路通过GND 孔包地，注意一倍线宽距离；

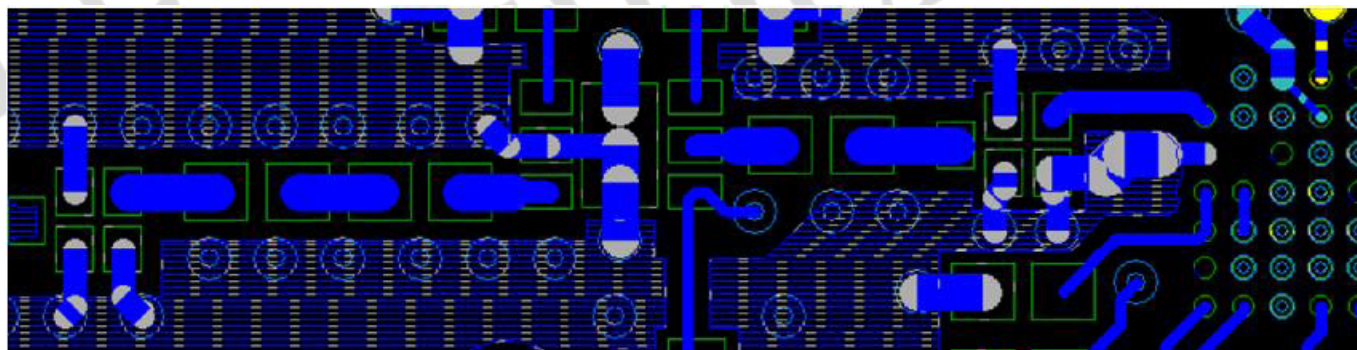
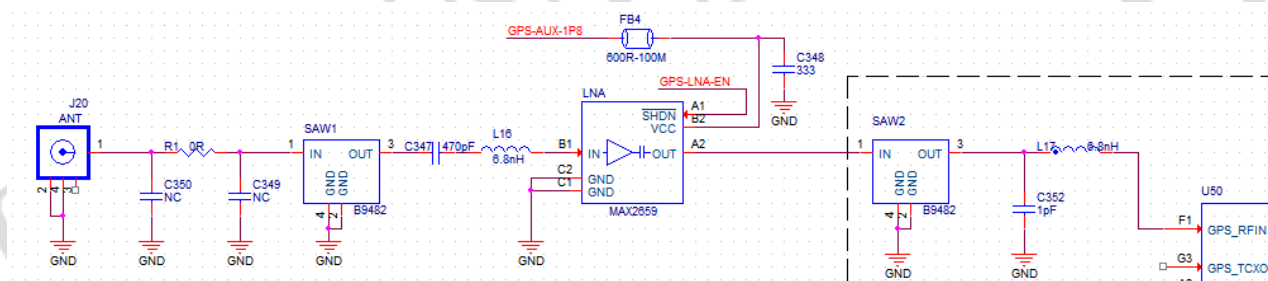
# GPS

- 1. GPS电路位置，尽量远离其他元器件，远离电源、远离各种插座、远离摄像头、LCD背光，间距至少20mm。
- 2. 晶振对温度敏感，尽量远离PMU、CPU、PA、散热器等发热体。晶振靠近GPS摆放。
- 3. 为减少温度影响，晶振下方各层都必须净空（Bottom层除外），Bottom层以“网格形状”覆地，并且“网格形状”入地点要少一些。
- 4. 晶振接地管脚单点入地。



# GPS

- 5. LNA、SAW、GPS BB接地引脚要良好接地，连接内层地的过孔尽量靠近引脚。
- 6. RF走线控制阻抗50ohm，两边包地铜皮，RF走线与地铜皮距离为 $2H$ ， $H$ 为RF线与参考地平面高度。地铜皮沿途打过孔到内层地，过孔间隔25mil (0.635mm)。

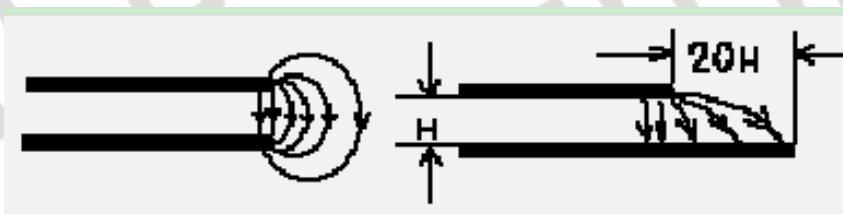


# PCB COPPER

- 1.大面积铜箔应当用隔热带与焊盘相连，避免由于热容过大，造成虚焊、吊桥等不良现象。如下图



- 2.为防止电源辐射，最好将电源层内缩，尽量遵循规则。以一个H（电源和地之间的介质厚度）为单位，若内缩20H则可以将70%的电场限制在接地边沿内；内缩100H则可以将8%的电场限制在内。一般四层板电源层内缩80mil-100mil为宜。



# ESD

- 1.若有ESD设计要求，则PCB层数不少于4L，PCB层叠设计必须保证不少于1L完整的GND平面，所有的ESD泄放路径直接通过过孔连接到这个完整的GND平面；（完整GND平面有利于电荷的快速转移）
- 2. PCB板四周画上一条宽度不小于0.5mm(20mils)的地保护环；保护环铜皮不能覆盖绝缘材料（例如绿油）；保护环需要通过过孔与GND平面相连，每10mm的距离不少于2个过孔；保护环不能形成闭环，每隔一段距离，可以留下一个0.5~1mm的缝隙；敏感信号不能与保护环相邻，与保护环的距离不小于0.25mm(10mils)；与保护环相邻的非敏感信号到保护环距离不小于0.2mm(8mils)；
- 3. 关键信号（RESET/NMI/Clock等）与板边距离不小于5mm，同时必须与走线层的板边GND铜皮距离不小于10mils；（避免空气放电和GND平面电磁耦合）



# ESD

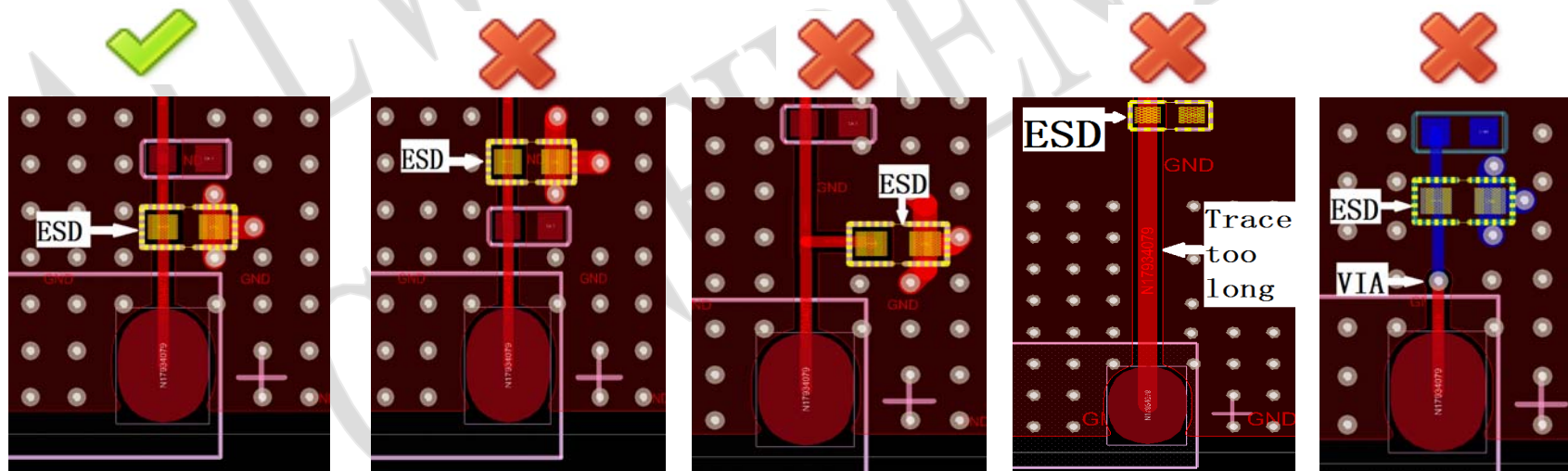
---

- 4. CPU / DRAM / 晶振等ESD敏感的关键器件，离外部金属接口的距离不小于20mm，如果小于20mm，建议预留金属屏蔽罩；并且距离其他板边不小于5mm；（避免金属连接器对内部器件放电）
- 5. POWER平面要比GND平面内缩不少于3H（H指POWER平面相对GND平面的高度）；
- 6. 关键信号（RESET/NMI/Clock等）与外部接口信号（USB/HDMI/SD/HP等）尽量避免相邻并行走线；如果不可避免，相邻并行的走线长度不超过100mils；（避免外部信号的电磁耦合）
- 7. 复位信号在靠近AP端，必须保留一个对GND的滤波电容，容值可以根据实际情况选择1nF~100nF；
- 8. 无论外部接口信号还是内部信号，走线必须避免多余的桩线（一端无电气连接的走线）；（避免天线效应，放电和接收电磁辐射）

# ESD

➤9.必须保证外部连接器（USB/HDMI/SD）连接外部ESD器件，金属外壳接地良好，在板边直接通过过孔连接GND平面，每个GND焊盘与GND平面之间的连接过孔不少于3个；

➤10.如下图所示，外部接口信号ESD器件放置位置尽可能靠近外部连接器，与连接器间避免过孔；ESD器件接地端直接通过过孔连接到GND平面，而且过孔数量不少于3个；从外部接口进来，必须最先看到ESD器件；ESD器件的信号端与外部信号端必须尽可能短，尽可能宽，建议直接搭接在信号走线上；



# ESD

---

- 11.建议在PCB板双面四周均匀留出多个不小于25mm<sup>2</sup>的GND裸露铜皮（此铜皮直接通过过孔与GND平面相连），并通过导电棉与金属平面相连接；
- 12.如果整机存在一个大的金属平面（例如LCD屏，金属背壳），外部连接器的金属外壳通过导电棉与金属平面直接相连；
- 13.如果整机存在一个与PCB比较靠近的塑料背壳，建议在塑料背壳上贴一张面积不小于PCB板投影的导电布/锡箔纸，然后通过导电棉连接PCB的GND平面和导电布/锡箔纸；同时要求连接的导电棉连接点均匀分布在PCB的四周；
- 14.如果结构允许，建议增加屏蔽罩，对关键电路进行屏蔽，同时必须保证屏蔽罩的各边良好接地；（避免屏蔽罩电荷积累，对内部信号放电）

# EMC

- 1. 表层DDR走线区域加屏蔽罩减少辐射，包括DRAM，CPU，屏蔽罩的安装地脚间距不能大于10mm（400mils）；如果PCB层数超过四层，底层不走DDR。
- 2. LCD/CSI走线尽可能保证完整参考平面；信号走线串联33ohm电阻；如果PCB层数超过4L，建议内层走线。
- 3. SDIO CLK，SDC CLK，CSI MCLK，CSI PCLK尽量内层走线或者包地，包地沿途打地过孔，过孔间距 $\leq 10\text{mm}$ （400mils）；走线不跨越参考平面；增加串阻，串阻靠近A83T放置。
- 4. 24MHz晶体相对板边距离 $\geq 25\text{mm}$ （1000mils）。
- 5. VCC平面沿板边相对GND平面内缩 $\geq 30\text{mils}$ 。

# Revision History

---

PART1	Date	Changes compared to previous issue
V0.1	2014-08-22	Draft
V1.0	2014-08-26	Add camera point 6

PART2	Date	Changes compared to previous issue
V0.1	2014-06-19	Initial
V1.0	2014-06-25	Add Layout Guide for AXP813



67