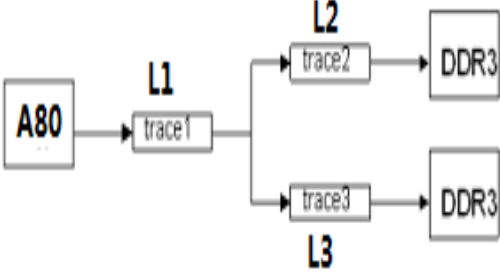
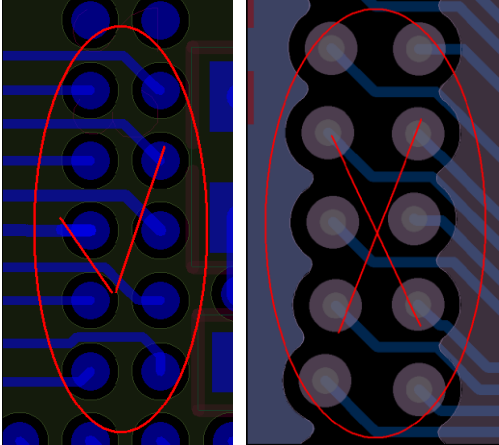
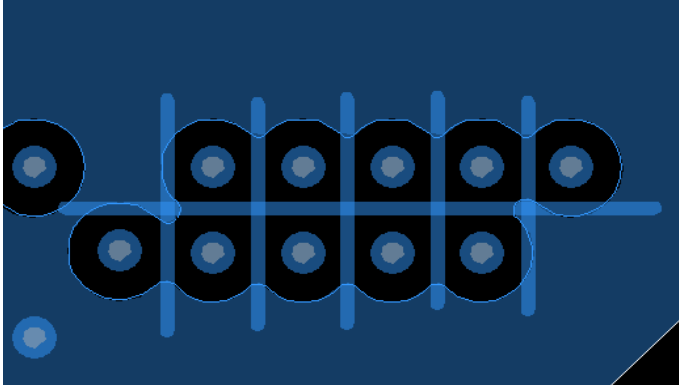


PCB				
No.	Item	Done	Check / Date	Note
	<b>PCB 阻抗控制说明</b>			
1	DDR 单端线: 50ohm $\pm$ 10% DDR 差分线: 100ohm $\pm$ 10%	Y		
	<b>层叠结构说明</b>	Y		
2	请看附录 A	Y		
	<b>分组与拓扑说明</b>	Y		
	地址组: A0~A15, BA0~BA2, CAS, RAS, CS, CKE, WE, ODT	Y		
	数 据 组 : S0DQ0-S0DQ7 , S0DQM0 , S0DQS0/S0DQS0N为一组 S0DQ8-S0DQ15, S0DQM1, S0DQS1/S0DQS1N为一组 S0DQ16-S0DQ23, S0DQM2, S0DQS2/S0DQS2N为一组 S0DQ24-S0DQ31, S0DQM3, S0DQS3/S0DQS3N为一组	Y		
	T形拓扑说明: 由于1个CPU带两个DRAM, 因此地址组的线是1连2的, 会出现T形拓扑, 在中间分叉	Y		
	<b>走线宽度说明</b>	Y		
3	单端表层走线线宽4mil, 差分表层走线线宽/线距为3.8/8.7mil; 电源和地网络——10mil	Y		
	<b>间距说明</b>			
4	单端走线表层线与线的间距 (Air Gap) $\geq$ 8mil, 内层 $\geq$ 10mil, 差分线到其他走线间距 $\geq$ 15mil;	Y		
5	CK与其他线之间间距15mil, 电源与地网络离其他走线的间距15mil	Y		
6	BGA区域里: 线与线4mil; 线与SMD PIN 4mil; 线与过孔4mil	Y		
7	表层地铜离DDR信号线要求距离 $\geq$ 15mil;	Y		
	<b>等长说明</b>			
8	地址组——相对于CK信号等长, 误差范围为 $\leq$ 500mil, 地址控制组内200mil误差	Y		

9	地址组——布线走T形拓扑，T点两臂做等长，每根线的T线等长误差范围为 $\leq 50\text{mil}$ ，即 $ L2-L3  \leq 50$	Y		
				
10	地址组——布线走T形拓扑，臂长尽可能地短，T点分叉的每臂长度 $\leq 800\text{mil}$ ，即（上图）L2，L3都小于等于800mil。	Y		
11	DQS组——相对于CK信号等长，误差范围为 $\leq 500\text{mil}$	Y		
12	数据组——DQ相对于DQS做等长，误差范围为 $\leq 100\text{mil}$	Y		
13	信号线做等长时要考虑过孔长度的影响	Y		
14	差分走线规则：差分线DQS/CK，差分正负线之间等长误差范围为 $\leq 10\text{mil}$	Y		
	过孔数规则说明			
15	要求DQ/DQS/DM组过孔数要一致	N	N	DM1..2
	铺铜与过孔说明			
16	参考层要求——不能有信号线的参考层被割断的现象，尽量少出现连续的过孔打断信号线的参考层	Y		
				

17	<p>调整好过孔的位置、间距，减少对电源、地平面的破坏。 平面断开处用走线连接。</p> 	Y		

附录 A

Total layers:	4
Board thickness:	1.0 mm +/- 10%
PCB material:	Typical FR4
Surface finish:	ENIG(化学镍金)

Stackup Control Table						
---	Stackup Structure			Impedance Requirements		
Layer	Type	Thickness (mil)		Impedance spec (Ohms)	Reference layer	Width (/space): mil
	solder mask	0.5	SM			
1	TOP	1.6	0.33oz+plating	50±10%	2	4
				100±10%	2	3.8/8.7
	prepreg	3				
2	GND	1.2	0.5oz			
	core	27				
3	POWER	1.2	0.5oz			
	prepreg	7				
4	BOTTOM	1.6	0.33oz+plating	50±10%	3	4
				100±10%	3	3.8/8.7
	solder mask	0.5	SM			
	Board thin	39.4				