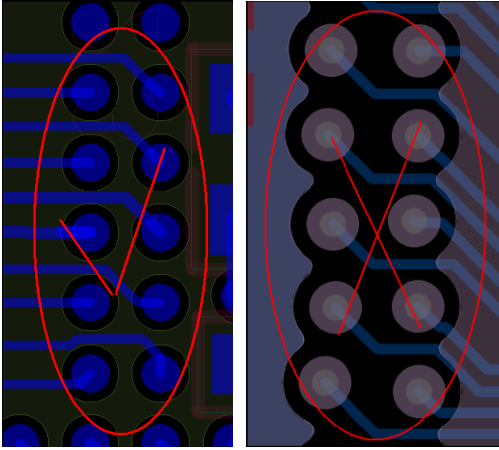
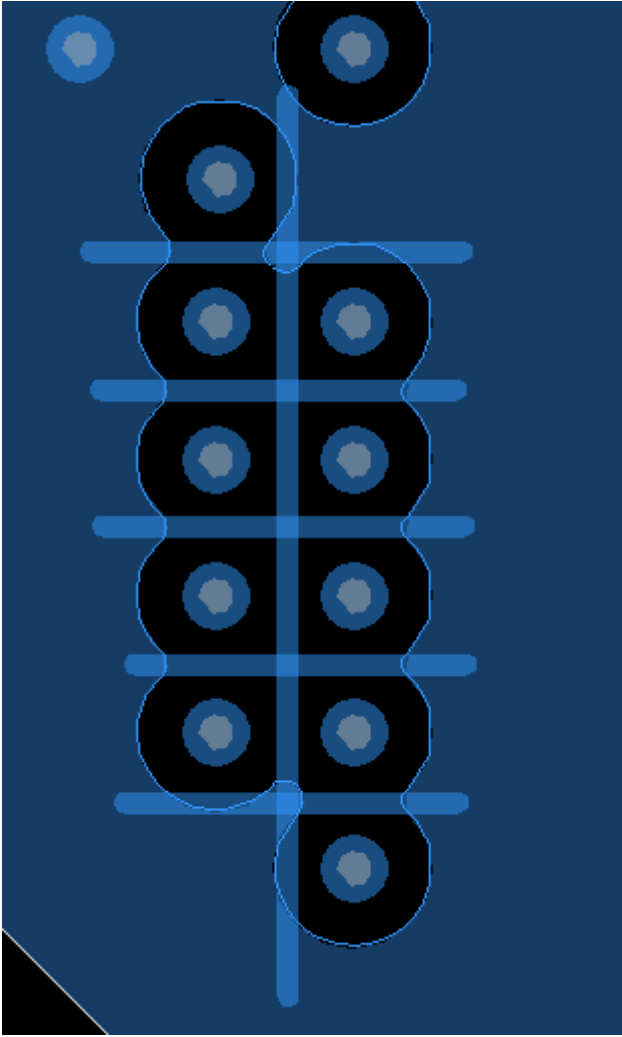


PCB				
No.	Item	Done	Check / Date	Note
	CheckList 说明： 此文件是针对 1X32BIT 的 LPDDR3 的 layout 说明，性能和空间折中考虑。			
	PCB 阻抗控制说明			
1	DDR 单端线：50ohm \pm 10% DDR 差分线：100ohm \pm 10%	Y		
	层叠结构说明			
2	请看附录 A			
	分组说明			
	地址组：A0~A9，CK，CKE0~1，CS0~1，ODT			
	数据组：DQ0-DQ7，DQM0，DQS0/DQS0N为一组，DQ8-DQ15，DQM1，DQS1/DQS1N为一组，DQ组2与DQ组3类推	Y		
	走线宽度说明			
3	单端走线线宽4mil，差分100ohm走线3.8/8.8mil； 电源和地网络走线尽量=8mil；	Y		
	间距说明			
4	单端走线的线与线的间距（Air Gap） \geq 8mil； 差分走线到其他线的间距 \geq 8mil	Y		
5	所有DDR信号线到其他网络、地铜皮的距离要 \geq 10mil	Y		
6	数据组与地址组、数据组与数据组之间的距离要 \geq 8mil	Y		
7	BGA区域里：线与线的间距（Air Gap） \geq 4mil； 线与SMD焊盘的间距 \geq 3.5mil；线与过孔的间距 \geq 3.5mil	Y		
	等长说明			
8	地址组——相对于CK信号等长，误差范围为 \leq 50mil	Y		
9	DQS组——相对于CK信号等长，误差范围为 \leq 500mil	Y		
10	数据组——DQ0-DQ7/DQM0相对于DQS0做等长， DQ8-DQ15/DQM1相对于DQS1做等长，DQ组2与DQ组3类推，误差范围为 \leq 50mil	Y		DQM0,DQM1 不符
11	所有DDR信号线做等长时要考虑过孔长度的影响	Y		
12	差分走线规则：差分线DQS/CK，差分正负线之间等长误差范围为 \leq 10mil	Y		
	铺铜与过孔说明			
13	参考层要求——不能有信号线的参考层被割断的现象，尽量少出现连续的过孔打断信号线的参考层	Y		

				
14	<p>如下图所示，SOC通过过孔扇出时，必须保证过孔间的铜皮能连通。</p>  <p>对于0.65Pitch的SOC，在IC扇出的地方，过孔采用8/14mils，反焊盘采用3.5mils。</p> <p>对于SOC底下通过过孔扇出的信号必须保证回流路径不被反焊盘打断。</p> <p>如果反焊盘过大破坏了GND平面或电源平面的完整性，那么需要在过孔间采用手工走线连通平面，如下图。</p>	Y		

				
--	--	--	--	--

附录 A

Total layers:	4
Board thickness:	1.0 mm +/- 10%
PCB material:	Typical FR4
Surface finish:	ENIG(化学镍金)

Stackup Control Table						
---	Stackup Structure			Impedance Requirements		
Layer	Type	Thickness (mil)		Impedance spec (Ohms)	Reference layer	Width (/space): mil
	solder mask	0.5	SM			
1	TOP	1.6	0.33oz+plating	50±10%	2	4
				100±10%	2	3.8/8.8
	prepreg	3				
2	GND	1.2	0.5oz			
	core	27				
3	POWER	1.2	0.5oz			
	prepreg	7				
4	BOTTOM	1.6	0.33oz+plating	50±10%	3	4
				100±10%	3	3.8/8.8
	solder mask	0.5	SM			
	Board thin	39.4				