[1] Andrew Waterman, Yunsup Lee, David A. Patterson, and Krste Asanović, “The RISC-V Instruction Set Manual, Volume I: Base User-Level ISA”  
[Technical Report UCB/EECS-2011-62](https://www2.eecs.berkeley.edu/Pubs/TechRpts/2011/EECS-2011-62.pdf), EECS Department, University of California, Berkeley, May 13, 2011

[2] https://drive.google.com/file/d/1uviu1nH-tScFfgrovvFCrj7Omv8tFtkp/view?usp=drive\_link

[3] <https://drive.google.com/file/d/17GeetSnT5wW3xNuAHI95-SI1gPGd5sJ_/view?usp=drive_link>

[4] <https://msyksphinz-self.github.io/riscv-isadoc/html/index.html>

[5] https://github.com/riscv/riscv-isa-manual/blob/main/src/rv32.adoc

[6] https://github.com/riscv/riscv-gnu-toolchain/

[7] <https://marks.page/riscv/asm>

[8] https://projectf.io/posts/riscv-cheat-sheet/

[9] <https://marks.page/riscv/software>

[10] <https://www.cs.sfu.ca/~ashriram/Courses/CS295/assets/notebooks/RISCV/RISCV_CARD.pdf>

[11] <https://www2.eecs.berkeley.edu/Pubs/TechRpts/2011/EECS-2011-62.pdf>

[12] <https://marks.page/riscv/>

[13] <https://lpc.events/event/11/contributions/1101/attachments/803/1570/riscv-platform-spec.pdf>

[14] <file:///C:/Users/bruno/Downloads/riscv-interrupts-024-1.pdf>

[15] <https://lf-riscv.atlassian.net/wiki/spaces/HOME/pages/16154819/Additional+RISC-V+Documentation>

[16] <https://lf-riscv.atlassian.net/wiki/spaces/HOME/pages/16154769/RISC-V+Technical+Specifications>

[17] <https://riscv.org/specifications/ratified/>

[18] <https://www.wevolver.com/article/risc-v-architecture>

[19] <https://www.riscfive.com/risc-v-simulators/>

[20] <https://renode.readthedocs.io/en/latest/basic/configuring-a-risc-v-cpu.html>

**Categorización de los Enlaces**

[1]: Especificaciones generales del estándar, información de los principales formatos y extensiones, listado junto al formato de las instrucciones, información de manera bastante general sin entrar mucho en profundidad ni en ejemplos de ensamblador.

[2]: Principal manual de instrucciones del estándar, instrucciones sin privilegios, es decir las instrucciones generales. Entra bastante en profundidad sobre cada una de ellas y sobre las diferentes familias y extensiones, demasiada información, usar como referencia y para comparar otros enlaces.

[3]: Segunda parte del manual de instrucciones, trata sobre las instrucciones que requieren de privilegios de usuario y como gestionarlos, probablemente no necesario para el trabajo pero por si se necesita.

[4]: Listado con las principales funciones de cada estándar, acceso rápido y se puede usar para comparar el resto de fuentes encontradas, en el apartado de instrucciones.

[5]: Github lleno de documentación para todos los estándares de riscv, donde predomina la página seleccionada que se centra en rv32I con las distintas instrucciones sin entrar mucho en detalle con información adicional de la visión del programador junto al uso de registros y algunas funciones.

[6]:RISC-V GNU Compiler Toolchain en caso de ser necesario posteriormente para algún simulador, parece tener alguna compatibilidad con Spike.

[7]: Enlace con información resumida del lenguaje ensamblador del riscv, sus funciones y características junto con algunos conceptos para generar códigos ensamblador y otras opciones más a alto nivel que ya no son parte del estándar en sí mismo. Muy útil para el tratamiento del código posteriormente.

[8]: RISC-V Cheat Sheet, contiene de manera muy resumida y directa los principales conceptos de este estándar, entre ellos las principales instrucciones y los principales usos de los registros de propósito general.

[9]: Enlace con enlaces a los principales simuladores de este estándar y un muy breve resumen de como está montado cada uno, aún así hay que entrar más en detalle sobre cada uno de ellos.

[18] Es un buen artículo que detalla algunos de los principales usos y características del estándar RISCV

[19] Enlace con la configuración de renode para ejecutar riscv una vez instalado