**Simulador**

**Índice:**

1

**1 Simulador** 2

1.1 Introducción 2

1.2 Interfaz 2

1.3 Memorias Caché 2

1.4 Pipeline 2

1.5 Entrada Salida 2

1.6 Trabajo con el simulador 2

2

**2 Instalación y Ejecución** 2

3

**3 Aspectos Destacables y Limitaciones** 2

4

**4** **Referencias** 2

**1 Simulador:**

**1.1 Introducción:**

Este documento se dedicará a la exploración del simulador del estándar RISC-V …

**1.2 Interfaz:**

La interfaz de….

**1.3 Memorias Caché:**

Para la visualización de la memoria, ….

**1.4 Pipeline:**

Este simulador no cuenta con una implementación de la ejecución segmentada, sino que solo ejecuta instrucción a instrucción.

**1.5 Entrada Salida:**

Dentro de todo lo implementado en este simulador, …

**1.6 Trabajo con el simulador:**

Para trabajar con el simulador, …

**2 Instalación y Ejecución:**

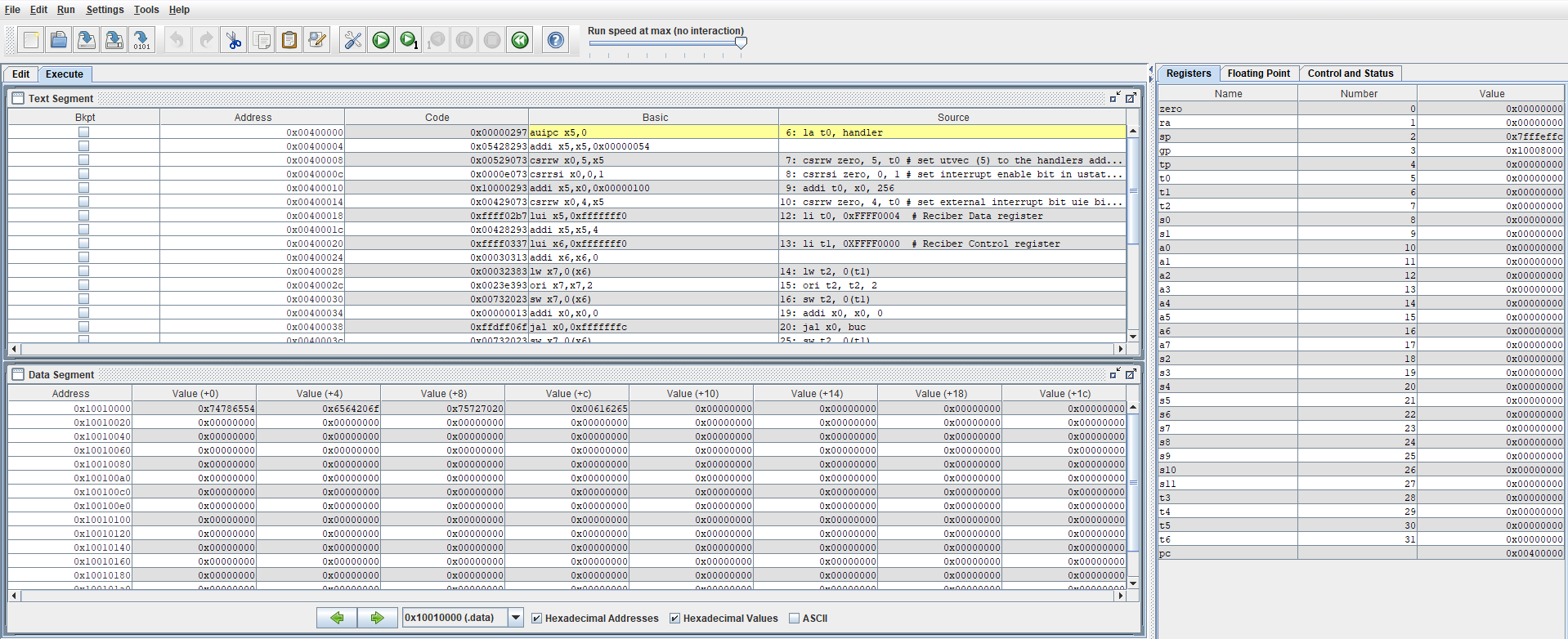
En el proceso de instalación y configuración inicial de este simulador …

**3 Aspectos Destacables y Limitaciones**

A pesar de que el propio simulador …

# Referencias

|  |  |
| --- | --- |
| [1] | RISC-V, «Ratified RISC-V Specifications,» [En línea]. Available: https://lf-riscv.atlassian.net/wiki/spaces/HOME/pages/16154769/RISC-V+Technical+Specifications. |
| [2] | TheThirdOne, «RARS Releases,» [En línea]. Available: https://github.com/TheThirdOne/rars/releases/tag/v1.6. |
| [3] | TheThirdOne, «Rars Repository,» [En línea]. Available: https://github.com/TheThirdOne/rars. |

Ejemplo ImagenFigura 1.6