

**Atividade Acadêmica:** Arquitetura e Organização de Computadores II e Arquitetura de Sistemas Digitais

Implementar o código de descrição do hardware (HDL) em Verilog usando a ferramenta EDA Playground que gere uma ULA de 8 bits que realize, de forma modularizada, no mínimo, as operações de soma, subtração, E, OU e NEGAÇÃO lógica. Adotar a abordagem estrutural.

Implementar o testbench para validação de cenários, simulando o processamento de pelo menos 10 cenários distintos e apresentando as saídas de log e o gráfico de waveform para diferentes valores de entrada.

Gerar o zip contendo os códigos fontes e imagem do waveform gerado. Incluir link compartilhado do EDA Playground.

Pode ser realizado em duplas, no máximo trios.

Prazo: 23/09/22