

Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília

Prática de Eletrônica Digital 1. Código: FGA0071.

Professor: Henrique Marra Taira Menegaz

e-mail: henriquemenegaz@unb.br

EXPERIMENTO DE VHDL 4

1 REGRAS DE APRESENTAÇÃO

Os grupos deverão apresentar o experimento de forma presencial, **na sala de aula, durante o horário de aula, até a aula seguinte** à designada a este experimento. A apresentação consiste em mostrar ao professor **o projeto implementado na Basys 3 e explicar os códigos** escritos.

2 NOTA

O experimento receberá nota entre 0 e 10 pontos.

3 PROJETO

Uma necessidade comum em sistemas digitais é armazenar diversos bits de dados em linhas em paralelo simultaneamente num grupo de flip-flops. Essa operação é ilustrada na Figura 1 usando quatro flip-flops. Cada uma das quatro linhas paralelas de dados é conectada na entrada D de um flip-flop. As entradas de clock dos flip-flops são conectadas juntas, de forma que cada flip-flop é disparado pelo mesmo pulso de clock. Nesse exemplo são usados flip-flops disparados por borda positiva, assim os dados nas entradas D são armazenados simultaneamente pelos flip-flops na borda positiva do clock, conforme indicado no diagrama de temporização visto na Figura 2. Além disso, as entradas assíncronas de reset (R) são conectadas numa linha \overline{CLR} comum, a qual reseta todos os flip-flops.

Implemente, na Basys 3, o circuito apresentado nas Figuras 1 e 2. **É preciso utilizar o flip-flop D como componente (use a funcionalidade COMPONENT) e o clock para a transição dos estados (CLK nas figuras) deve ser de aproximadamente 1 segundo.**

Utilize o seguinte:

- como entradas, as chaves (*switches*);
- como saídas, LEDs.

O exercício será pontuado de acordo com os seguintes critérios:

1. Circuito armazenador de bits: 3,5 pontos.
2. Clock de aproximadamente 1 segundo: 2,5 pontos.

3. Funcionamento apropriado na Basys 3: 4 pontos.

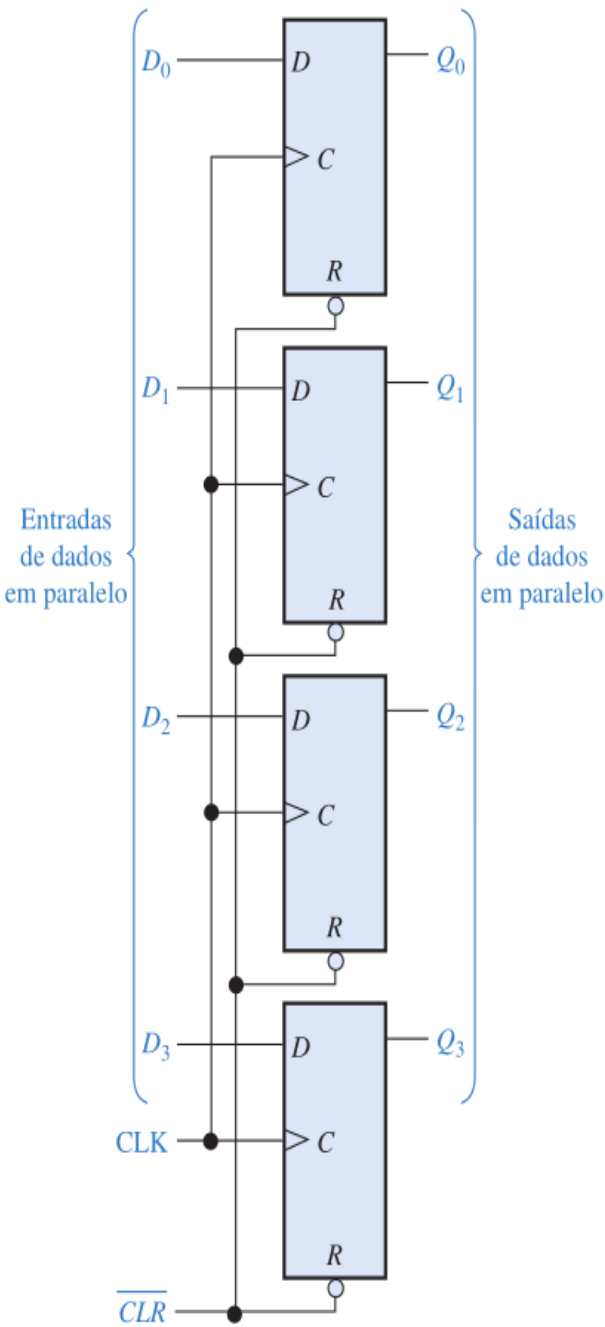


Figura 1. Esquemático do circuito do projeto.

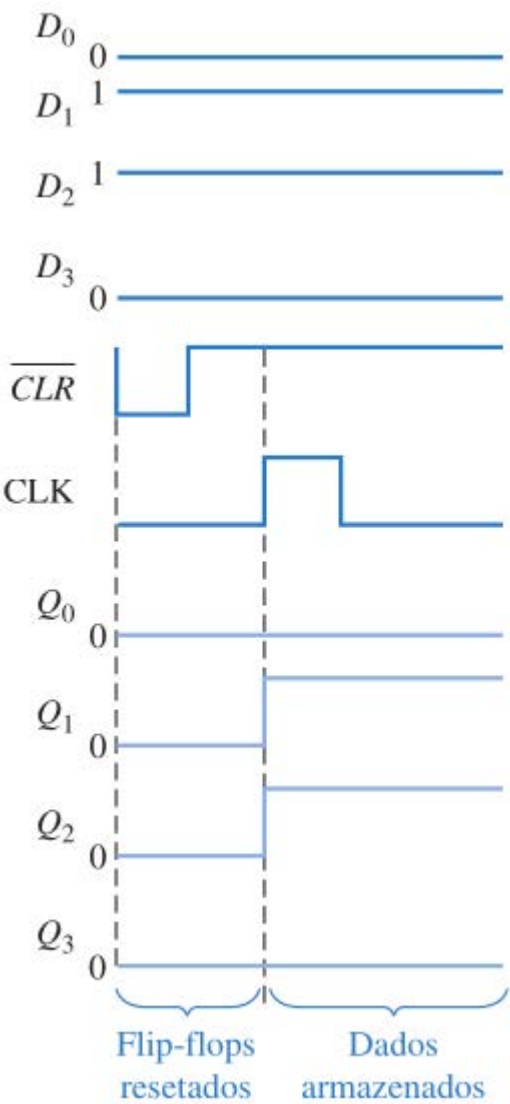


Figura 2: Diagrama de temporização do circuito do projeto.