

Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília

Prática de Eletrônica Digital 1. Código: FGA0071.

Professor: Henrique Marra Taira Menegaz

e-mail: henriquemenegaz@unb.br

EXPERIMENTO DE VHDL 5

1 REGRAS DE APRESENTAÇÃO

Os grupos deverão apresentar o experimento de forma presencial, **na sala de aula, durante o horário de aula, até a aula seguinte** à designada a este experimento. A apresentação consiste em mostrar ao professor **o projeto implementado na Basys 3 e explicar os códigos** escritos.

2 NOTA

O experimento receberá nota entre 0 e 10 pontos.

3 PROJETO

Projete um cronômetro (timer) capaz de funcionar de 0min: 00seg a 9min: 59seg (Figura 1). O circuito deve ter chaves de iniciar, parar e reiniciar. Os números devem aparecer nos displays de 7 segmentos. Para isso você precisa fazer as seguintes etapas:

1. Criar um divisor de clock com saída de, aproximadamente, 1 segundo.
2. Criar um codificador para 7 segmentos.
3. Habilitar 3 anodos dos displays de 7 segmentos.
4. Multiplexar os três displays utilizados.

O exercício será pontuado de acordo com os seguintes critérios:

1. Código do arquivo de descrição de circuito (VHDL): 6,0 pontos distribuídos da seguinte forma:
 - a. para o divisor de clock: 1,5 ponto;
 - b. para o codificador de 7 segmentos: 1,0 ponto;
 - c. para habilitar os 3 anodos: 1,0 ponto;
 - d. para a multiplexação: 1,5 ponto;

- e. para a lógica de contagem: 1,5 ponto.
2. Código do arquivo de restrição (.xdc): 0,5 ponto.
3. Funcionamento apropriado na Basys 3: 3,0 pontos.

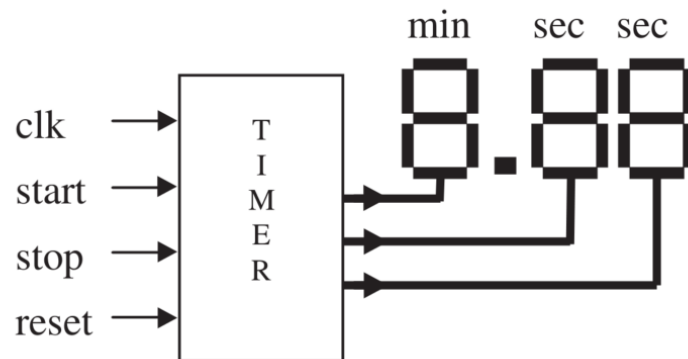


Figura 1. Esquema do cronômetro (timer) referente ao Exercício 1.