

Latch de Set e Reset

Bruno neves - n° USP: 14562528

As condições: Set=1 e Reset=1 são inválidas porque resulta em $Q=Q$, o que não é lógico, visto que essas saídas devem se completar (sendo uma 1, e a outra 0). Além disso, o circuito atualmente contém informações indeterminadas quando Set e Reset retornam 0. Ele entra em uma condição chamada estado metaestável, onde oscila entre dois modos estáveis de 0 e 1. Se o circuito não estiver consolidado quando o relógio subir, isso pode ocasionar mau andamento do circuito. Tanto que, o simulador não permitiu que as entradas juntamente com o clock fossem 0.

