
EJERCICIOS

Ejercicios

1.1 ¿Qué es un PLD?

Un PLD o Dispositivo Lógico Programable es un componente electrónico que se usa para la creación de circuitos digitales reconfigurables.

1.2 Determine el significado de los siguientes términos: GAL, CPLD y FPGA.

FPGA: Field Program Gate Array o Arreglos de compuertas programables en campo

CPLD: Complex PLD o Dispositivo lógico programable complejo GAL: Generic Logic Array o Arreglo Lógico Genérico

1.3 ¿La estructura de programación en VHDL requiere del uso de los módulos entidad y arquitectura? Describa la función de cada uno de ellos.

Entidad: Se refiere a la parte externa de un circuito, es donde declaramos las entradas y salidas

Arquitectura: describe el funcionamiento de la entidad a la que hace referencia, es decir, describirá internamente el circuito y decalaremos las señales, funciones, procedimientos entre otros.

1.4 ¿Cuál es la función de utilizar punto y coma (;) en la estructura de un programa?

Esta cumple con la función de dar por terminada una sentencia o línea de código.

1.5 Mencione los tipos de modos válidos en VHDL.

Modo in Modo inout
Modo out Modo buffer

1.6 Considere la siguiente figura y determine qué variables corresponden a cada tipo de modo.

P0, P1, P2: in

A0, A1: out

X: inout

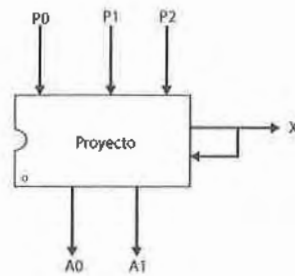


Figura 1.35

1.7 Considere los siguientes datos y dibuje un bloque que muestre la entidad correspondiente.

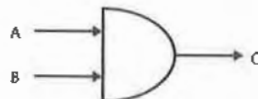
- Modo in: C1, RESET
- Modo out: Fa, Fb, Fc
- Modo buffer: Z0
- Entidad: secuencia

1.8 En la siguiente declaración de entidad indique:

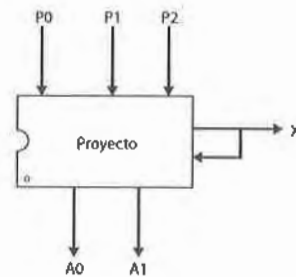
```
entity ejemplo is
port( x1,x2: in bit;
      fa,fb: out bit);
end ejemplo;
```

- a) El nombre de la entidad ejemplo
- b) Los puertos de entrada x1,x2
- c) Los puertos de salida fa,fb
- d) El tipo de dato bit

1.9 Declare la entidad para los siguientes circuitos.



a)



b)

Figura 1.36

- 1.10 Indique cuáles de los siguientes identificadores son correctos o incorrectos, colocando en las líneas de respuesta la letra 'C' o 'I' respectivamente.

Ejemplo	<u>C</u>	Desp_laza	<u>C</u>
con_trol	<u>C</u>	N_ivel	<u>I</u>
Pagina	<u>C</u>	architecture	<u>I</u>
Contador	<u>C</u>	S_uma#	<u>I</u>
2Suma	<u>I</u>	Res__ta	<u>I</u>

- 1.11 Declare la entidad para los siguientes circuitos. Utilice vectores.

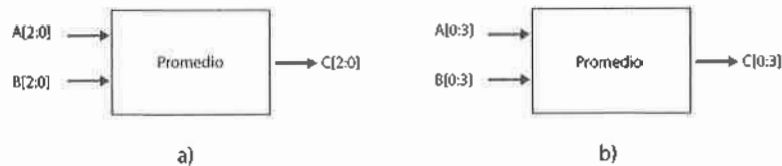


Figura 1.37

- 1.12 Describa qué es una librería en VHDL.

es un lugar al cual se accede para emplear las unidades de diseño predeterminadas por el fabricante de la herramienta(paquete) y que se aplican para agilizar el diseño.

Nos sirven para guardar e, resultado de una compilación

- 1.13 Describa qué es un paquete.

Un paquete es una unidad de diseño que permite desarrollar un programa en VHDL de manera ágil, se encuentran algoritmos preestablecidos que ya tienen optimizado un determinado comportamiento.

- 1.14 Indique el significado de la siguiente expresión:

```
use ieee.std_logic_1164.all;
```

En ésta expresión está usando la Librería ieee al paquete std_logic_1164 a todo el paquete

- 1.15 Declare la entidad del circuito multiplexor de 4:1 mostrado en la siguiente figura.

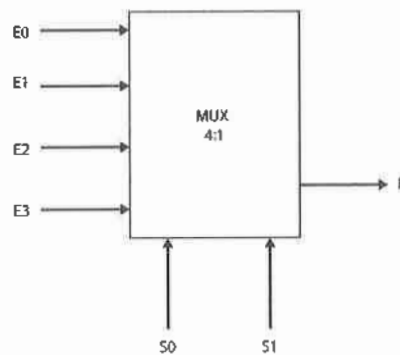


Figura 1.38

- 1.16 Declare la entidad del multiplexor de 4:1 mostrado en la figura 1.15, si cada entrada está formada por un vector de 4 bits.

- 1.17 Declare la entidad del siguiente circuito mediante el estilo de programación flujo de datos.

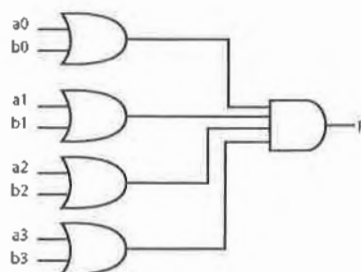


Figura 1.39

- 1.18 Declare la entidad del circuito del ejercicio 1.17 mediante vectores y el estilo de programación flujo de datos.

- 1.19 Usando un estilo por flujo de datos, programar en VHDL el funcionamiento de un robot en una planta que espera a que se llene una tarima con cuatro cajas para trasladarla a la bodega de almacenamiento. Para saber si la tarima ya se llenó cuenta con cuatro sensores, uno que apunta a cada caja, si hay caja marca un '1 lógico', si falta la caja marca un '0 lógico'; si falta alguna caja el robot no se puede ir; cuando están las cuatro cajas el robot se lleva la tarima.
- 1.20 Usando un estilo funcional, programar en VHDL el movimiento de una lámpara para código Morse que mientras se presione un botón la luz esté prendida y al soltarlo la luz se apague.
- 1.21 Usando un estilo funcional, programar en VHDL la actividad del motor de un ventilador, donde al presionar el botón 'a' el motor gire en un sentido, y al oprimir el botón 'b' lo haga en dirección contraria.
- 1.22 Usando un estilo por flujo de datos, programar en VHDL el funcionamiento de un panel en una fábrica de empaquetamiento de arroz. Este panel muestra el contenido de dos silos (a, b) que tiene la fábrica para guardar el arroz. Un sensor detecta qué tan llenos están los silos; cuando lo están envían un '1 lógico', pero si tienen ¼ o menos remite un '0 lógico'; si uno de estos silos disminuye su contenido a ¼ o menos se prende una luz (c), si los dos sobrepasan ese límite se prenderá otra luz (d) y sonará una alarma (e).
- 1.23 Realice una programación estructural para las siguientes funciones lógicas:

$$F0 = (A + B) * C$$

$$F0 = (A * C) + (B * C)$$

$$F = (B * C)$$

$$F2 = A + C$$

- 1.24 Usando un estilo estructural, programar en VHDL el problema del apagador de escalera. La función para este problema es $c = a \text{ and not } b \text{ or } a \text{ and not } b$; donde a es el interruptor inferior, b es el interruptor superior y c es el foco.
- 1.25 Usando un estilo estructural, programe la estructura mostrada en el ejercicio 1.17.
- 1.26 Usando un estilo estructural, programar en VHDL el funcionamiento de un motor que se enciende con la siguiente ecuación: $y = a / b + c / b + a c$.
- 1.27 Considere el siguiente código y responda las siguientes preguntas.
- ¿Cuál es el identificador de la entidad y arquitectura respectivamente?
Entidad: com_or
Arquitectura: funcional
 - ¿Qué tipo de estilo de programación utiliza?
Utiliza la programación funcional
 - ¿Qué tipo de datos en particular son utilizados?
std_logic
 - ¿Cuál es la función de utilizar una comilla (') en la línea 11?
Esta representa un valor de un bit

```
1 -- Declaración funcional
2 library ieee;
3 use ieee.std_logic_1164.all;
4 entity com_or is
5 port( a,b: in std_logic;
6       fl: out std_logic;
7 end com_or;
8 architecture funcional of com_or is
9 begin
10 process (a,b) begin
11     if (a = '0' and b = '0') then
12         fl <= '0';
13     else
14         fl <= '1';
15     end if;
16 end process;
17 end funcional;
```

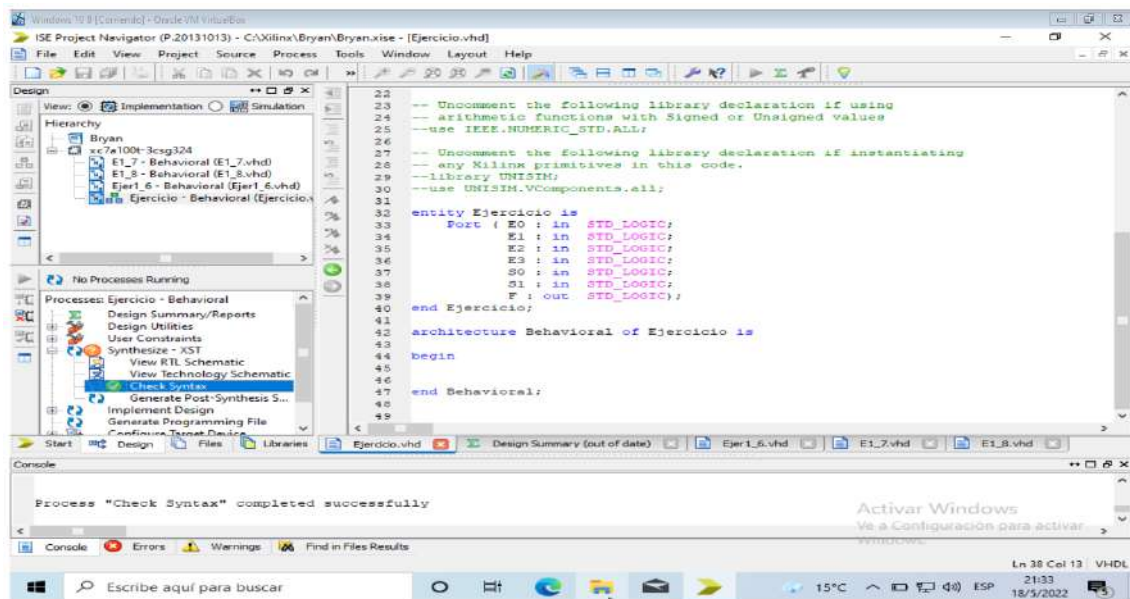
Listado 1.17

Bibliografía

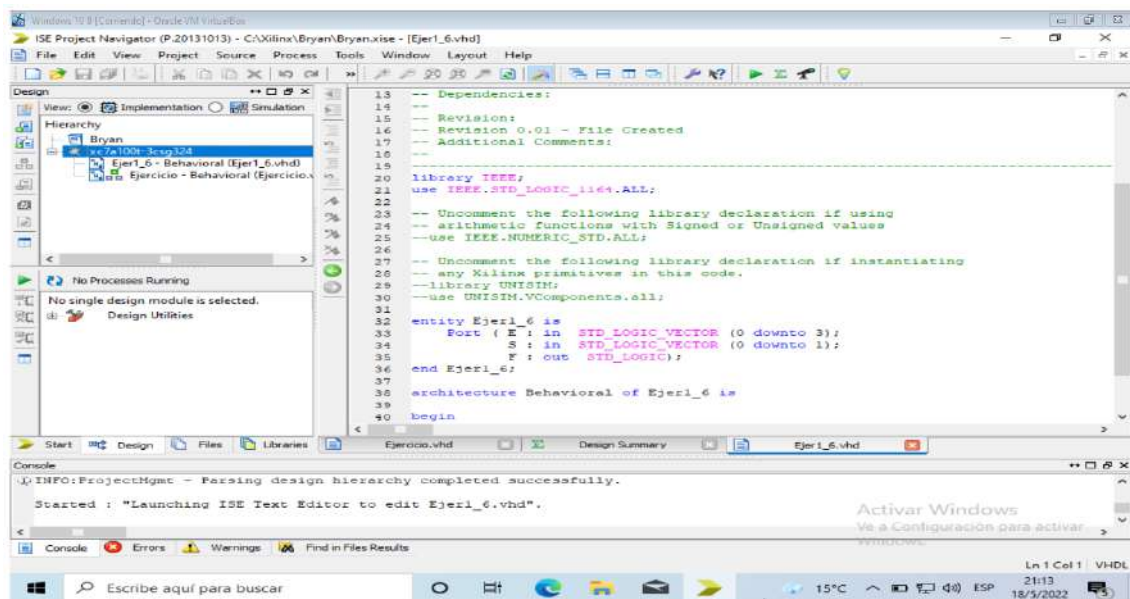
- Ashenden, P. J. *The Designers Guide to VHDL*, 3ª ed., Morgan Kaufmann, 2008.
- Bergé, J. M., A. Fonkua y S. Maginot. *VHDL Designer's Reference*. Kluwer Academic Publisher, 1992.
- IEEE. The IEEE standard VHDL Language Reference Manual. *IEEE-Std. p1076 ed.*, 1988.
- Kloos, C. y E. Cerny. *Hardware Description Language and Their Applications. Specification, modelling, verification and synthesis of microelectronic systems*, Chapman & Hall, 1997.
- Maxinez, G. David y Jessica Alcalá. *Diseño de sistemas embebidos a través del lenguaje de descripción en hardware VHDL*, XIX Congreso Internacional Académico de Ingeniería Electrónica, México, 1997.
- . *VHDL: El arte de programar sistemas digitales*, Grupo Editorial Patria, 2002.
- Mazor, S. y P. A. Laangstraar. *Guide to VHDL*, Kluwer Academic Publisher, 1993.
- Morris Mano, M. y Charles R. Kime. *Fundamentos de diseño lógico y de computadoras*, 3ª ed., Pearson Prentice Hall, 2005.
- Navabi Zainalabedin. *Analysis and Modeling of Digital Systems*, McGraw-Hill, 1988.
- Pedroni, Volnei A. *Circuit Design and Simulation with VHDL*, 2ª ed., MIT Press, 2010.
- Skahill, K. *VHDL for Programmable Logic*, Addison Wesley, 1996.
- Teres, L. L. et al. *VHDL Lenguaje estándar de diseño electrónico*, McGraw-Hill, 1998.
- Tocci, Ronald J. y Neal S. Widmer. *Sistemas digitales, principios y aplicaciones*, 10ª ed., Prentice Hall, 2009.
- Wakerly, John. *Diseño digital, principios y prácticas*, 3ª ed., Prentice Hall, 2001.
- Winkel, David y Franklin Prosser. *The Art of Digital Design*, Prentice Hall, 1980.

Bryan Angamarca

1.15

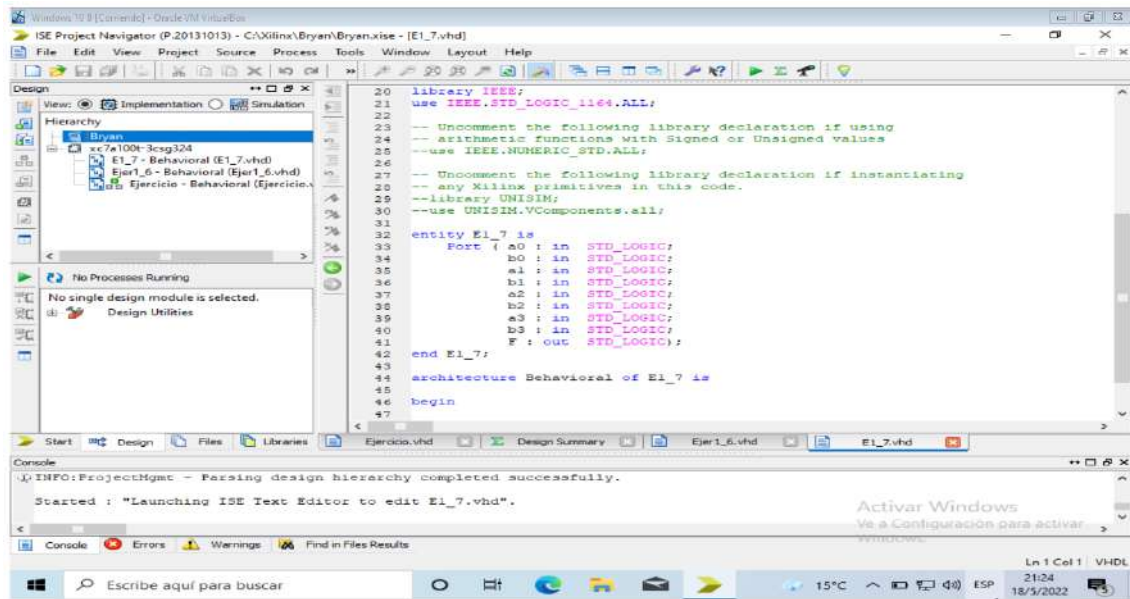


1.16

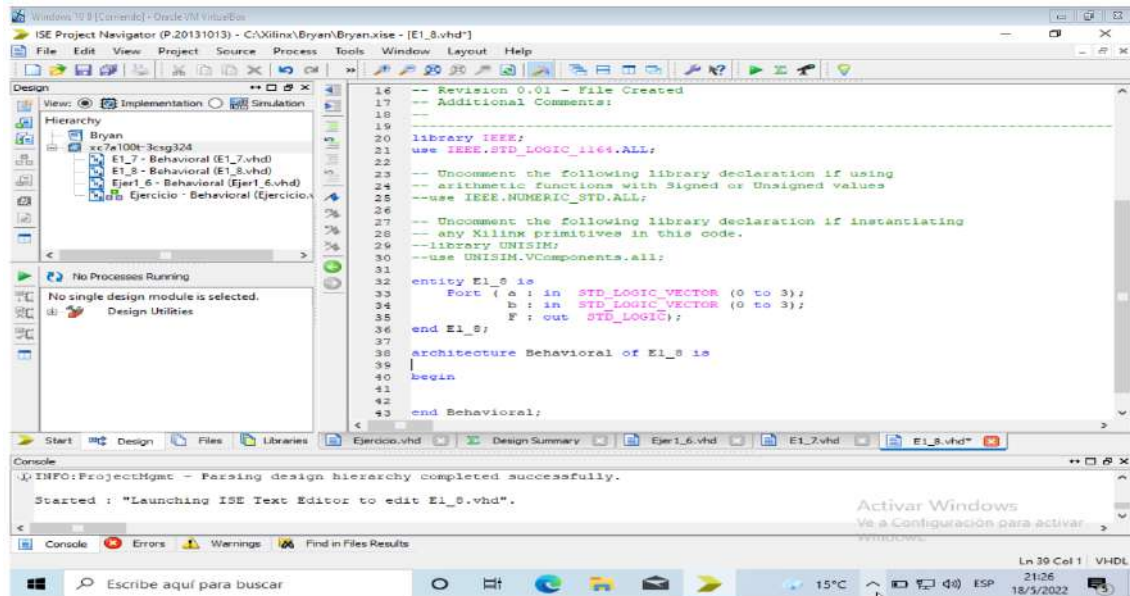


1.17

Bryan Angamarca

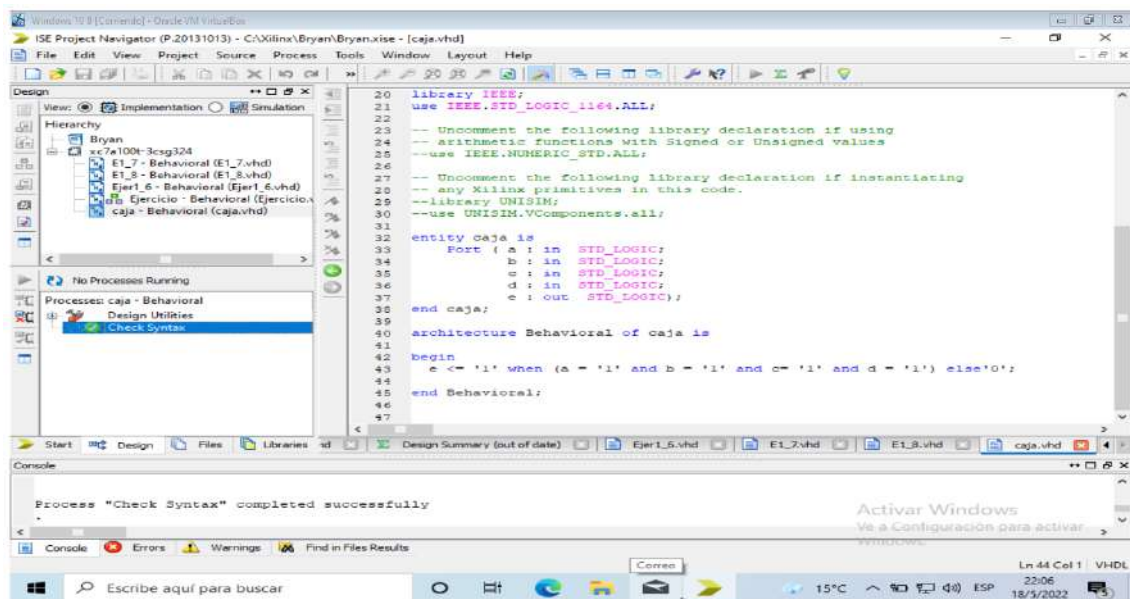


1.18



1.19

Bryan Angamarca



1.20

