


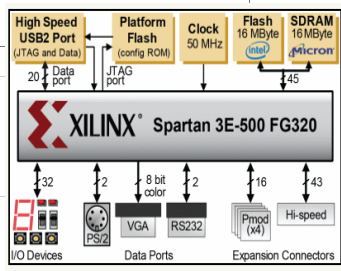
Informatik  
HAW Hamburg



Hochschule für Angewandte Wissenschaften Hamburg  
Hamburg University of Applied Sciences

## Computer Engineering WS 2012

### Inhaltsübersicht

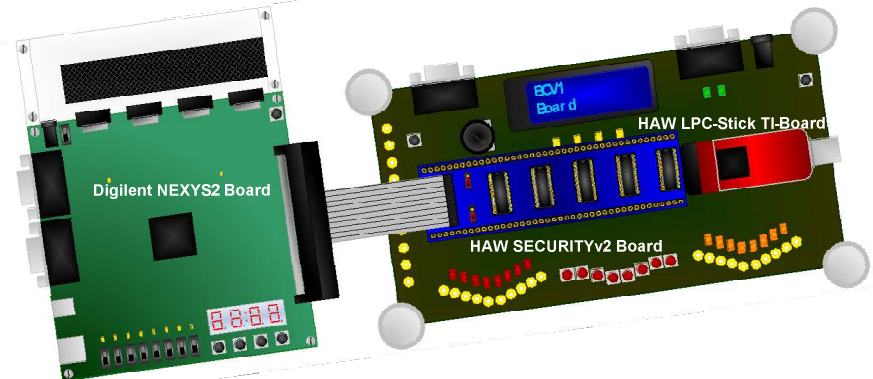


Prof. Dr. Heitmann - Prof. Dr. Schwarz

Informatik  
HAW Hamburg

Hochschule für Angewandte Wissenschaften Hamburg  
Hamburg University of Applied Sciences

## μC – FPGA - Kopplung



## Zusammenfassung CE, DS, RS

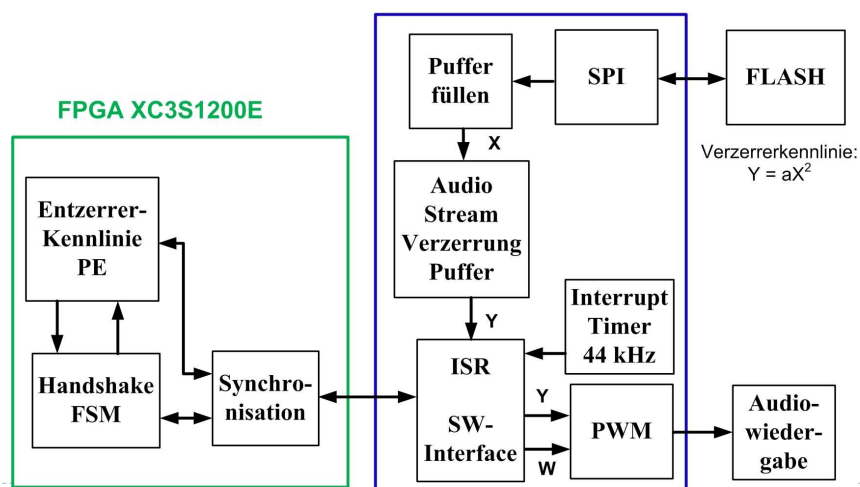
- ▶ **Schwerpunkte:**
  - **µController: Interrupts - Peripherie**
  - **Prozessorelement: Daten- u. Steuerpfad im FPGA**
  - **Kombination von SW-HW**
  - **Rechnerstrukturen: RISC - Caches**
- ▶ **4 LVS + 8 Labortermine**

3

CE WS12

## CE-Labor-System

µC LPC 2468



4

CE WS12



## Laboraufgaben

### FPGA

- Schieberegister
- FSM-Timer-Konzept ; Aufzugsteuerung
- Prozessorelement; Multizyklus-DP rechnet nichtlineare Kennlinie

### µController

- UART, Interrupts und ISR
- SW-Interface: SPI Interface zu einem EEPROM/Flash-Speicher
- Timer und PWM 44 kHz

### Integration des Audio-Laborsystems als eine Aufgabe

- Synchronisation, Handshake-FSM, PE-Ankopplung zur Entzerrung
- SW-Interface; MPR3 Decodierung, Verzerrung; entzerrte Daten über PWM ausgeben

5

CE WS12



## Vorlesungsinhalte

### FSMs

- Vergleich von synchronen Automatenstrukturen
- Entwurfsmethodik; Automatenbeschreibungen
- Entkopplung von Zustandsautomaten

### Architektursynthese für RTL-Entwürfe

- ASM-Diagramme für Prozessorelemente
- Ressource Sharing für PE-Funktionseinheiten
- Datenpfad in Pipelinestruktur

### Synchronisation

- Clock-Konzepte; Multiratensysteme
- Synchronisation asynchroner Eingangssignale
- Kommunikation zwischen asynchronen Clock-Bereichen

6

CE WS12



## Vorlesungsinhalte



### Aufbau Mikroprozessor

- Prozessorbus, Adressdekoder speziell Zeitverhalten
- Interruptverarbeitung
- DMA

### Mikroprozessor-Peripherieeinheiten

- Parallele Ein- und Ausgabe
- Timer, Sytemkonfiguration, Watchdog, Serielle Schnittstelle

### Programmierung Mikrocontroller

- Treiberprogrammierung
- Startup-Code
- Laufzeitumgebung, Aufteilung ROM/RAM, Sektionen, Systemtests

### Externe Beschaltung

- SPI

7

CE WS12



## Vorlesungsinhalte



### ALU

- RISC mit Pipeline; Phasendiagramm; Daten-, Kontroll- u. Struktur-Hazards
- Implikationen von Pipelines; Performancesteigerung, HW-Bedarf
- Prozessorklassifikation; Load-Store/Register-Speicher; Harvard-v.Neuman; Pseudo-Harvard

### Speicher

- Speicherhierarchie
- Aufbau und Funktion von Caches; Direct-Mapped, n-Wege/Teilassoziativ, Vollassoziativ  
Einfluss auf Antwortzeiten; Cache-Einsatz steuern

8

CE WS12

## CE-Sequenz WS 12/13

W1 KW39	W2	W3	W4	W5 KW43	W6	W7	W8	W9	W10	W11 KW49	W12	W13 KW51	W14 KW2	W15 KW3
VD VD	VDP	VP VD	VDP	VDP	VDP	VP	VDP	VDP	VP	VDP	VDP	Übung	VR	KLV
---	---	---	L1	L1/ L2	L2	L3	L3/ L4	L4	L5	L5/ L6	L6/ L7	L7	L8	L8

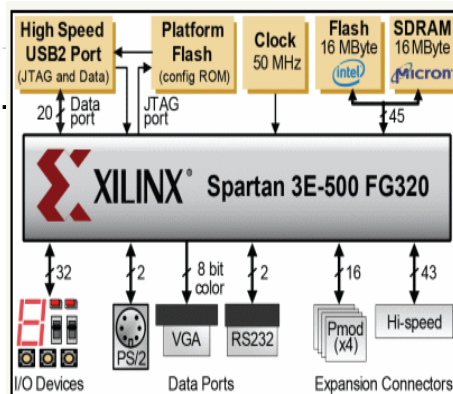
D: Digitale Systeme; P: µController; R: Rechnerstrukturen; KLV: Klausurvorbereitung; L: Labortermin

9

CE WS12

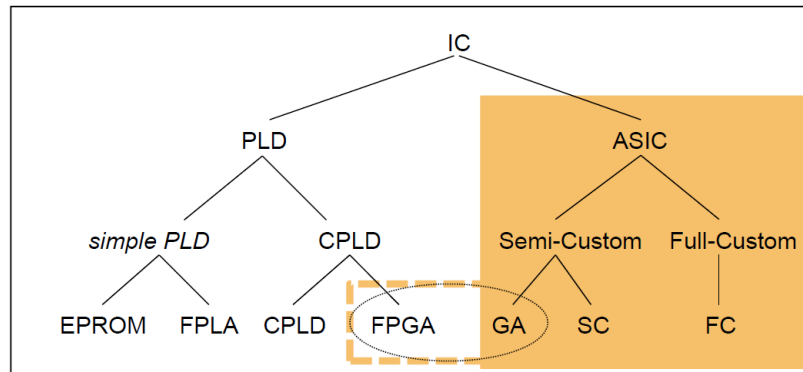
## Digilent Nexys2

- ▶ **Xilinx XC3S1200E**  
19500 LEs, 63kB RAM, 28 MUL
- ▶ **USB2:** board power, device config. and high-speed data transfers
- ▶ **16MB fast Micron SDRAM**
- ▶ **16MB Intel Flash Flash ROM**
- ▶ **Xilinx Platform Flash ROM**
- ▶ **50MHz Oscillator + Socket**
- ▶ **59 GPIOs**
- ▶ **On-board I/O includes 8 LEDs, 4 7-segment display, 4 pushbuttons, 8 slide switches**
- ▶ **119\$=91€**
- ▶ **ADC-, DAC-, Video-Decoder-, RS232-, 10Mbit Ethernet-Module**



10

CE WS12



CPLD	<b>C</b> omplex <b>P</b> rogrammable <b>L</b> ogic <b>D</b> evice	ASIC	<b>A</b> pplication <b>S</b> pecific <b>I</b> C
EPROM	<b>E</b> lectrically <b>P</b> rogrammable <b>R</b> ead <b>O</b> nly <b>M</b> emory	FC	<b>F</b> ull <b>C</b> ustom <b>I</b> C
FPGA	<b>F</b> ield <b>P</b> rogrammable <b>G</b> ate <b>A</b> rray	GA	<b>G</b> ate <b>A</b> rray
FPLA	<b>F</b> ield <b>P</b> rogrammable <b>L</b> ogic <b>A</b> rray	IC	<b>I</b> ntegrated <b>C</b> ircuit
PLD	<b>P</b> rogrammable <b>L</b> ogic <b>D</b> evice	SC	<b>S</b> tandard <b>C</b> ell

J. Reichardt: Lehrbuch Digitaltechnik, Kap. 15 u. 16; Oldenbourg Verlag, 2. A. 2011