

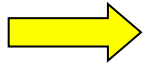
Computer Engineering WS 2012

Serielle Busse

HTM – SHF - SWR



Übersicht



- ▶ Einleitung
 - ▶ Kodierung, Dekodierung
 - ▶ Taktrückgewinnung
 - ▶ Galvanische Trennung
- ▶ RS232
- ▶ I2C, SPI



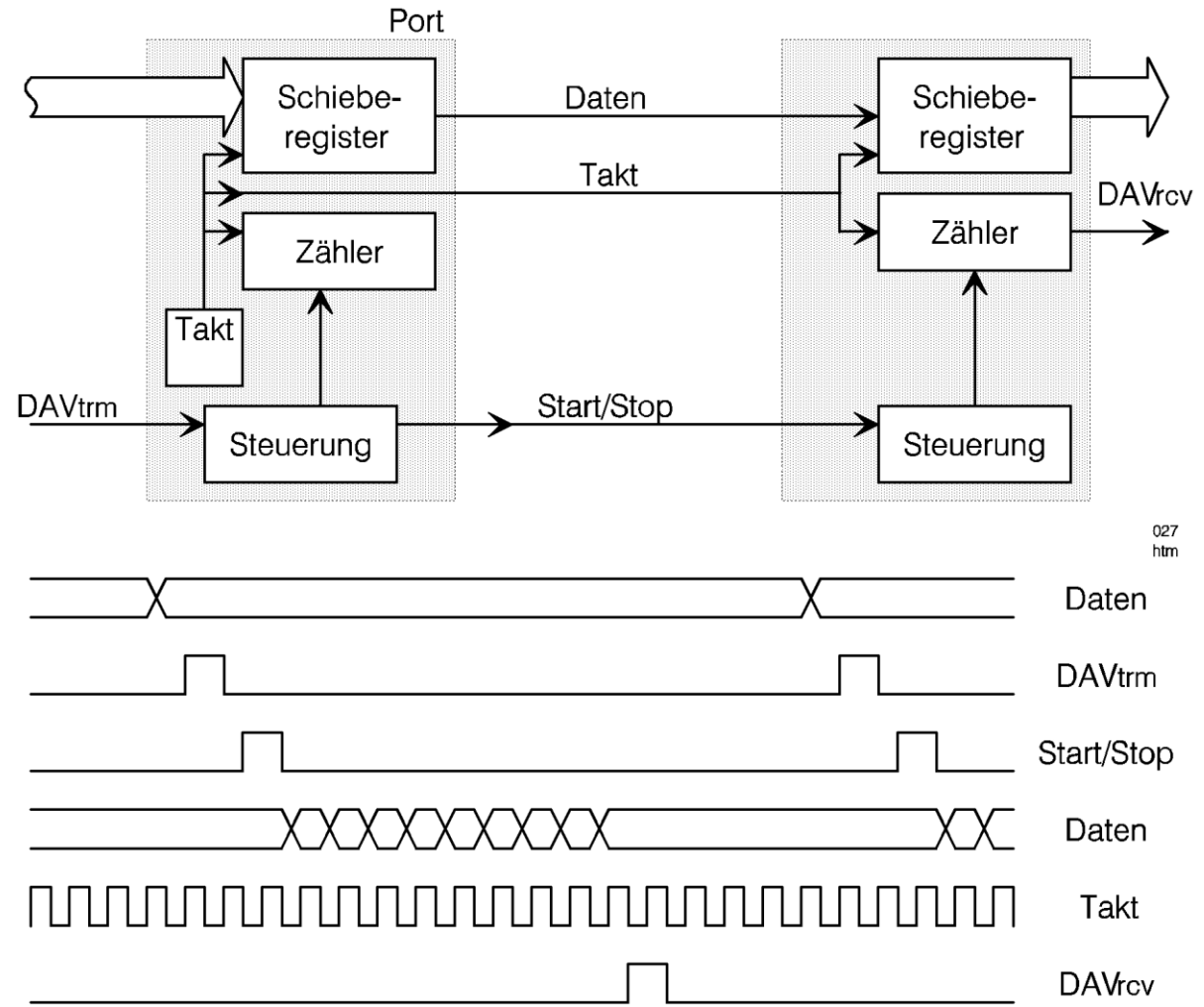
LPC 2468: Serielle Bussysteme

Name	Anzahl	Geschwindigkeit
RS232	4	300 Bit/s bis 4 MBit/s
I2C	3	bis 400kBit/s
CAN	2	25 kBit/s bis 1 MBit/s
I2S	1	bis 6,144 MBit/s
SPI	3	bis 24 MBit/s
USB 2.0	1	12 MBit/s
Ethernet	1	10 MBit/s, 100 MBit/s

CE WS12

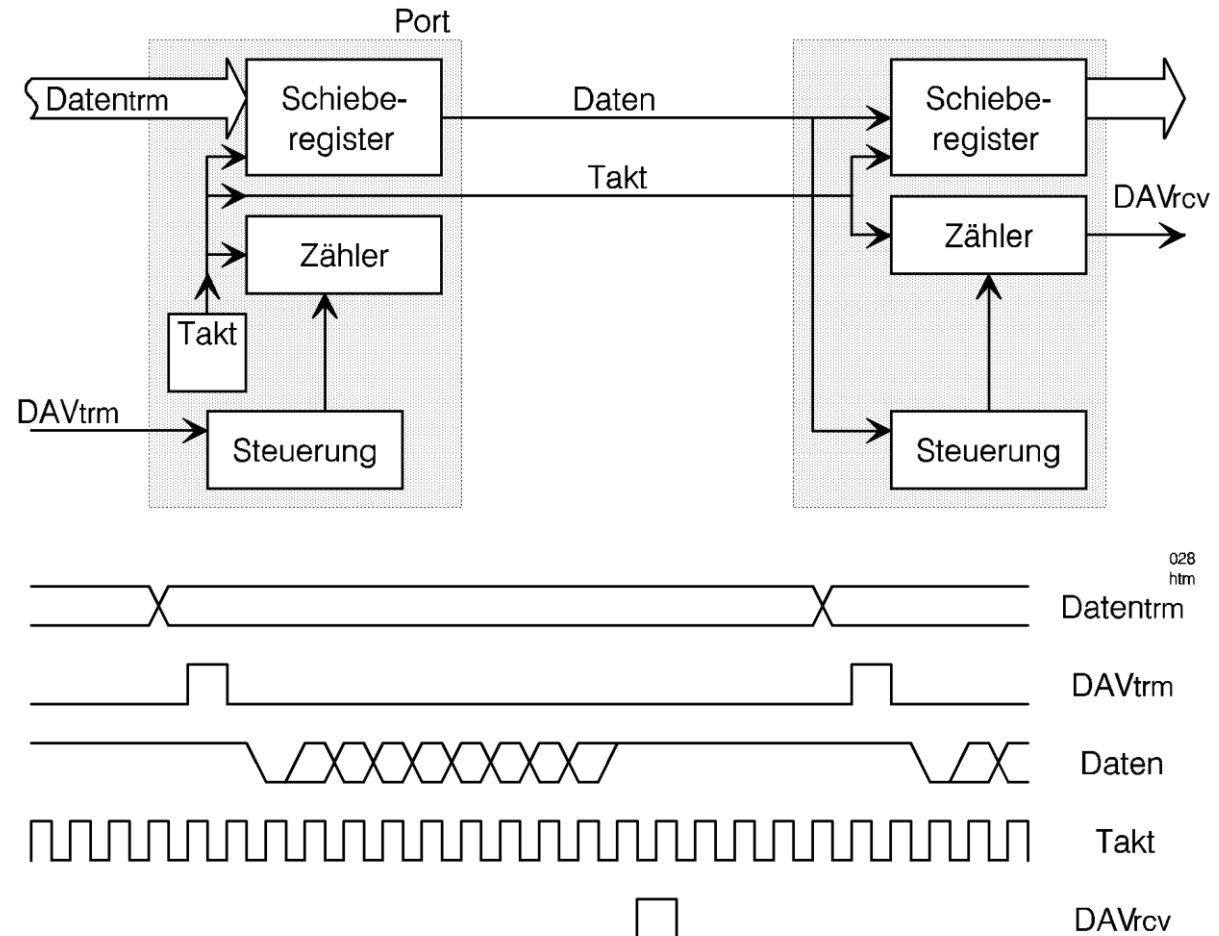
Serielle Übertragung

- ▶ **Übertragungsgeschwindigkeit:**
 - ▶ festgelegt durch Taktrate
- ▶ Taktrate bestimmt die Anzahl Schritte pro Sekunde
 - ▶ = Baudrate
- ▶ **Übertragungsverfahren:**
 - ▶ **Bit: Synchron**
 - ▶ **Byte: Asynchron**
- ▶ **Implementierung:**
 - ▶ **SPI**



Start-/Stopperkennung

- ▶ **Spezielle Kennzeichnung von Datenanfang und –ende erforderlich**
- ▶ **z.B.: Start-/Stoppbits (RS232)**
 - ▶ **Ein Startbit,**
 - z. B. == 0
 - ▶ **Ein oder mehrere Stoppbits**
 - z. B. == 1
- ▶ **Achtung:**
 - ▶ **Erkennung ist nicht immer eindeutig!**



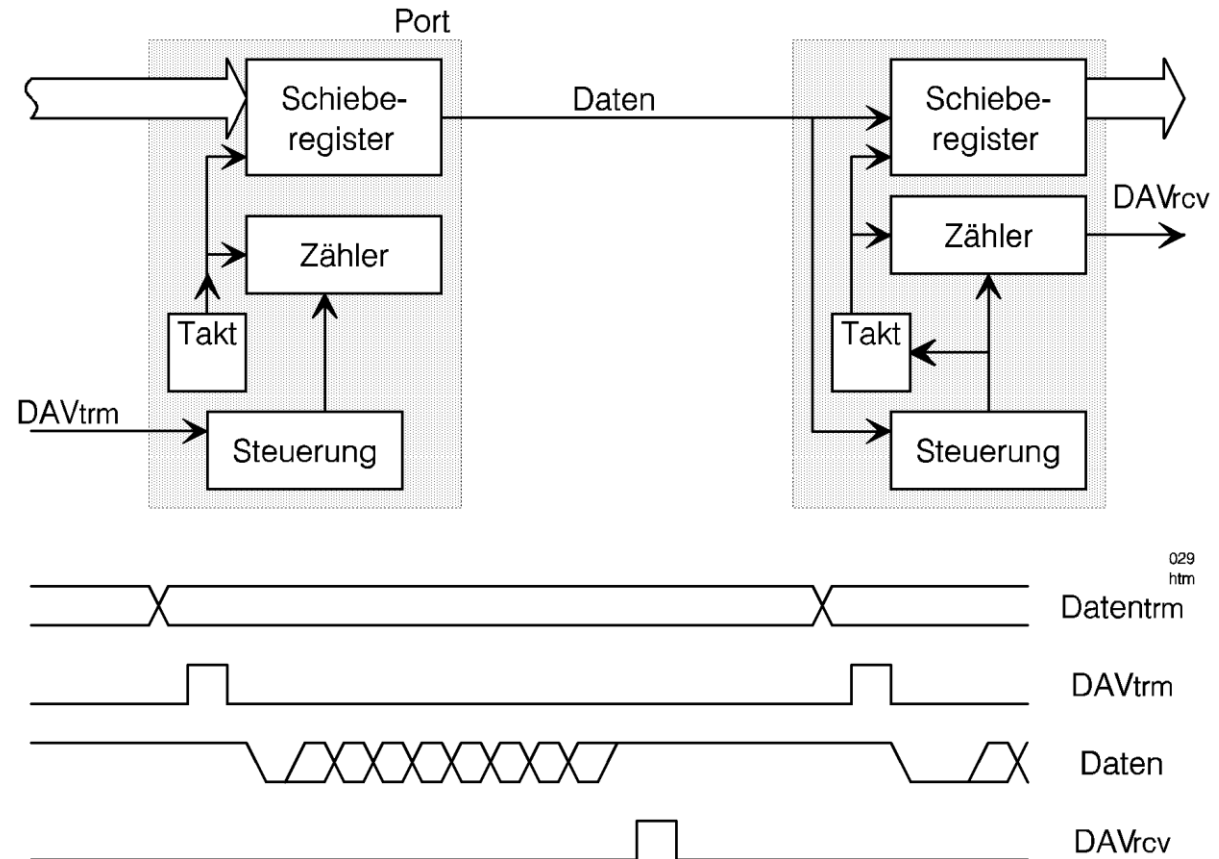
CE WS12

Taktrückgewinnung

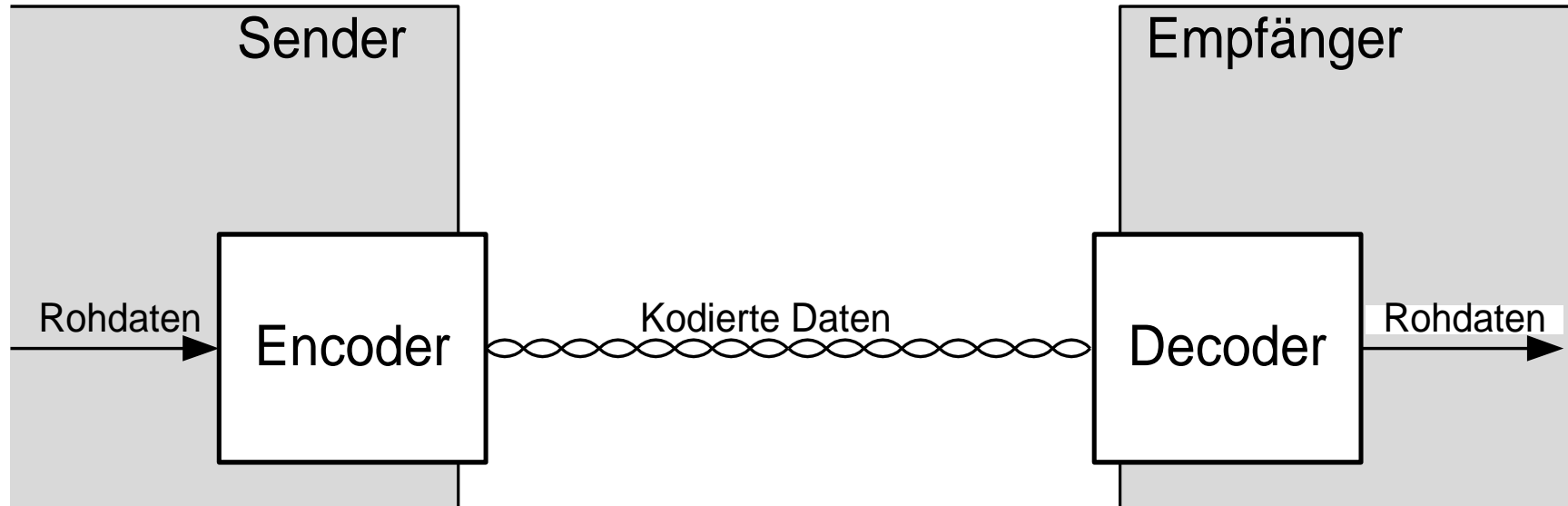
- ▶ Synchronisation mittels Flanken auf der Datenleitung
- ▶ Garantiert:
 - ▶ **Fallende Flanke zu Beginn des Startbits**

⇒ Referenzpunkt für Takt-synchronisation

- ▶ Erforderliche Genauigkeit des Taktgenerators?



Data Encoding / Decoding



► Optimierungskriterien:

1. **Gute Taktrückgewinnung: Möglichst viele Flanken.**
2. **Geringe Bandbreite: Möglichst wenig zusätzliche Bits.**
3. **Einfache galvanische Trennung: Mittelwert des Signals konstant.**
4. **Vertauschung der Adern erlaubt.**

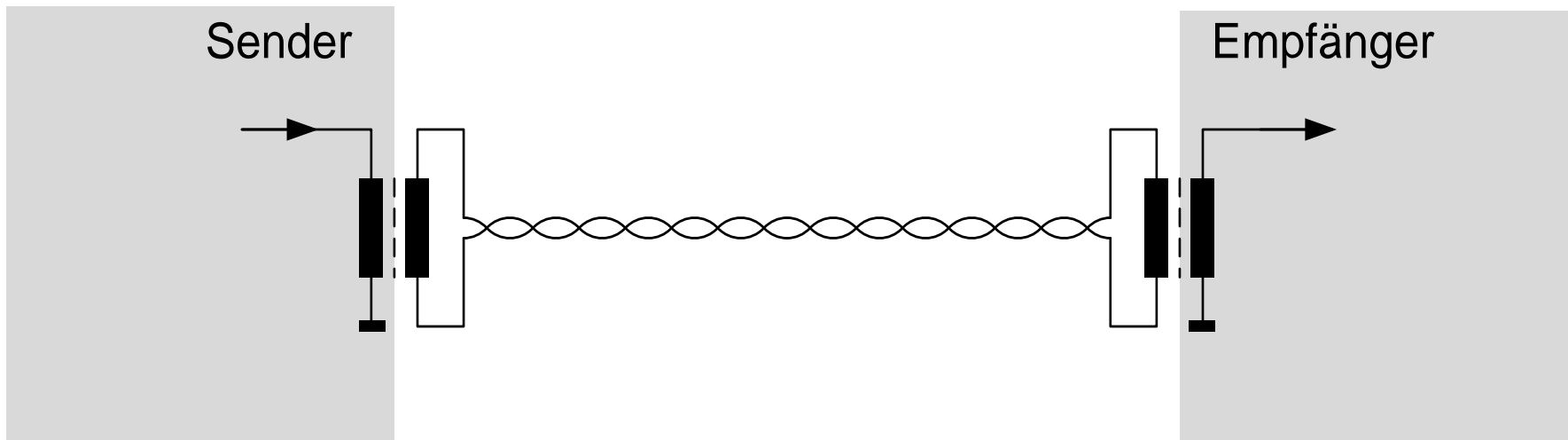


Galvanische Trennung von Sender und Empfänger

- ▶ **Ziel:**
Sender und Empfänger sollen **nicht leitend** miteinander verbunden sein.
- ▶ **Erforderlich zur**
 - ▶ **Vermeidung von elektromagnetischen Störungen.**
 - ▶ **Verbesserung der elektromagnetischen Verträglichkeit (EMV).**
 - ▶ **Vermeidung von „Brummschleifen“
(z.B.: Messtechnik, Audioanwendungen).**
 - ▶ **Erhöhung der Sicherheit (z.B.: Medizintechnik).**
- ▶ **Realisierung: Übertrager, Optokoppler.**

Galvanische Trennung von Sender und Empfänger

- Realisierung mit Übertrager:

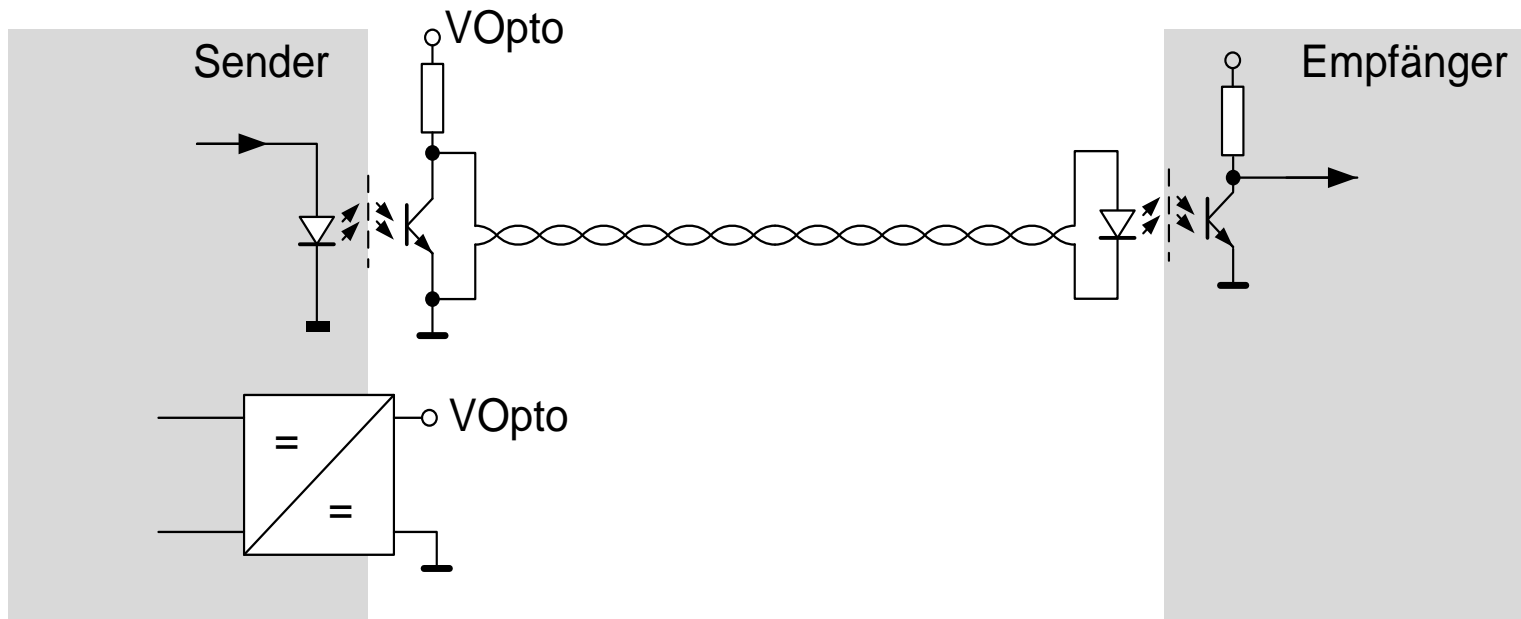


- Vorteile:

- Nachteile:

Galvanische Trennung von Sender und Empfänger

- Realisierung mit Optokoppler:



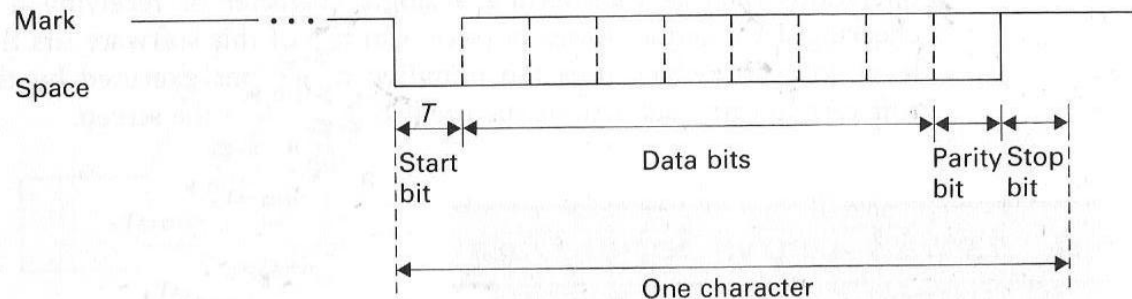
- Vorteile:

- Nachteile:

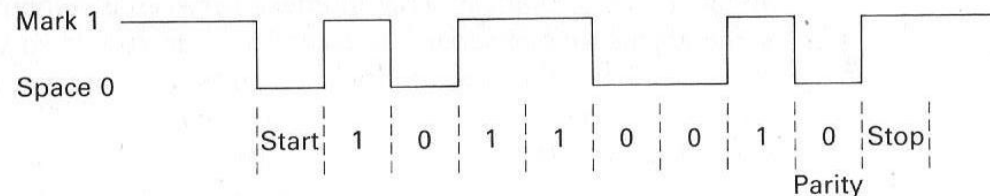


RS232

- ▶ **Anwendung**
 - Standardisiert für Verbindung zwischen **Endgerät** (PC, Drucker, Terminal) und **Modem**
 - Heute: Direkte Verbindung zwischen Endgeräte (Nullmodem)
- ▶ **Eigenschaften:**
 - Anzahl Daten: 5 bis 8 Bits
 - 1 Startbit
 - 1 bis 2 Stoppbits
 - Parität: keine, gerade, ungerade
 - Datenraten, z.B.: 300, 2400, 9600, 19200, 57600, 115200
 - Spannungspegel:
Mark (1) = -5 bis -15 Volt
Space (0) = +5 bis +15 Volt

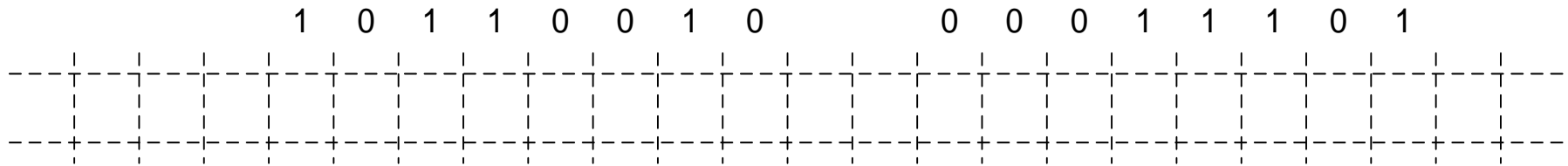


Example: Letter M = ASCII \$4D = 1001101₂ (even parity)





Data Encoding / Decoding: RS232

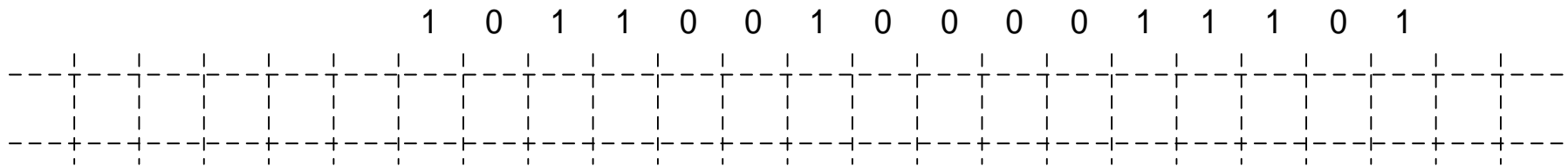


1. **Taktrückgewinnung:**
2. **Bandbreite:**
3. **Galvanische Trennung:**
4. **Vertauschung der Adern:**



Data Encoding / Decoding: **Manchester-Kodierung**

- ▶ **Kodierung mittels Flanken: negative Flanke = 0, positive Flanke = 1**

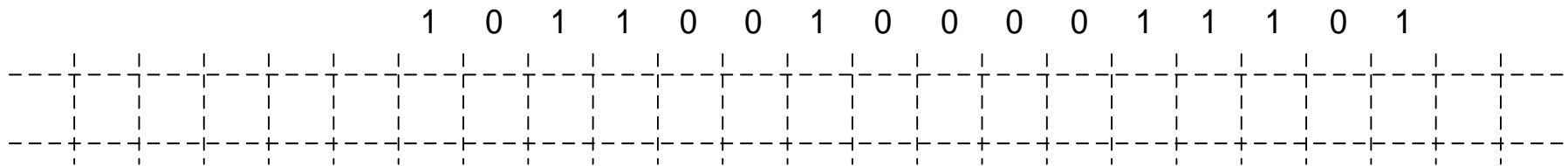


1. **Taktrückgewinnung:**
2. **Bandbreite:**
3. **Galvanische Trennung:**
4. **Vertauschung der Adern:**



Data Encoding / Decoding: **Differentielle Manchester-Kodierung**

- ▶ **Kodierung mittels Flanken: Flanke = 0, keine Flanke = 1**

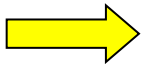


1. **Taktrückgewinnung:**
2. **Bandbreite:**
3. **Galvanische Trennung:**
4. **Vertauschung der Adern:**



Übersicht

- ▶ Einleitung
 - ▶ Kodierung, Dekodierung
 - ▶ Taktrückgewinnung
 - ▶ Galvanische Trennung
- ▶ RS232
- ▶ I2C, SPI





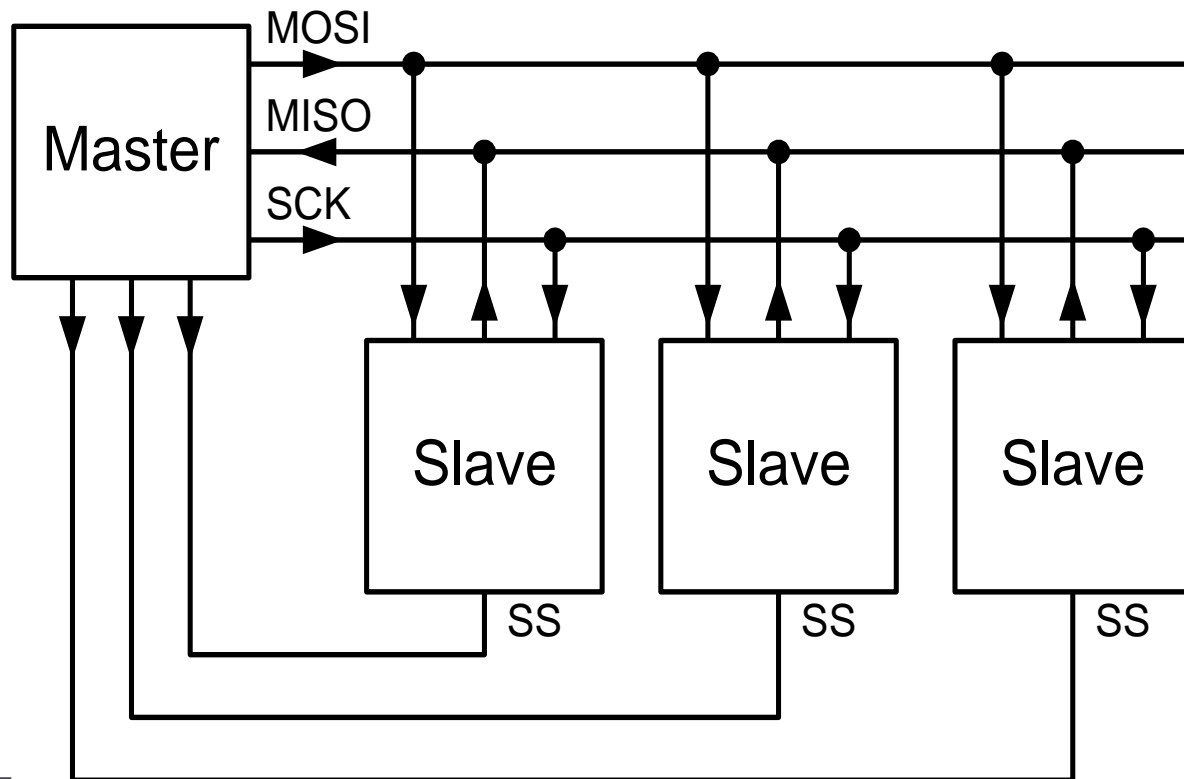
Verbindung von Komponenten auf einer Leiterplatte:

I₂C und SPI

	I2C	SPI
Master	Multi Master	Single Master
Datenleitungen	2	>= 4
Übertragung	Half Duplex	Full Duplex
Geschwindigkeit	400 kBit/s	24 MBit/s
Overhead	hoch	gering

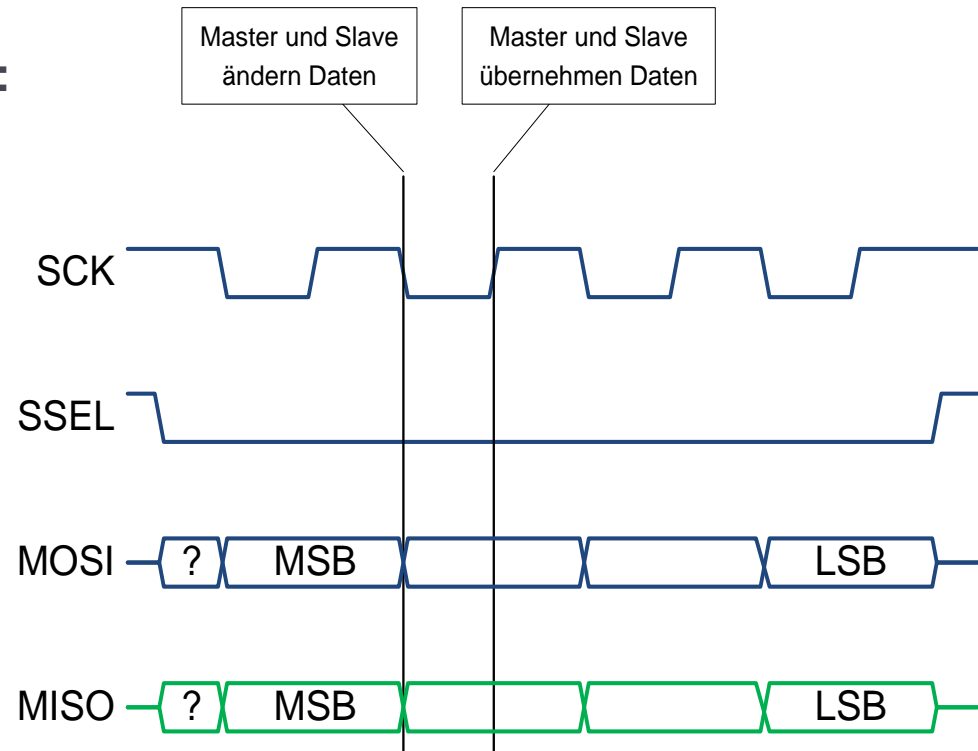
Serial Peripheral Interface (SPI)

- ▶ Entwicklung der Fa. Motorola.
- ▶ Ziel: kostengünstiger Anschluss von Peripheriekomponenten.
- ▶ Wenig spezifiziert.



Serial Peripheral Interface (SPI)

- ▶ **Synchrone Übertragung**
- ▶ **4 verschiedene Betriebsarten:**
 - ▶ **positive oder negative aktive Flanke.**
 - ▶ **SCK in Ruhe Low oder High**
- ▶ **Vollduplex-Übertragung**



Implementierung im LPC2468: SSP0 und SSP1

- ▶ **Eigenschaften:**
 - ▶ **Verschiedene Protokolle:**
 - **Motorola SPI**
 - **4-wire Texas Instruments SSI**
 - **National Semiconductor Microwire**
 - ▶ **Master oder Slave Betrieb**
 - ▶ **8 Frames FIFOs für Empfangs- und Senderichtung**
 - ▶ **Framelänge 4 bis 16 Bits**
 - ▶ **Direct Memory Access (DMA) Betrieb möglich**
 - ▶ **Maximale Taktfrequenz: PCLK/2 (bei $f_{\text{SYS}} = 48 \text{ MHz}$: 24 MHz)**



Implementierung im LPC2468: Register

Generic Name	Description
CR0	Control Register 0. Selects the serial clock rate, bus type, and data size.
CR1	Control Register 1. Selects master/slave and other modes.
DR	Data Register. Writes fill the transmit FIFO, and reads empty the receive FIFO.
SR	Status Register
CPSR	Clock Prescale Register
IMSC	Interrupt Mask Set and Clear Register
RIS	Raw Interrupt Status Register
MIS	Masked Interrupt Status Register
ICR	SSPICR Interrupt Clear Register
DMACR	DMA Control Register

Implementierung im LPC2468: **Initialisierung**

- ▶ **Einstellungen in:**
 - ▶ **PCONP**
 - Komponente einschalten.
 - ▶ **PCLKSELx**
 - Taktfrequenz für Komponente einstellen.
 - ▶ **PINSELx**
 - Sonderfunktionen der Pins aktivieren.
 - ▶ **SSP0CR0, SSP0CR1, SSP0CPSR**
 - Konfiguration der SPI-Schnittstelle



Implementierung im LPC2468: SSPn Control Register 0

Bit	Symbol	Value	Description
3:0	DSS		Data Size Select. This field controls the number of bits transferred in each frame. Values 0000-0010 are not supported and should not be used.
		0011	4 bit transfer
		0100	5 bit transfer
		0101	6 bit transfer
		0110	7 bit transfer
		0111	8 bit transfer
		1000	9 bit transfer
		1001	10 bit transfer
		1010	11 bit transfer
		1011	12 bit transfer
		1100	13 bit transfer
		1101	14 bit transfer
		1110	15 bit transfer
		1111	16 bit transfer
5:4	FRF		Frame Format.
		00	SPI
		01	TI
		10	Microwire
		11	This combination is not supported and should not be used.
6	CPOL		Clock Out Polarity. This bit is only used in SPI mode.
		0	SSP controller maintains the bus clock low between frames.
		1	SSP controller maintains the bus clock high between frames.
7	CPHA		Clock Out Phase. This bit is only used in SPI mode.
		0	SSP controller captures serial data on the first clock transition of the frame, that is, the transition away from the inter-frame state of the clock line.
		1	SSP controller captures serial data on the second clock transition of the frame, that is, the transition back to the inter-frame state of the clock line.
15:8	SCR		Serial Clock Rate. The number of prescaler-output clocks per bit on the bus, minus one. Given that CPSDVSR is the prescale divider, and the APB clock PCLK clocks the prescaler, the bit frequency is $PCLK / (CPSDVSR \times [SCR+1])$.

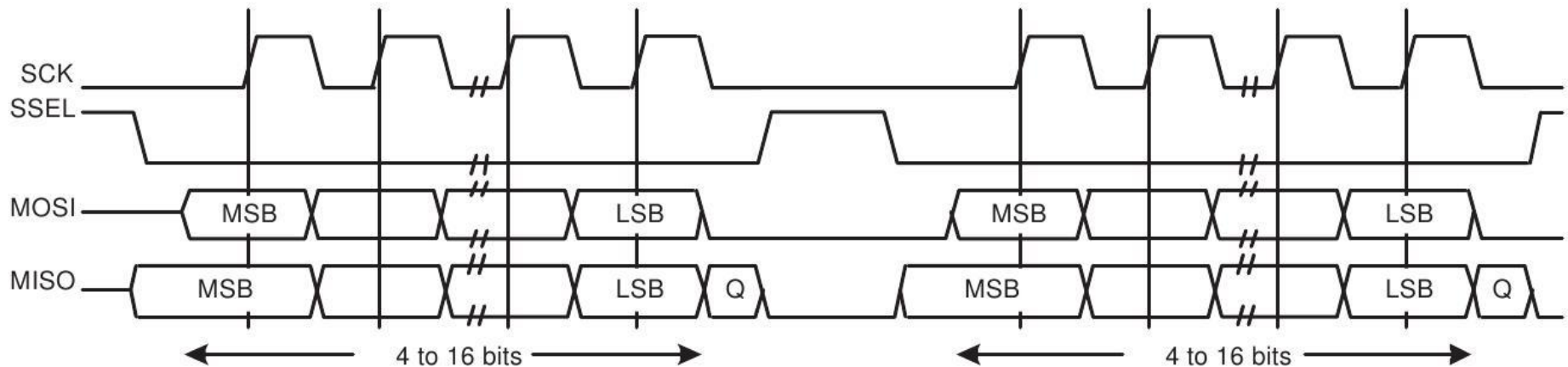
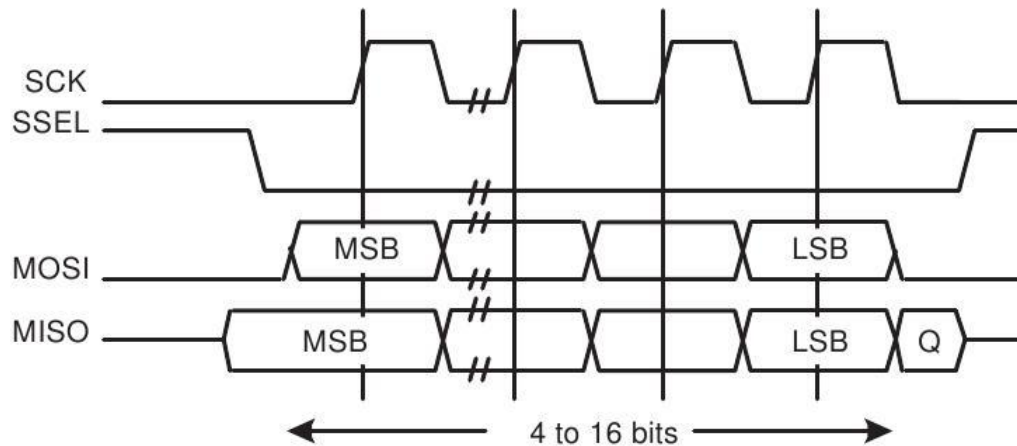


Implementierung im LPC2468: SSPn Control Register 1

Bit	Symbol	Value	Description
0	LBM	0	Loop Back Mode. During normal operation.
		1	Serial input is taken from the serial output (MOSI or MISO) rather than the serial input pin (MISO or MOSI respectively).
1	SSE	0	SSP Enable. The SSP controller is disabled.
		1	The SSP controller will interact with other devices on the serial bus. Software should write the appropriate control information to the other SSP registers and interrupt controller registers, before setting this bit.
2	MS	0	Master/Slave Mode. This bit can only be written when the SSE bit is 0. The SSP controller acts as a master on the bus, driving the SCLK, MOSI, and SSEL lines and receiving the MISO line.
		1	The SSP controller acts as a slave on the bus, driving MISO line and receiving SCLK, MOSI, and SSEL lines.
3	SOD		Slave Output Disable. This bit is relevant only in slave mode (MS = 1). If it is 1, this blocks this SSP controller from driving the transmit data line (MISO).
7:4	-		Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.

CE WS12

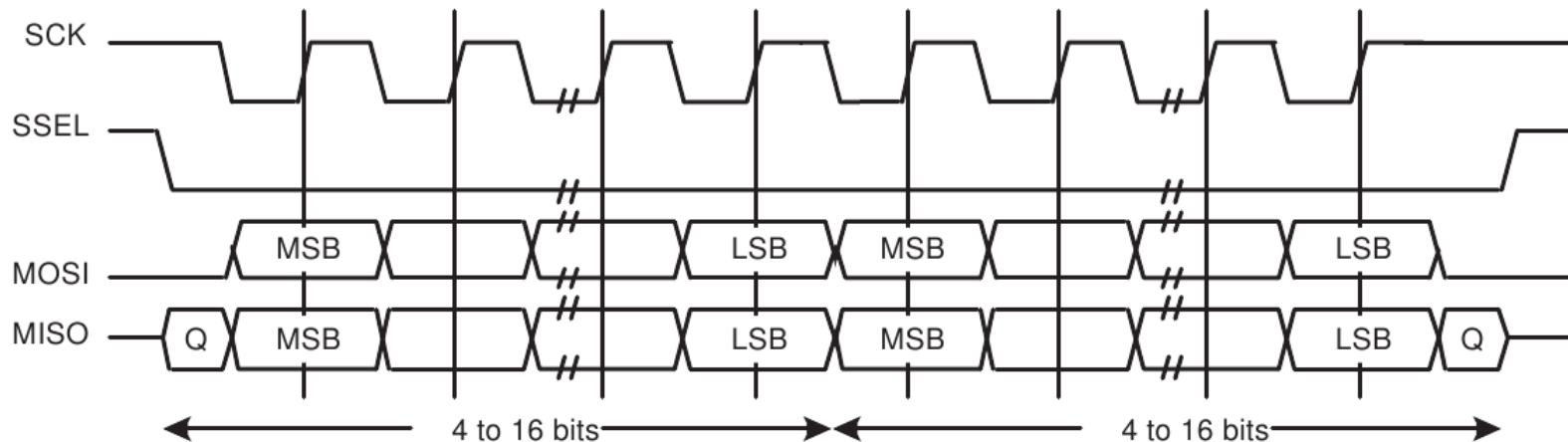
Implementierung im LPC2468: **CPOL = 0 und CPHA = 0**



Implementierung im LPC2468:

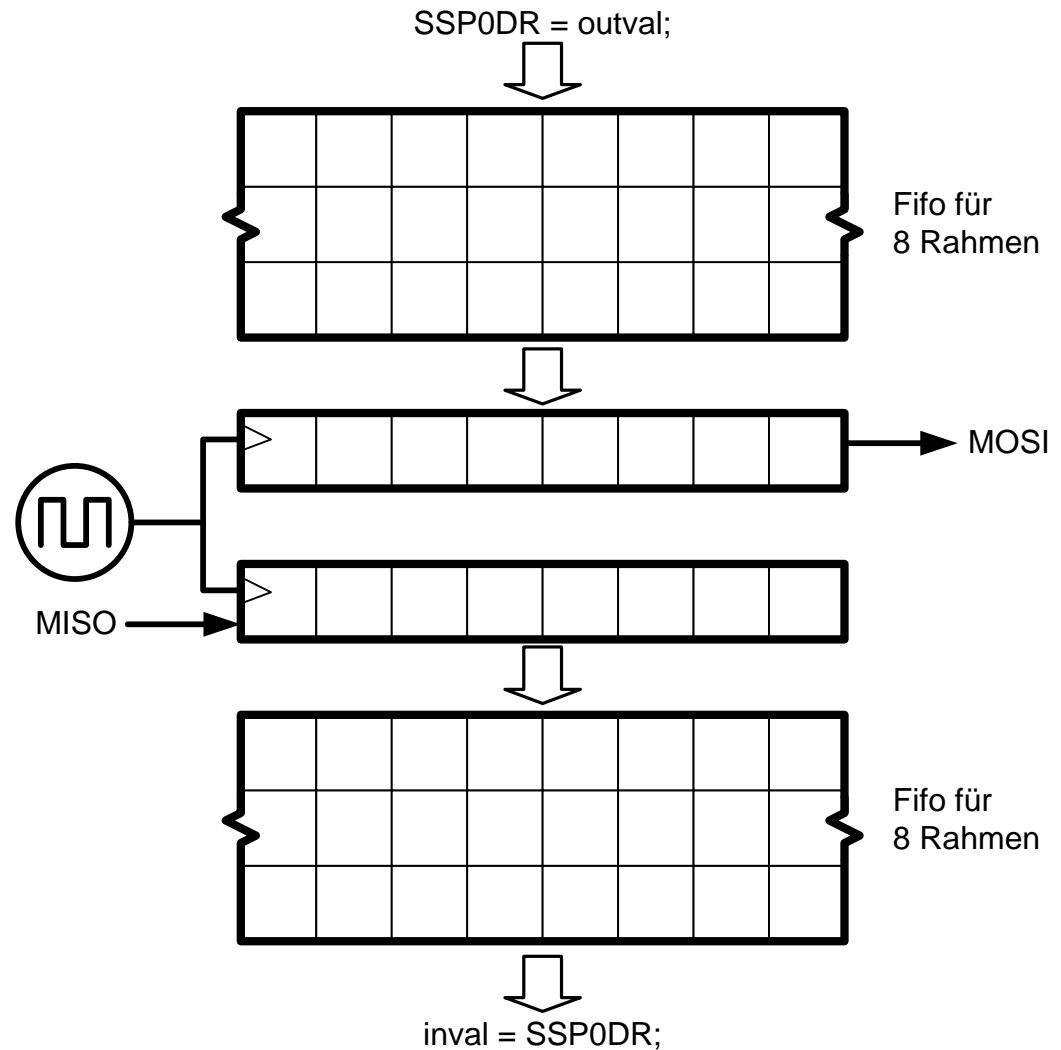
CPOL = 1 und CPHA = 1

- ▶ Ruhezustand von SCK: High
- ▶ Aktive Flanke: Zweite Flanke nach Aktivierung von SSEL





Implementierung im LPC2468:



Implementierung im LPC2468:

Bit	Symbol	Description
0	TFE	Transmit FIFO Empty. This bit is 1 if the Transmit FIFO is empty, 0 if not.
1	TNF	Transmit FIFO Not Full. This bit is 0 if the Tx FIFO is full, 1 if not.
2	RNE	Receive FIFO Not Empty. This bit is 0 if the Receive FIFO is empty, 1 if not.
3	RFF	Receive FIFO Full. This bit is 1 if the Receive FIFO is full, 0 if not.
4	BSY	Busy. This bit is 0 if the SSPn controller is idle, or 1 if it is currently sending/receiving a frame and/or the Tx FIFO is not empty.
7:5	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.