


Informatik  
HAW Hamburg

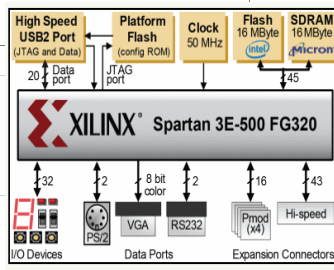


Hochschule für Angewandte Wissenschaften Hamburg  
Hamburg University of Applied Sciences

# Computer Engineering WS 2012

## Digitale Systeme Ziele

Prof. Dr. B. Schwarz





Informatik  
HAW Hamburg

## Digitale Systeme



Hochschule für Angewandte Wissenschaften Hamburg  
Hamburg University of Applied Sciences

1. Ziele für die Anwendung in SoC-FPGAs
2. Entwurf und Verhalten **synchroner Automaten**  
 Vergleich der Automatenstrukturen: Mealy, Moore  
**Entwurfsmethodik**; Beispiel Sequenzerkennung  
 VHDL-Model, Timing, Synthese  
 Zwei-Prozess VHDL-Automatenbeschreibungen  
 Entkopplung von Zustandsautomaten  
 Entwurf eines sequentiellen Addierers

### 3. Architektursynthese

Prozessorelement für eine S-Kurvenapproximation

**ASM-Diagramm** für das

**Multizyklus-Prozessorelement**

Gemeinsame Nutzung von Aritmetik-

Funktionseinheiten: **Ressource Sharing**

Gemeinsame Register- / Speicher-Nutzung

Datenpfad mit Fixed-Point Arithmetik im **Q-Format**

Datenpfad in **Pipelinestruktur**

Rechensysteme mit Ausgangsrückführung

3

CE - DS Ziele

### 4. Synchrone Systeme

**Clock-Konzepte**

Asynchrone Eingangssignale

**Synchronisationsschaltung** für lange Impulse

Synchronisationsschaltung für kurze Impulse

MTBF bei Flipflops mit **metastabilen Zuständen**

Kommunikation zwischen asynchronen

Clock-Bereichen

**Vier-Phasen Handshake**

4

CE - DS Ziele

## Literatur

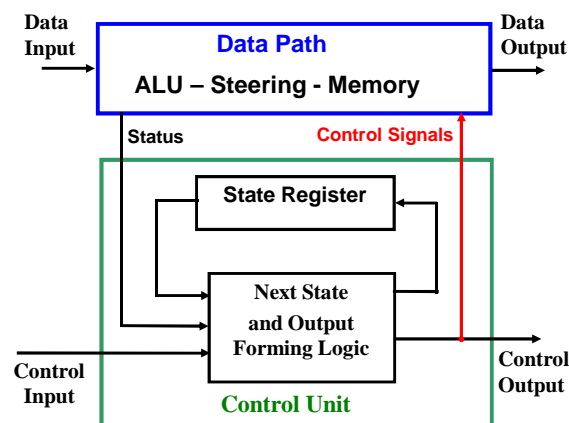
- [1] J. Wakerly: Digital Design Principles & Practices. Prentice Hall 2006, 4<sup>th</sup> edition
- [2] D. D. Gajski: Principles of Digital Design; Prentice Hall 1997
- [3] P. J. Ashenden: Digital Design. An Embedded Systems Approach Using VHDL. Morgan Kaufmann 2008
- [4] R. Sass, A.G. Schmidt: Embedded Systems Design with Platform FPGAs. Morgan Kaufmann 2010
- [5] J. Reichardt; B. Schwarz: VHDL Synthese. Entwurf digitaler Schaltungen und Systeme; Oldenbourg Nov. .2012, 6. Auflage
- [6] W. Wolf: Computers as Components: Principles of Embedded Computing System Design. Morgan Kaufmann 2008, 2<sup>nd</sup> edition
- [7] W. Wolf: High-Performance Embedded Computing; Morgan Kaufmann 2007
- [8] A. Sloss, D. Symes, Ch. Wright: ARM System Developer's Guide; Morgan Kaufmann 2004
- [9] U. Brinkschulte, Th. Ungerer: Mikrocontroller und Mikroprozessoren; 2. Auflage Springer 2007
- [10] D. A. Patterson, J. L. Hennessy: Computer Organisation & Design; The Hardware/Software Interface; Morgan Kaufmann 2008, 4<sup>th</sup> edition

5

CE - DS Ziele

## 1. Ziele

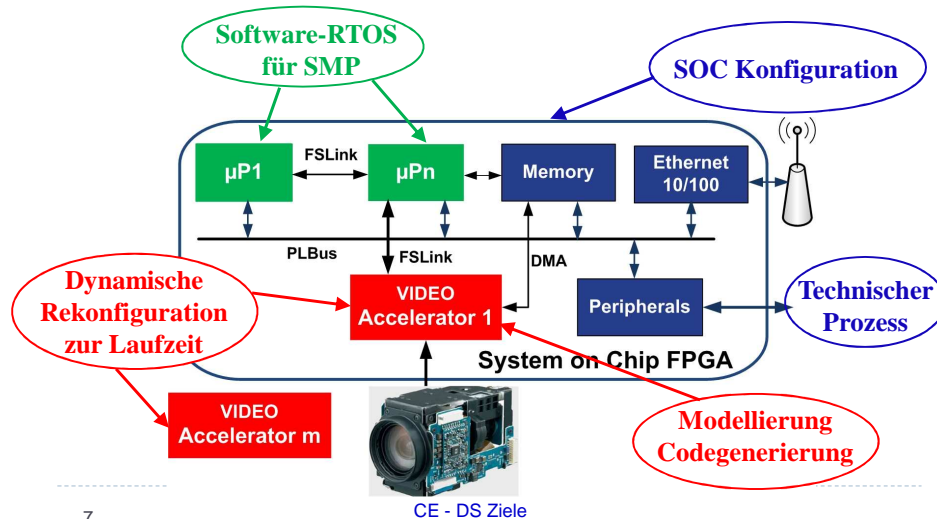
### Entwurf von Prozessorelementen für SoC-Anwendungen in der Audiosignal- und Bildverarbeitung



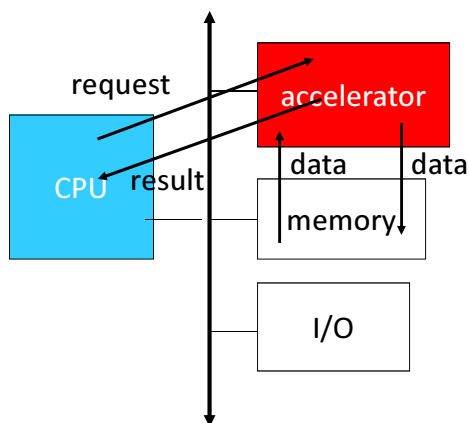
6

CE - DS Ziele

## System on Chip für eingebettete Anwendungen



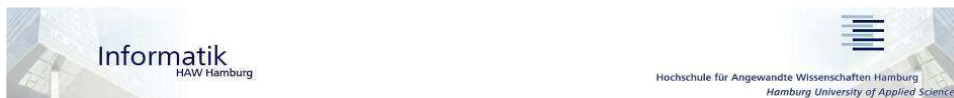
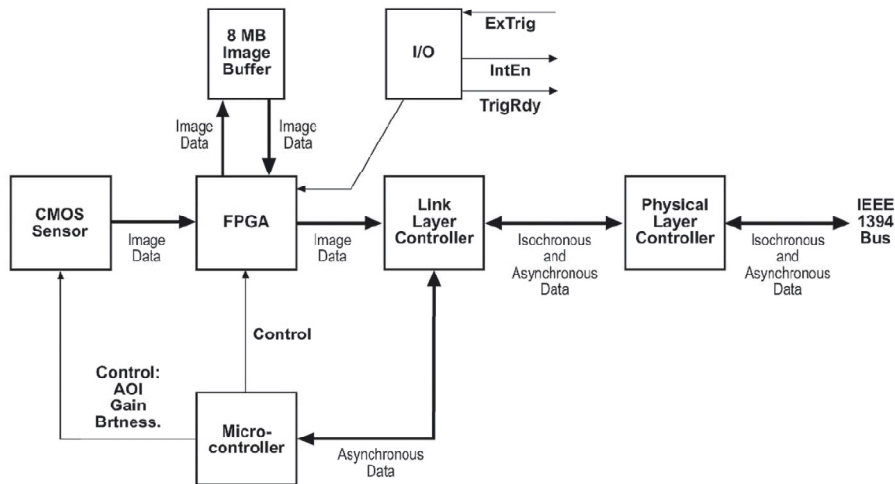
## μC mit Beschleuniger



- **Co-Prozessoren** führen Instruktionen aus, die von der CPU angestoßen werden; keine Nebenläufigkeit
- **Beschleuniger** arbeiten wie μP-Peripherie als Bus-Teilnehmer;
  - Steuerung über Register.
- Realisierung mit rekonfigurierbarer HW: FPGAs
- Modellierung paralleler Funktionen mit HDLs: VHDL
- Vorteile gegenüber μC mit höherer Frequenz:
  - I/O in Echtzeit
  - Geringerer Energieverbrauch
  - Datenflussanwendungen mit hohen Datenraten



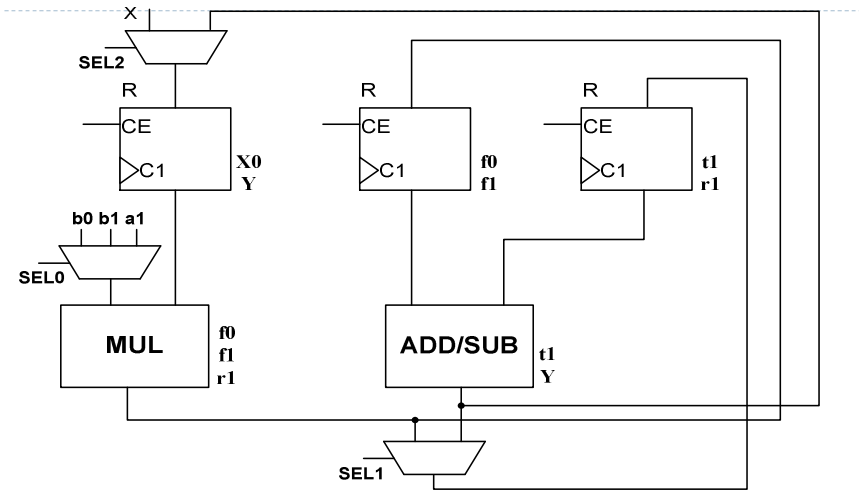
## μC-FPGA-Konfiguration: CCD-Kamera Basler A602f mit 491x656 Pixel, 105 Bilder/sek



## Architektursynthese

- Strukturierung eines **digitalen Systems als Prozesselement** in einen **Datenpfad** und einen **Steuerpfad**.
- It is appropriate to separate both parts because to each part different design strategies and optimisation methods can be applied.
- Der **Datenpfad** enthält alle Operationen zur Datenmanipulation. Er wird aus Schaltnetzketten (z.B. ALU) mit Registern zur Daten-zwischenspeicherung gebildet. Seine Operationen werden durch Steuersignale kontrolliert. Er selbst erzeugt Statussignale.
- Der **Steuerpfad** ist als taktsynchroner Zustandsautomat aufgebaut. Abhängig von den Eingangs- und Statussignalen des Datenpfads werden die Aktionen im Datenpfad über Steuersignale initiiert. CE - DS Ziele

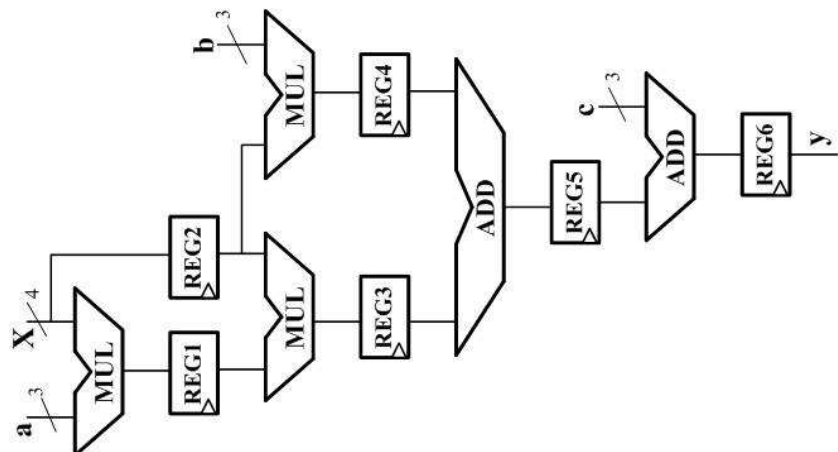
## Multizyklus-Datenpfad



11

CE - DS Ziele

## Pipeline-Datenpfad



12

CE - DS Ziele

- **Technik: Register Transfer Level**
- **Entwürfe auf der Grundlage von Architekturübersichtsbildern**
- **Coding Style: synthesesgerechtes VHDL**
  - 1076-2004 - IEEE Standard for VHDL Register Transfer Level (RTL) Synthesis** P. Ashenden: *The VHDL Designers Guide*. 3rd edition 2008 Morgan Kaufmann; chap. 21, p. 633 - 665
  - Subset des**
  - 1076-2008 IEEE Standard VHDL Language Reference Manual**
- **ModelSim PE VHDL-Simulation: 1076-2008**
- **Xilinx XST Synthese: partially implemented 1076-2002**
- **Synthesis and Simulation Design Guide Guide UG626 (v 14.1)**  
May 8th, 2012; 171 pages

13

CE - DS Ziele

## Firmen in Hamburg mit innovativen Produkten

- **Basler** in Ahrensburg: Industriekameras; 30% Kamera Entwicklungsabteilung mit HAW Absolventen
- **Allied Vision Technologies** in Ahrensburg:  
Herr R. German BA; Herr N. Andreae MA
- **Dermalog Identification System** in HH: Biometrische Erkennungsmethoden  
Herr R. Weber BA; Herr D. Blauhut BA; Herr C. Schulz MA  
**Master-Forschungsprojekt : Biometric Graphic Acceleration**
- **Ibeo Automotiv Systems** in Rahlstedt: Laserscanner Systeme  
Herr Ö. N. Püskül BA

14

CE - DS Ziele



## Aktuelle Referenzen



- **B. Schwarz: Ein FPGA-basiertes System-on-Chip in der Echtzeitbildverarbeitung.**  
Informatik Aktuell; Eingebettete Systeme: Echtzeit 2010; Springer Verlag  
08.11.2010
- **H. Wilken, M. Kirschke, B. Schwarz: Configuring a Dual-MicroBlaze-Xilkernel System. Memory segmentation and data exchange strategies take a significant share on the implementation of deeply coupled master/slave multiprocessor systems.**  
Xilinx Xcell Journal issue 77 2011.
- **F. Opitz, E. Sahak, B. Schwarz: Accelerating Distributed Computing with FPGAs. Development of a Distributed SoC Network by employing the Xilinx Dynamic Partial Reconfiguration Technology.** Xilinx Xcell Journal issue 79 2012.
- **Xilinx Donation-Program 2010-2012: PRMs controlled as RTOS Tasks. Partial-Reconfiguration und 50 ISE-DS Lizenzen für das HPEC-Team.**  
PR 4x900€; ISE-DS 4x900€ (Lehre); Boards 2000€
- **J. Reichardt, B. Schwarz: VHDL-Synthese.**  
Oldenbourg Wissenschaftsverlag, 5. Auflage 2009  
6. Auflage November 2012

