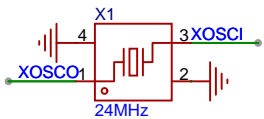
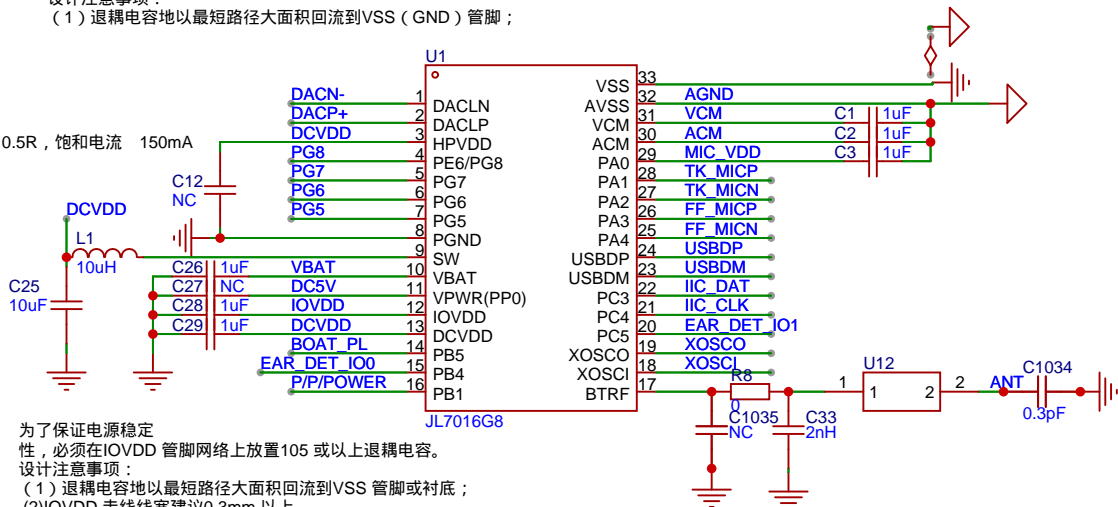


晶振



VBAT、VPWR、DCVDD 的电容需选择16V的耐压值，其他为6.3V的耐压值

需要靠近VBAT引脚处放置退耦电容，取值参考标准原理图。
设计注意事项：
(1) 退耦电容地以最短路径大面积回流到VSS (GND) 管脚；

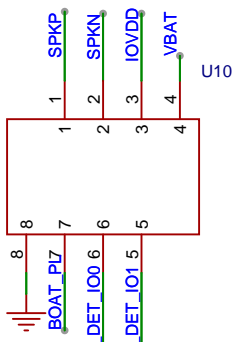
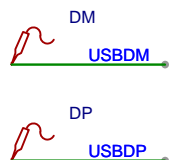
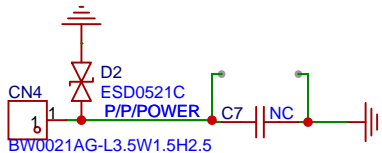
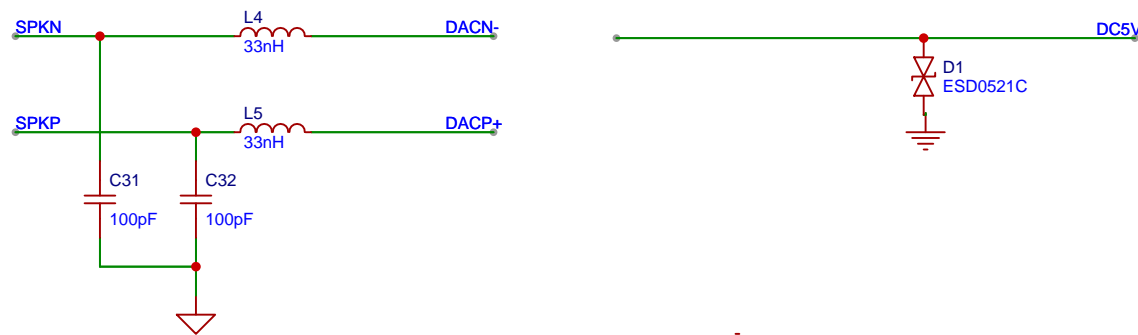


为了保证电源稳定性，必须在IOVDD 管脚网络上放置105 或以上退耦电容。
设计注意事项：
(1) 退耦电容地以最短路径大面积回流到VSS 管脚或衬底；
(2)IOVDD 走线线宽建议0.3mm 以上

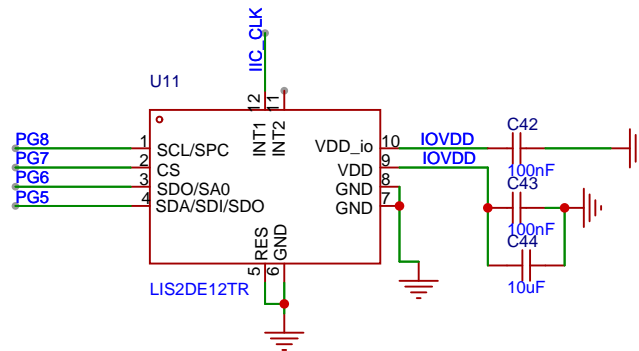
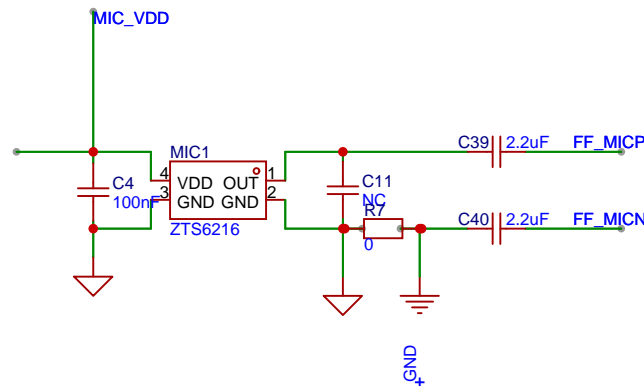
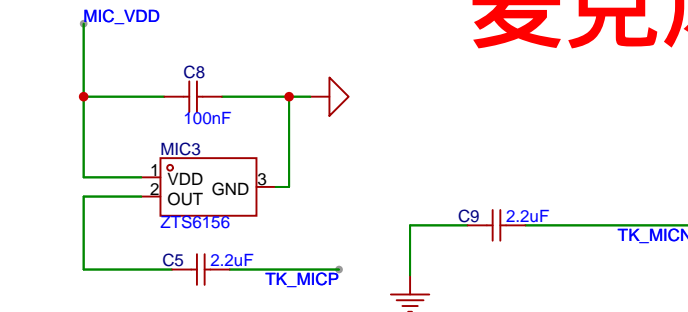
(1) DCDC 退耦电容地以最短路径大面积回流到PGND 管脚，就近与衬底短接；
(2) VBAT 是DCDC 的输入电源，相应退耦电容应该靠近芯片VBAT 管脚放置；
(3) 绕线贴片电感规格选型：电感量为10uH，直流电阻 0.5R，饱和电流 150mA；
(4) 功率电感L1 和退耦电容C1、C4、C6 靠近芯片放置，主电流路径布线采用宽线和短线，减少寄生阻抗
(5) 为减少SW 信号的EMI 辐射，应尽量缩短SW 的布线长路，并用地网络屏蔽；
(6) DCDC 输出电源需经过106 (C6) 电容后才给DCVDD 供电，并保证电容地回路与PGND 连接良好；
(7) DCDC 模块布局远离敏感信号如晶振、RF、音频信号等，保证地回路完整；
(8) 若相应封装未绑定SW 引脚，则只支持LDO 模式，如JL7016C。

VCM、ACM、HPVDD 均为模拟音频部分的参考电源。
设计注意事项：
(1) 各电源退耦电容地以最短路径大面积回流到AVSS (部分封装为DCVSS) ；
(2) 各电源应避免受其他高频信号干扰，保证电源稳定性，避免影响音频性能；

(2) 所有产品必须严格区分模拟、数字地。模拟地在主控管脚位置，单独拉线到电池短接到电池地，走线线宽建议0.8mm 及以上，保证模拟地回路低阻抗；
(3) 主控和功放地需独立回流到电池地，避免共地回路引起噪声，布局时电池尽量放置于主控和功放中间



麦克风



陀螺仪

原理图	Schematic_AirPods_12		更新日期	2025-07-19
			创建日期	2024-11-19
图页	P1		物料编码	
绘制	@Project Name : MemX-Headphones-JL7016G			
审阅				
		版本	尺寸	页 1 共 1
嘉立创EDA		V1.0	A3	Company : MemX