

以下组成原理题目均来自网络，仅供同学们复习参考。

本科生期末试卷（一）

一、选择题（每小题 1 分，共 15 分）

- 1 从器件角度看，计算机经历了五代变化。但从系统结构看，至今绝大多数计算机仍属于（ B ）计算机。
A 并行 B 冯·诺依曼 C 智能 D 串行
- 2 某机字长 32 位，其中 1 位表示符号位。若用定点整数表示，则最小负整数为（ A ）。
A $-(2^{31}-1)$ B $-(2^{30}-1)$ C $-(2^{31}+1)$ D $-(2^{30}+1)$
- 3 以下有关运算器的描述，（ C ）是正确的。
A 只做加法运算
B 只做算术运算
C 算术运算与逻辑运算
D 只做逻辑运算
- 4 EEPROM 是指（ D ）。
A 读写存储器 B 只读存储器
C 闪速记忆体 D 电擦除可编程只读存储器
- 5 常用的虚拟存储系统由（ B ）两级存储器组成，其中辅存是大容量的磁表面存储器。
A cache-主存 B 主存-辅存 C cache-辅存 D 通用寄存器-cache
- 6 RISC 访内指令中，操作数的物理位置一般安排在（ C ）。
A 栈顶和次栈顶
B 两个主存单元
C 一个主存单元和一个通用寄存器
D 两个通用寄存器
- 7 当前的 CPU 由（ B ）组成。
A 控制器
B 控制器、运算器、cache
C 运算器、主存
D 控制器、ALU、主存
- 8 流水 CPU 是由一系列叫做“段”的处理部件组成。和具备 m 个并行部件的 CPU 相比，一个 m 段流水 CPU 的吞吐能力是（ D ）。A 具备同等水平 B 不具备同等水平 C 小于前者 D 大于前者
- 9 在集中式总线仲裁中，（ C ）方式回应时间最快。
A 独立请求 B 计数器定时查询 C 菊花链
- 10 CPU 中跟踪指令后继地址的寄存器是（ C ）。
A 地址寄存器 B 指令计数器 C 程序计数器 D 指令寄存器
- 11 从信息流的传输速度来看，（ A ）系统工作效率最低。
A 单总线 B 双总线 C 三总线 D 多总线
- 12 单级中断系统中，CPU 一旦响应中断，立即关闭（ C ）标志，以防止本次中断服务结束前同级的其他中断源产生另一次中断进行干扰。
A 中断允许 B 中断请求 C 中断屏蔽 D DMA 请求

三、简答题（每小题 8 分，共 16 分）

- 1 CPU 中有哪几类主要寄存器，用一句话回答其功能。
答：1. 数据缓冲寄存器（DR）2. 指令寄存器（IR）3. 程序计数器（PC）4. 地址寄存器（AR）5. 累加寄存器（AC）6. 状态条件寄存器（PSW）。功能：进行算术运算与逻辑运算
- 2 指令和数据都用二进制代码存放在存储器中，从时空观角度回答 CPU 如何区分读出的代码是指令还是数据。
答：在时间上，取址周期从存储器中取出的是指令，而执行周期从存储器取出或往存储器写入的是数据，在空间上，从存储器中取出指令送控制器，而执行周期从存储器从取的数据送运算器、往存储器写入的数据也是来自运算器

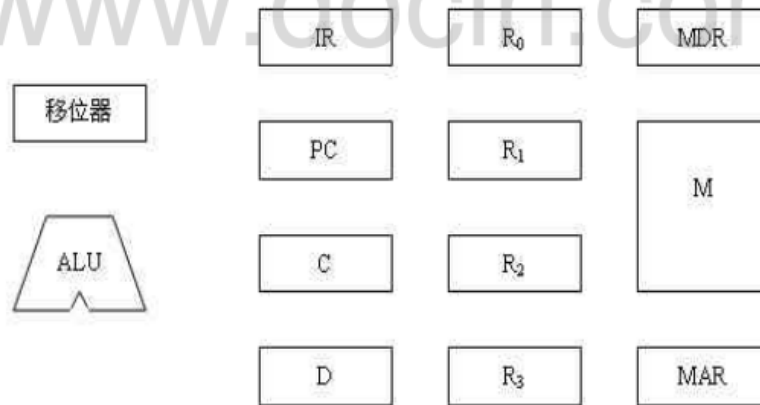
六、设计题 (15 分)

某计算机有下图所示的功能部件，其中 M 为主存，指令和数据均存放在其中，MDR 为主存数据寄存器，MAR 为主存地址寄存器， $R_0 \sim R_3$ 为通用寄存器，IR 为指令寄存器，PC 为程序计数器（具有自动加 1 功能），C、D 为暂存寄存器，ALU 为算术逻辑单元，移位器可左移、右移、直通传送。

(1) 将所有功能部件连接起来，组成完整的数据通路，并用单向或双向箭头表示信息传送方向。

(2) 画出“ADD $R_1, (R_2)$ ”指令周期流程图。该指令的含义是将 R_1 中的数与 (R_2) 指示的主存单元中的数相加，相加的结果直通传送到 R_1 中。

(3) 若另外增加一个指令存储器，修改数据通路，画出(2)的指令周期流程图。



本科生期末试卷 (二)

一、选择题 (每小题 1 分，共 15 分)

- 冯·诺依曼机工作的基本方式的特点是 (B)。
A 多指令流单数据流 B 按地址访问并顺序执行指令 C 堆栈操作 D 存储器按内容选择地址
- 在机器数 (B C) 中，零的表示形式是唯一的。
A 原码 B 补码 C 移码 D 反码
- 在定点二进制运算器中，减法运算一般通过 (D) 来实现。
A 原码运算的二进制减法器 B 补码运算的二进制减法器 C 原码运算的十进制加法器 D 补码运算的二进制加法器
- 某计算机字长 32 位，其存储容量为 256MB，若按单字编址，它的寻址范围是 (D)。
A 0—64MB B 0—32MB C 0—32M D 0—64M
- 主存缓冲器和 CPU 之间增加 cache 的目的是 (A)。
A 解决 CPU 和主存之间的速度匹配问题 B 扩大主存缓冲器容量
C 扩大 CPU 中通用寄存器的数量 D 既扩大主存缓冲器容量，又扩大 CPU 中通用寄存器的数量
- 单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数外，另一个常需采用 (C)。
A 堆栈寻址方式 B 立即寻址方式 C 隐含寻址方式 D 间接寻址方式
- 同步控制是 (C)。
A 只适用于 CPU 控制的方式 B 只适用于外围设备控制的方式
C 由统一时序信号控制的方式 D 所有指令执行时间都相同的方式
- 描述 PCI 总线中基本概念不正确的句子是 (C)。
A PCI 总线是一个与处理器无关的高速外围设备 B PCI 总线的基本传输机制是猝发式传送
C PCI 设备一定是主设备 D 系统中只允许有一条 PCI 总线
- 为了便于实现多级中断，保存现场信息最有效的办法是采用 (B)。
A 通用寄存器 B 堆栈 C 存储器 D 外存
- 特权指令是由 (C) 执行的机器指令。
A 中断程序 B 用户程序 C 操作系统核心程序 D I/O 程序
- 虚拟存储技术主要解决存储器的 (B) 问题。
A 速度 B 扩大存储容量 C 成本 D 前三者兼顾
- 引入多道程序的目的在于 (A)。
A 充分利用 CPU，减少等待 CPU 时间 B 提高实时响应速度
C 有利于代码共享，减少主辅存信息交换量 D 充分利用存储器

四、计算题 (10 分)

已知 $x = -0.01111$, $y = +0.11001$, 求:

- $[x]_{\text{补}}$, $[-x]_{\text{补}}$, $[y]_{\text{补}}$, $[-y]_{\text{补}}$;
- $x+y$, $x-y$, 判断加减运算是否溢出。

六、设计题（15分）

图2所示为双总线结构机器的数据通路，IR为指令寄存器，PC为程序计数器（具有自增功能），M为主存（受R/W#信号控制），AR为地址寄存器，DR为数据缓冲寄存器，ALU由加、减控制信号决定完成何种操作，控制信号G控制的是一个门电路。另外，在线标注有小圈表示有控制信号，例中 y_i 表示y寄存器的输入控制信号， R_{1o} 为寄存器 R_1 的输出控制信号，未标字符的线为直通线，不受控制。

① “ADD R2, R0”指令完成 $(R_0) + (R_2) \rightarrow R_0$ 的功能操作，画出其指令周期流程图，假设该指令的地址已放入PC中。并在流程图每一个CPU周期右边列出相应的微操作控制信号序列。

② 若将（取指周期）缩短为一个CPU周期，请先画出修改数据通路，然后画出指令周期流程图。

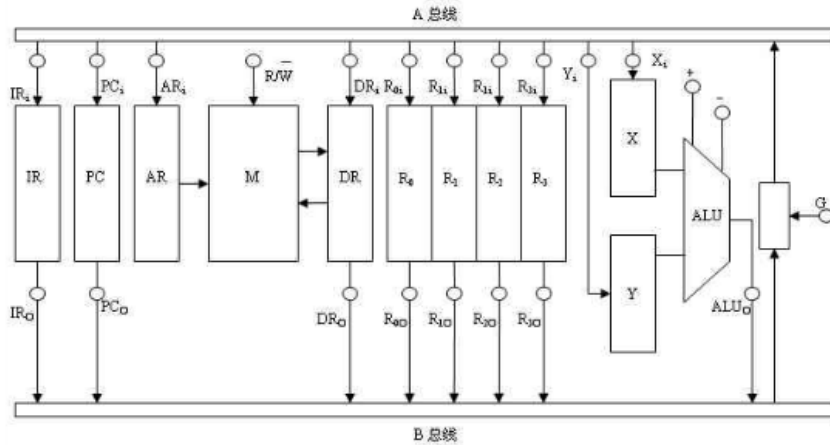
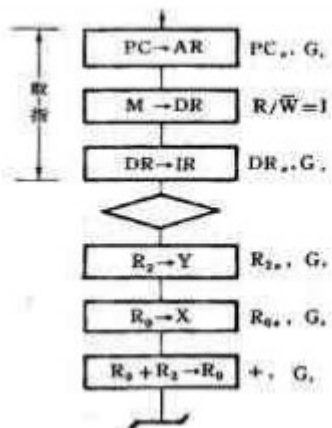


图2



本科生期末试卷（三）

一、选择题（每小题1分，共15分）

- 下列数中最小的数是（ A ）。
A $(101001)_2$ B $(52)_8$ C $(101001)_{10}$ D $(233)_{16}$
- 某DRAM芯片，其存储容量为 $512M \times 8$ 位，该芯片的地址线和数据线的数目是（ D ）。
A 8, 512 B 512, 8 C 18, 8 D 19, 8
- 在下面描述的汇编语言基本概念中，不正确的表述是（ C ）。
A 对程序员的训练要求来说，需要硬件知识 B 汇编语言对机器的依赖性高
C 用汇编语言编写程序的难度比高级语言 D 汇编语言编写的程序执行速度比高级语言慢
- 交叉存储器实质上是一种多模块存储器，它用（ A ）方式执行多个独立的读写操作。
A 流水 B 资源重复 C 顺序 D 资源共享

- 5 寄存器间接寻址方式中,操作数在(B)。
A 通用寄存器 B 主存单元 C 程序计数器 D 堆栈
- 6 机器指令与微指令之间的关系是(A)。
A 用若干条微指令实现一条机器指令 B 用若干条机器指令实现一条微指令
C 用一条微指令实现一条机器指令 D 用一条机器指令实现一条微指令
- 7 描述多媒体 CPU 基本概念中,不正确的是(C)。
A 多媒体 CPU 是带有 MMX 技术的处理器 B MMX 是一种多媒体扩展结构
C MMX 指令集是一种多指令流多数据流的并行处理指令 D 多媒体 CPU 是以超标量结构为基础的 CISC 机器
- 8 在集中式总线仲裁中,(A)方式对电路故障最敏感。
A 菊花链 B 独立请求 C 计数器定时查询
- 9 流水线中造成控制相关的原因是执行(A)指令而引起。
A 条件转移 B 访内 C 算逻 D 无条件转移
- 10 PCI 总线是一个高带宽且与处理器无关的标准总线。下面描述中不正确的是(D)。
A 采用同步定时协议 B 采用分布式仲裁策略 C 具有自动配置能力 D 适合于低成本的小系统
- 11 下面陈述中,不属于外围设备三个基本组成部分的是(D)。
A 存储介质 B 驱动装置 C 控制电路 D 计数器
- 12 中断处理过程中,(A)项是由硬件完成。
A 关中断 B 开中断 C 保存 CPU 现场 D 恢复 CPU 现场
- 13 IEEE1394 是一种高速串行 I/O 标准界面。以下选项中,(D)项不属于 IEEE1394 的协议集。
A 业务层 B 链路层 C 物理层 D 串行总线管理

三、简答题(每小题 8 分,共 16 分)

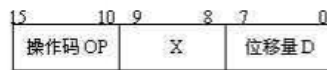
1 列表比较 CISC 处理机和 RISC 处理机的特点。

四、计算题(12 分)

有两个浮点数 $N_1=2^{11} \times S_1$, $N_2=2^{12} \times S_2$, 其中阶码用 4 位移码、尾数用 8 位原码表示(含 1 位符号位)。设 $j_1=(11)_2$, $S_1=(+0.0110011)_2$, $j_2=(-10)_2$, $S_2=(+0.1101101)_2$, 求 N_1+N_2 , 写出运算步骤及结果。

六、分析题(10 分)

某机的指令格式如下所示



X 为寻址特征位: X=00: 直接寻址; X=01: 用变址寄存器 R_{x1} 寻址; X=10: 用变址寄存器 R_{x2} 寻址; X=11: 相对寻址

设 $(PC)=1234H$, $(RX1)=0037H$, $(RX2)=1122H$ (H 代表十六进制数), 请确定下列指令中的有效地址:

①4420H ②2244H ③1322H ④3521H

答: ①有效地址: 0020H ②有效地址: 1166H ③有效地址: 1256H ④有效地址: 0058H

本科生期末试卷(四)

一、选择题(每小题 1 分,共 15 分)

- 1 运算器的核心功能部件是(B)。
A 数据总线 B ALU C 状态条件寄存器 D 通用寄存器
- 2 某单片机字长 32 位,其存储容量为 4MB。若按字编址,它的寻址范围是(A)。
A 1M B 4MB C 4M D 1MB
- 3 某 SRAM 芯片,其容量为 $1M \times 8$ 位,除电源和接地端外,控制端有 E 和 $R/\overline{W\#}$,该芯片的引脚引出线数目是(B)。
A 20 B 28 C 30 D 32
- 4 双端口存储器所以能进行高速读/写操作,是因为采用(D)。
A 高速芯片 B 新型器件 C 流水技术 D 两套相互独立的读写电路
- 5 单地址指令中为了完成两个数的算术运算,除地址码指明的一个操作数以外,另一个数常需采用(C)。
A 堆栈寻址方式 B 立即寻址方式 C 隐含寻址方式 D 间接寻址方式
- 6 为确定下一条微指令的地址,通常采用断定方式,其基本思想是(C)。
A 用程序计数器 PC 来产生后继微指令地址
B 用微程序计数器 μPC 来产生后继微指令地址

- C 通过微指令顺序控制字段由设计者指定或由设计者指定的判别字段控制产生后继微指令地址
D 通过指令中指定一个专门字段来控制产生后继微指令地址
- 7 微程控器中，机器指令与微指令的关系是（ B ）。
- A 每一条机器指令由一条微指令来执行 B 每一条机器指令由一段用微指令编成的微程序来解释执行
C 一段机器指令组成的程序可由一条微指令来执行 D 一条微指令由若干条机器指令组成
- 8 CPU 中跟踪指令后继地址的寄存器是（ B ）。
- A 地址寄存器 B 程序计数器 C 指令寄存器 D 通用寄存器
- 9 某寄存器中的数值为指令码，只有 CPU 的（ A ）才能识别它。
- A 指令译码器 B 判断程序 C 微指令 D 时序信号
- 10 为实现多级中断，保存现场信息最有效的方法是采用（ B ）。
- A 通用寄存器 B 堆栈 C 主存 D 外存
- 11 采用 DMA 方式传送数据时，每传送一个数据，就要占用一个（ C ）的时间。
- A 指令周期 B 机器周期 C 存储周期 D 总线周期
- 12 将 IEEE1394 串行标准界面与 SCSI 并行标准界面进行比较，指出下面陈述中不正确的项是（ D ）。
- A 前者数据传输率高 B 前者数据传送的实时性好 C 前者使用 6 芯电缆，体积小 D 前者不具有热插拔能力
- 13 下面陈述中，不属于虚存机制要解决的问题项是（ D ）。
- A 调度问题 B 地址映射问题 C 替换与更新问题 D 扩大物理主存的存储容量和字长

1 计算机系统的层次结构从下至上可分为五级，即微程序设计级（或逻辑电路级）、一般机器级、操作系统级、（汇编语言）级、（高级语言）级。

五、计算题（10 分）

设存储器容量为 64M 字，字长为 64 位，模块数 $m=8$ ，分别用顺序和交叉方式进行组织。存储周期 $T=100\text{ns}$ ，数据总线宽度为 64 位，总线传送周期 $\tau=50\text{ns}$ 。

求：顺序存储器和交叉存储器的带宽各是多少？

解：顺序存储器和交叉存储器连续读出 $m=8$ 个字的信息总量都是

$$Q=64\text{b}\times 8=512\text{b}$$

顺序存储器和交叉存储器连续读出 4 个字所需的时间分别是：

$$t_2=mT=8\times 100\text{ns}=8\times 10^{-7}\text{s}$$

$$t_1=T+(m-1)\tau=100\text{ns}+7\times 50\text{ns}=4.5\times 10^{-7}\text{s}$$

顺序存储器和交叉存储器的带宽分别是：

$$W_2=Q/t_2=512\text{b}/(8\times 10^{-7})\text{s}=640\text{Mb/s}$$

$$W_1=Q/t_1=512\text{b}/(4.5\times 10^{-7})\text{s}=1137.8\text{Mb/s}$$

六、分析题（12 分）

一种二进制 RS 型 32 位的指令结构如下：

6 位	3 位	6 位	17 位
OP	X	通用寄存器	位移量 D

其中 OP 为操作码字段，X 为寻址模式字段，D 为偏移量字段，其寻址模式定义为有效地址 E 算法及说明列表如下：

寻址方式			
寻址方式	X	有效地址 E 算法	说明
(1)	000	$E=D$	PC 为程序计数器 R_2 为变址寄存器 R_1 为基址寄存器
(2)	001	$E=(PC)+D$	
(3)	010	$E=(R_2)+D$	
(4)	011	$E=(R_1)+D$	
(5)	100	$E=(D)$	
(6)	111	$E=(R_3)$	

请写出 6 种寻址方式的名称。

解：1. 直接寻址方式

2. 相对寻址方式

3. 变址寻址方式

4. 基址寻址方式

5. 间接寻址方式

6. 寄存器间接寻址方式

本科生期末试卷（五）

一、选择题（每小题 1 分，共 15 分）

- 1 某机字长 64 位，1 位符号位，63 位表示尾数，若用定点整数表示，则最大正整数位（ A ）。
A $+(2^{63}-1)$ B $+(2^{64}-1)$ C $-(2^{63}-1)$ D $-(2^{64}-1)$
- 2 请从下面浮点运算器中的描述中选出两个描述正确的句子（ AC ）。
A 浮点运算器可用两个松散连接的定点运算部件—阶码和尾数部件来实现 B 阶码部件可实现加，减，乘，除四种运算。
C 阶码部件只进行阶码相加，相减和比较操作。 D 尾数部件只进行乘法和除法运算。
- 3 存储单元是指（ B ）。
A 存放 1 个二进制信息位的存储元 B 存放 1 个机器字的所有存储元集合
C 存放 1 个位元组的所有存储元集合 D 存放 2 个位元组的所有存储元集合
- 4 某机字长 32 位，存储容量 1MB，若按字编址，它的寻址范围是（ D ）。
A 0—1M B 0—512KB C 0—56K D 0—256KB
- 5 用于对某个寄存器中操作数的寻址方式为（ C ）。
A 直接 B 间接 C 寄存器直接 D 寄存器间接
- 6 程控类的指令功能是（ D ）。
A 进行算术运算和逻辑运算 B 进行主存与 CPU 之间的数据传送
C 进行 CPU 和 I/O 设备之间的数据传送 D 改变程序执行的顺序
- 7 指令周期是指（ C ）。
A CPU 从主存取出一条指令的时间 B CPU 执行一条指令的时间
C CPU 从主存取出一条指令加上执行一条指令的时间 D 时钟周期时间
- 13 直接映射 cache 的主要优点是实现简单。这种方式的主要缺点是（ B ）。
A 它比其他 cache 映射方式价格更贵 B 如果使用中的 2 个或多个块映射到 cache 同一行，命中率则下降
C 它的存取时间大于其他 cache 映射方式 D cache 中的块数随着主存容量增大而线性增加
- 14 虚拟存储器中段页式存储管理方案的特性为（ C ）。
A 空间浪费大，存储共享不易，存储保护容易，不能动态连接
B 空间浪费小，存储共享容易，存储保护不易，不能动态连接
C 空间浪费大，存储共享不易，存储保护容易，能动态连接
D 空间浪费小，存储共享容易，存储保护容易，能动态连接

4. 间接寻址方式中，地址寄存器中的内容是有效地址。

四、计算题（10 分）

CPU 执行一段程序时，cache 完成存取的次数为 2420 次，主存完成的次数为 80 次，已知 cache 存储周期为 40ns，主存存储周期为 200ns，求 cache/主存系统的效率和平均访问时间。

$$h = 2420/2500 = 0.968$$

$$t_a = h \cdot t_c + (1-h) \cdot t_m = 45.12 \text{ ns}$$

$$e = t_c/t_a = 88.65\%$$

七、设计题（15 分）

CPU 的数据通路如图 1 所示。运算器中 $R_0 \sim R_3$ 为通用寄存器，DR 为数据缓冲寄存器，PSW 为状态字寄存器，D-cache 为数据存储器，I-cache 为指令存储器，PC 为程序计数器（具有加 1 功能），IR 为指令寄存器。单线箭头信号均为微操作控制信号（电位或脉冲），如 LR_0 表示读出 R_0 寄存器， SR_0 表示写入 R_0 寄存器。

机器指令“STO $R_1, (R_2)$ ”实现的功能是：将寄存器 R_1 中的数据写入到以 (R_2) 为地址的数存单元中。请画出该存数指令周期流程图，并在 CPU 周期框外写出所需的微操作控制信号。（一个 CPU 周期含 $T_1 \sim T_4$ 四个时钟信号，寄存器打入信号必须注明时钟序号）

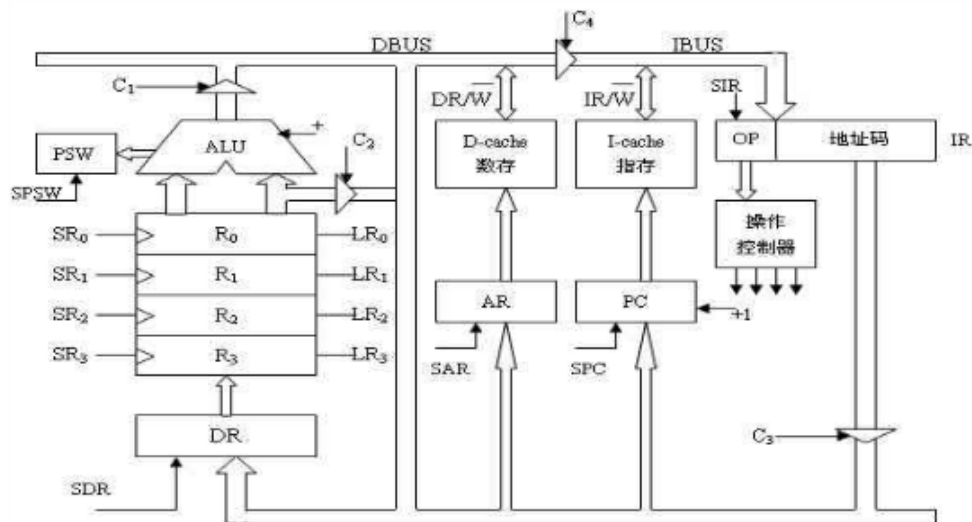
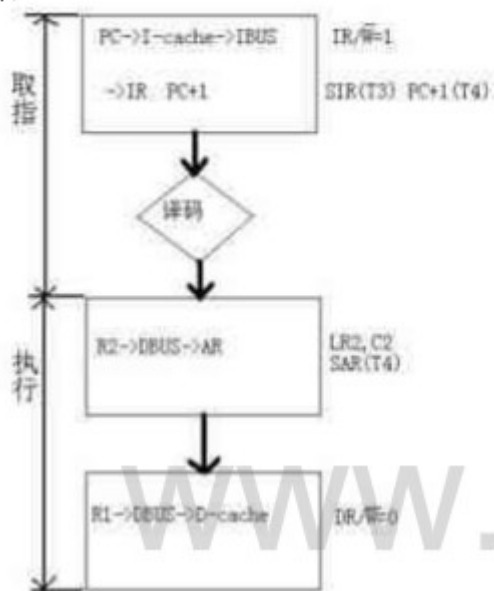


图1 CPU的数据通路

解:



行。

三、简答题（每小题8分，共16分）

1 存储系统中加入 cache 存储器的目的是什么？有哪些地址映射方式，各有什么特点？

目的：解决 CPU 和主存之间速度不匹配的问题。地址映射方式有全相联方式、直接方式和组相连方式。①全相联方式：任一主存块能映射到 Cache 中任意行（主存块的容量等于 Cache 行的容量）——优点：灵活，不易产生冲突；缺点：比较电

② cache 工作不匹配的容量是多少？00/00、01/00、01/01

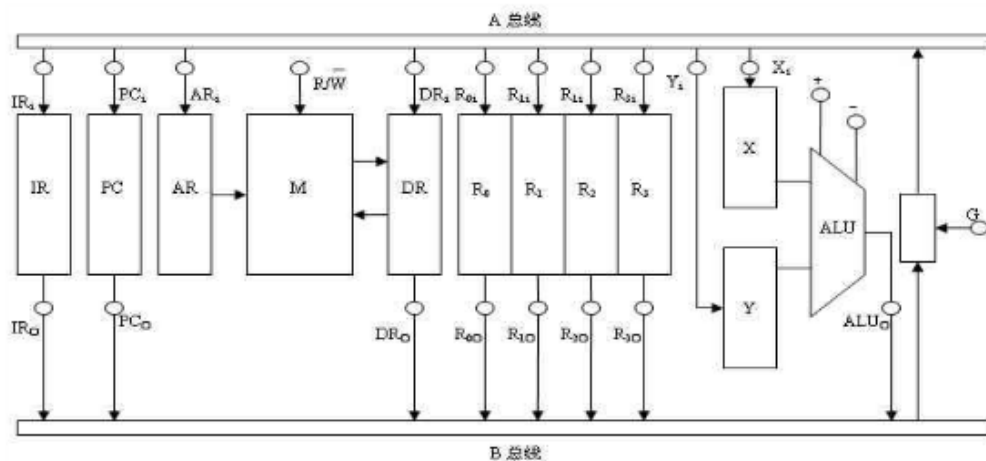
七、设计题（15分）

图1所示为双总线结构的机器，IR为指令寄存器，PC为程序计数器（具有加1功能），M为主存（受R/W#读写信号控制），AR为主存地址寄存器，DR为数据缓冲寄存器，ALU内+控制信号决定完成何种操作信号，控制信号G控制的一个门电路。所有箭头在线的小圈表示控制信号的输入/输出点。例如R_{1i}表示寄存器R₁的输入，R_{1o}表示寄存器R₁的输出。未标信号的线表示直通，不受控制。

① “ADD R2, R0”指令完成(R₀) + (R₂) → R₀的功能操作。画出其指令周期流程图。

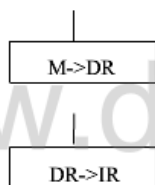
② 若将主存M分成数存和指存两个存储器，通用寄存器R₀~R₃的输出直接连到x或y暂存器。请修改数据通路，画出“ADD R2, R0”指令的指令周期流程图。

③ 执行同一个ADD指令，第②种情况下机器速度提高多少倍？



① “ADD R2, R0” 指令完成 $(R_0) + (R_2) \rightarrow R_0$ 的功能操作。画出其指令周期流程图。

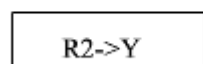
PC \rightarrow AR



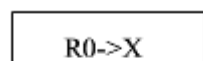
PC₀, G, AR_i

R

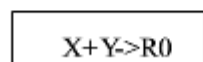
DR₀, G, IR_i



R2₀, G, Y_i

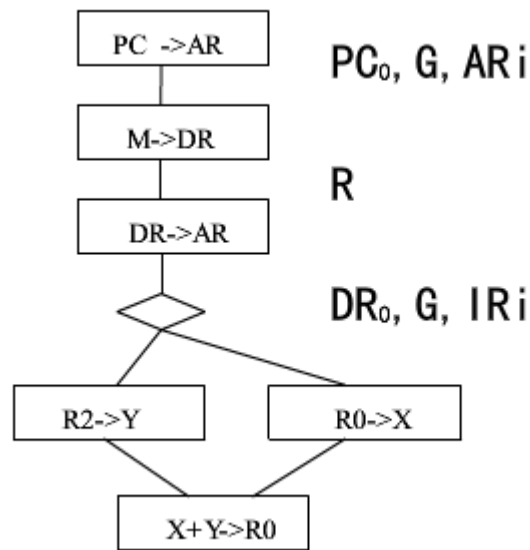


R1₀, G, X_i



+, G, R0_i

② 若将主存 M 分成数存和指存两个存储器，通用寄存器 $R_0 \sim R_3$ 的输出直接连到 x 或 y 暂存器。请修改数据通路，画出“ADD R2, R0”指令的指令周期流程图。



- ③ 执行同一个 ADD 指令，第②种情况下机器速度提高多少倍？
 $(6-5)/6=1/6$

五、计算题（10 分）

已知 cache 存储周期 40ns，主存存储周期 200ns，cache/主存系统平均访问时间为 50ns，求 cache 的命中率是多少？

$$h \cdot t_c + (1-h) \cdot t_m = t_a$$

$$h = \frac{t_a - t_m}{t_c - t_m} = \frac{50 - 200}{40 - 200} = 93.75\%$$

2 比较 cache 与虚存的相同点和不同点。

相同点：

(1) 出发点相同，都是为了提高存储系统的性能价格比而构造的封层存储体系

(2) 原理相同：都是利用了程序运行时的局部性原理把最近常用的信息块从相对慢速而大容量的存储器调入相对高速而小容量的存储器。

不同点：

(1) 侧重点不同 cache 主要解决主存和 CPU 的速度差异问题，虚存主要是解决存储容量问题。

(2) 数据通路不同：CPU 与 cache、主存间有直接通路；而虚存需经磁盘，它与 CPU 间无直接通路。

(3) 透明性不同 cache 对系统程序员和应用程序员都透明；而虚存只对应用程序员透明。

(4) 未命中时的损失不同：主存未命中时系统的性能损失要远大于 cache 未命中时的损失。