

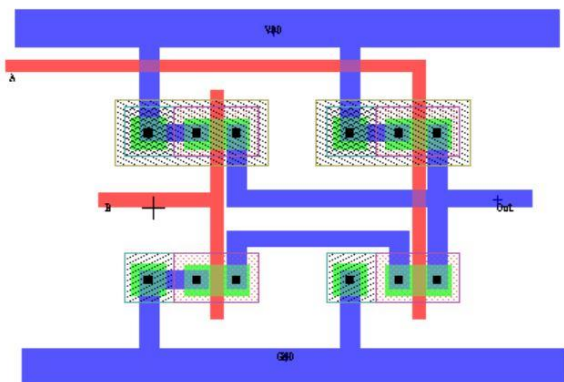


تمرین کامپیوتری اول درس AVLSI

محمد هاشمی 810197423

چکیده - در این گزارش در ابتدا سعی بر انجام طراحی یک مدار در سطح ترانزیستور توسط برنامه LEDIT و سپس ایجاد ورودی و بایاس توسط برنامه HSpice و بررسی نتیجه می‌باشد. در ادامه سعی بر این است که توسط برنامه SEDIT یک واحد جمع کننده یک بیتی طراحی و از آن اینستنس گرفته و در نهایت یک جمع کننده چهاربیتی را طراحی کنیم.
کلید واژه - HSpice, LEDIT, SEDIT

این طراحی نیاز است که فایلی با پسوند .sp. استخراج شود. شکل Layout مورد نظر در شکل 1.2 آمده است.

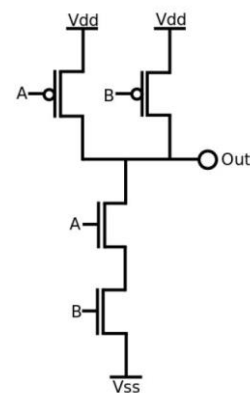


شکل 1.2 : NAND Layout

فایل‌های مربوط به این بخش در پوشه LEDIT/NAND موجود است.

1- پیاده‌سازی منطق NAND در برنامه LEDIT

منطق NAND از چهار ترانزیستور (دو P_Mos و یک N_Mos) تشکیل شده است که شماتیک آن در شکل 1.1 آمده است.



شکل 1.1 : شماتیک Gate_Level منطق NAND

مدار را در تکنولوژی 5 میکرون طراحی می‌کنیم و در نهایت یک فایل .sdb به ما تحویل داده می‌شود. برای اتصال منبع به

2- اعمال ورودی‌ها به مدار NAND توسط HSpice

پس از طراحی مدار برنامه LEDIT، توسط برنامه HSpice یک منبع بایاس به همراه دو منبع متناوب به مدار اعمال می‌کنیم. خازن‌های گزارش شده در فایل sp. به صورت شکل 2.1 می‌باشند.

```
Cpar1 VDD 0 C=574.7025f
* Warning: Node B has zero nodal parasitic capacitance.
Cpar2 GND 0 C=445.369f
Cpar3 4 0 C=212.472f
Cpar4 Out 0 C=494.021f
* Warning: Node A has zero nodal parasitic capacitance.

M1 VDD B Out VDD PMOS L=8u W=11.5u AD=155.25p PD=50u AS=178.25p PS=54u
* M1 DRAIN GATE SOURCE BULK (173.5 18.5 181.5 30)
M2 Out A VDD VDD PMOS L=8u W=11.5u AD=178.25p PD=54u AS=155.25p PS=50u
* M2 DRAIN GATE SOURCE BULK (49 18.5 57 30)
M3 4 B Out GND NMOS L=8u W=11.5u AD=172.5p PD=53u AS=161p PS=51u
* M3 DRAIN GATE SOURCE BULK (173.5 -53 181.5 -41.5)
M4 4 A GND GND NMOS L=8u W=11.5u AD=172.5p PD=53u AS=161p PS=51u
* M4 DRAIN GATE SOURCE BULK (49 -52.5 57 -41)

* Total Nodes: 6
* Total Elements: 8
```

شکل 2.1: خازن‌های گزارش شده در مدار

سپس ولتاژهای A, B, VDD را به صورت زیر به مدار اعمال

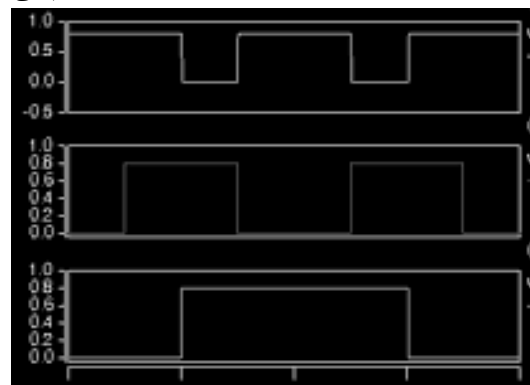
می‌کنیم:

```
vina 2 GND pulse(0v 5v 0ns 5ns 5ns 48ns 120ns)
vinb 6 GND pulse(0v 5v 0ns 5ns 5ns 48ns 120ns)
vdd VDD GND 5v
```

******* job concluded**

پس از اعمال ورودی‌ها شکل موج مدار ما به صورت شکل

2.2 خواهد بود که دقیقاً عمل NAND را برای ما انجام می‌دهد.



شکل 2.2: خروجی مدار در Cosmosscope

3- پیاده‌سازی مدار جمع‌کننده چهار بیتی در برنامه

SEDIT

در ابتدای این بخش یک مدار جمع‌کننده یک بیتی با برنامه

SEDIT طراحی می‌کنیم. شماتیک مدار طراحی شده در شکل

3.1 آمده است. پس از آن به سراغ بخش سیمبولیک رفته و

ورودی‌ها را به مدار اضافه می‌کنیم. بخش سیمبولیک در شکل

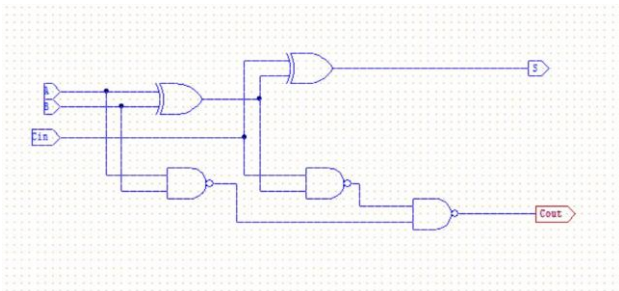
3.2 آمده است. سپس این ماژول را به عنوان یک لایبری به

ماژول اصلی یعنی مدار جمع‌کننده چهار بیت اضافه می‌کنیم و

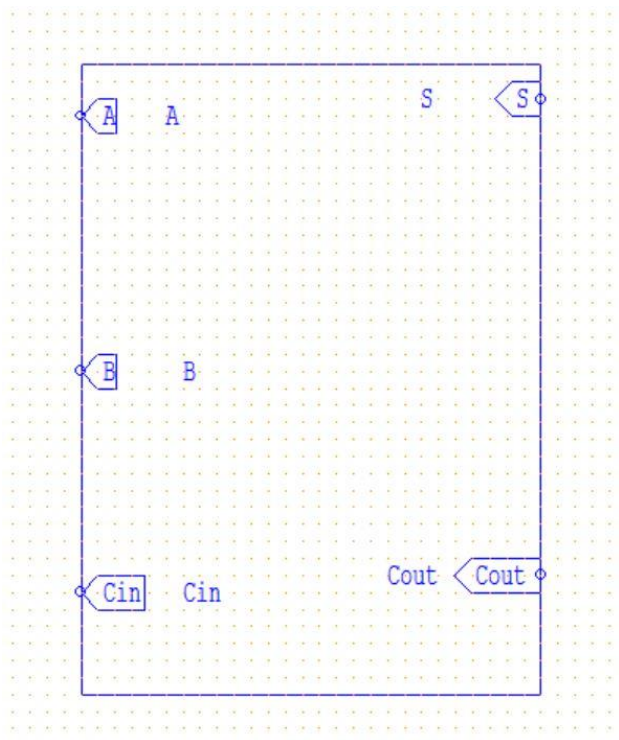
خروجی‌های Carry هر مرحله را به ورودی Carry مرحله بعد

وصل می‌کنیم. سیمبولیک مدار چهاربیت در شکل 3.3 آمده

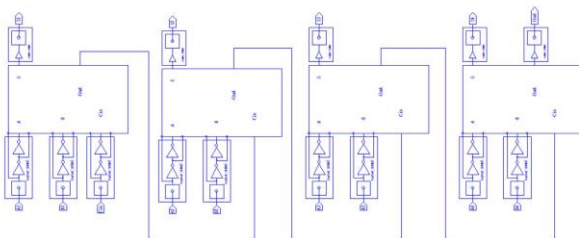
است. سپس نتلیست مدار را استخراج کرده و با تکنولوژی 5 میکرون به برنامه LEDIT می‌دهیم و در نهایت شکل 3.4، لیوت مدار طراحی شده توسط ما می‌باشد.



شکل 3.1: شماتیک مدار جمع‌کننده تک‌بیتی



شکل 3.2: بخش سیمبولیک یک جمع‌کننده تک‌بیتی



شکل 3.3: سیمبولیک یک جمع‌کننده چهاربیتی

