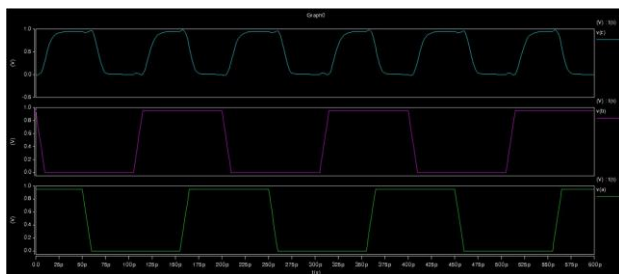




تمرین کامپیوتری دوم درس AVLSI

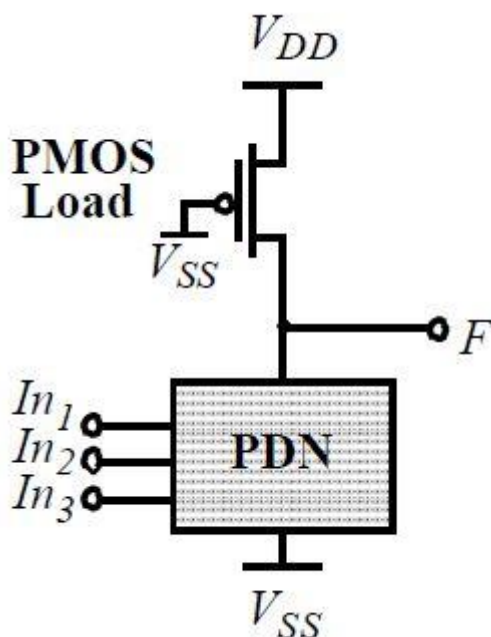
محمد هاشمی 8101974423
md.hashemi@ut.ac.ir

چکیده - در این تمرین سعی بر این است که خانواده‌های مختلف منطق‌ها از جمله *TrasiantGates*, *PNMOSS*, *DynamicNMOSS*, قرار می‌گیرد. هدف اصلی این تمرین بررسی منطق *XOR* با استفاده از پیاده‌سازی این خانواده‌ها می‌باشد. در این تمرین تفاوت بین سایز و توان مصرفی و تاخیر این خانواده‌ها مورد بررسی قرار می‌گیرد. پیاده‌سازی این توابع در نرم‌افزار *HSPICE* انجام می‌شود.
TrasiantGates, *XOR*, *HSpice*, *PNMOSS*, *DynamicNMOSS*



شکل 1.2: خروجی شبیه‌سازی Hspice

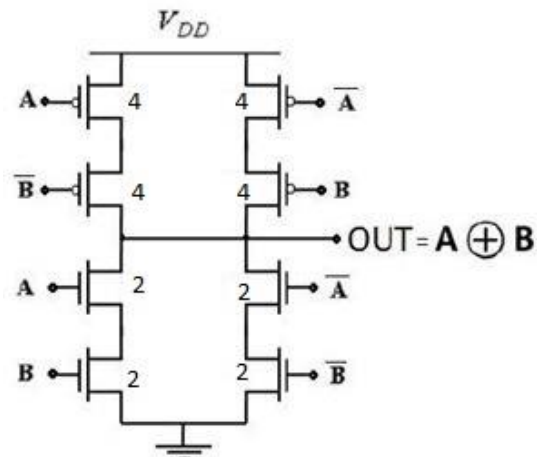
حال به طراحی سیستم در خانواده *Pnmoss* می‌پردازیم. طرح کلی این خانواده در شکل 1.3 آمده است. مشکلی که این خانواده نسبت به حالت استاندارد دارند این است که خروجی صفر و یک با مقدار اصلی تفاوت دارد. سایزینگ مدارها متناسب با جریان‌دهی اینورتر مرجع انجام شده است.



1- طراحی مدارات خانواده‌ها

در این قسمت از تمرین توسط نرم‌افزار Visio منطق *XOR* را در حالت‌های *PNMOSS*, *DynamicMOSS*, *TGMOSS* بررسی میزان توان مصرفی و بیشترین و کمترین تاخیر در قسمت 2 و 3 آمده است.

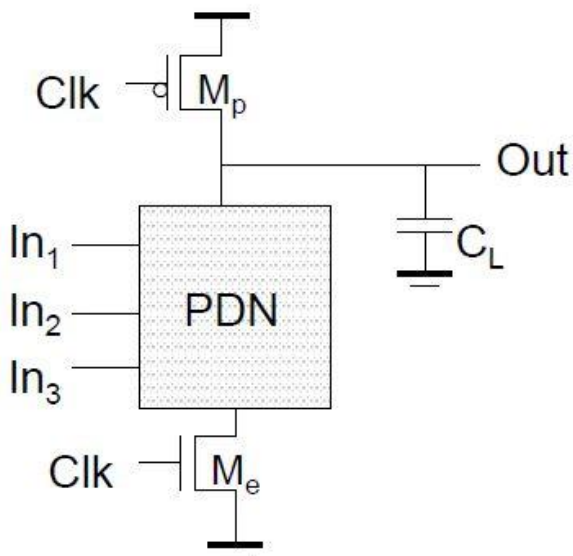
ابتدا مدار را در حالت استاندارد پیاده می‌کنیم. با توجه به رعایت جریان رسانی براساس اینورتر مرجع سایزینگ مدار به صورت شکل 1.1 می‌شود.



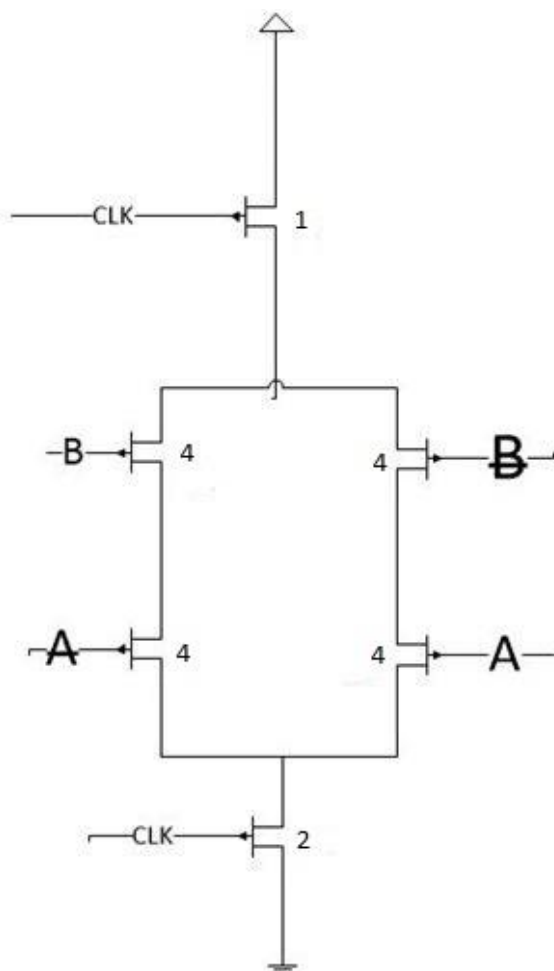
شکل 1.1: سایزینگ مدار Xor در حالت استاندارد

پس از پیاده‌سازی مدار در Hspice به خروجی شکل 1.2

می‌رسیم.

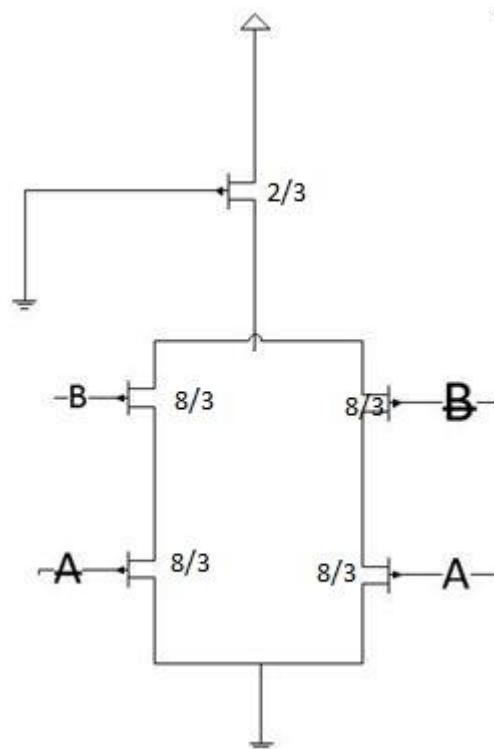


شکل 1.6: شماتیک کلی خانواده DynamicMoss
سایزینگ مدار در خانواده Dynamic در شکل 1.7 آمده است.

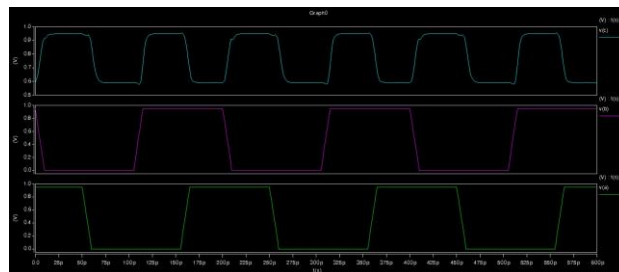


شکل 1.7: سایزینگ مدار Dynamic

شکل 1.3: شماتیک کلی خانواده PNmoss
حال به سراغ پیاده سازی منطق Xor می‌رویم. شکل 1.4
پیاده‌سازی منطق XOR به همراه سایزینگ این منطق است.



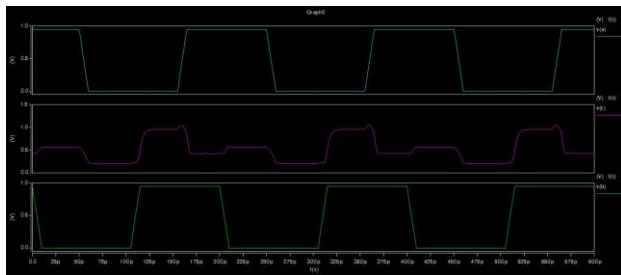
شکل 1.4: طراحی XOR در خانواده PNmoss
پس از شبیه‌سازی این خانواده در Hspice نتیجه شکل 1.5
می‌شود.



شکل 1.5: خروجی شبیه‌سازی منطق Xor در خانواده

PNmoss

حال به سراغ طراحی در خانواده DynamicMOSS می‌رویم.
در این خانواده ورودی جدیدی به نام Clock به مدار اعمال می‌شود. کارایی این خانواده به این صورت است که در صورتی که یک باشد خروجی Xor ورودی‌های دیگر است و در صورت صفر بودن مدار Not ورودی Clock است. شکل کلی این خانواده در شکل 1.6 آمده است. برای سایز کردن مدار مشاهده میکنیم قسمت‌های پایین سایز با نصف حالت اینورتر دارند.



شکل 1.11: خروجی مدار TG

تمامی کدهای این بخش در پوشه Codes موجود است. پس از بررسی ساینینگ مدارها حال به سراغ میزان تاخیر هر خانواده به ازای ورودی‌ها می‌رویم.

2- تاخیر خروجی نسبت به حالت‌های مختلف ورودی‌ها در هر خانواده و مقایسه آن‌ها

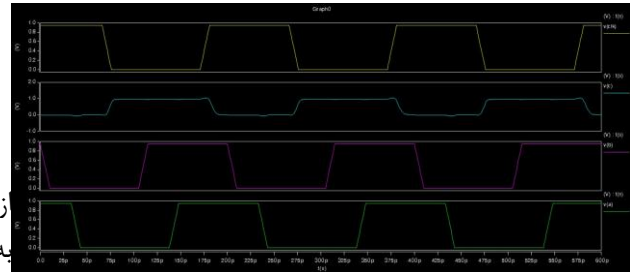
در ابتدا به صورت دستی تاخیر هر کدام از این حالت‌ها را حساب می‌کنیم. سپس با توجه به شکل موج خروجی‌ها تاخیر-های پس از شبیه‌سازی را بدست آورده و مقایسه می‌کنیم. نتایج بدست آمده از روش دستی به صورت نورمال شده با 3RC در جدول 2.1 آمده است.

	00	10	01	11
Standard	17	16	16	17
PNmoss	6	5	9	6
Dynamic Moss	4	3.5	21	none
TG	3	6	6	3

جدول 2.1: نتایج تاخیرهای خانواده‌ها به صورت دستی با توجه به نتایج در مورد مدار Dynamic حداکثر فرکانس کاری برابر با $1/tpd$ است که مقدار عددی تقریباً 3.32GHz را دارد.

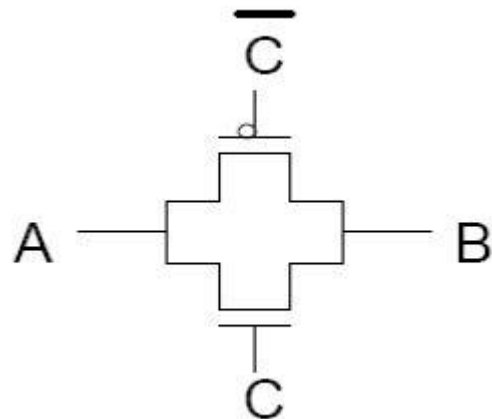
حال به سراغ شبیه‌سازی و استفاده از دستور meas می‌رویم. نتایج tpd در جدول 2.2 برای ورودی a و جدول ۲،۳ برای ورودی b آمده است. (توجه: تمامی اعداد ترمی برابر با e-11 دارند)

پس از شبیه‌سازی در برنامه Hspice مشاهده می‌کنیم که clock در خروجی نقش اصلی را بازی میکند به طوری که خروجی در حالتی که Clock صفر است برابر Clock Not و در حالت یک بودن برابر Xor دو ورودی دیگر است.

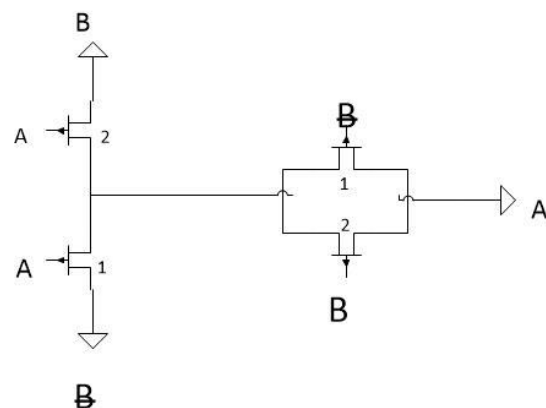


شکل 1.8: خروجی شبیه‌سازی مدار در خانواده Dynamic

در نهایت به سراغ خانواده Transiant Gate می‌رویم. شمای کلی این خانواده در شکل 1.9 آمده است و به ترتیب ساینینگ و خروجی در شکل 1.10 و 1.11 موجود است.



شکل 1.9: شمای کلی خانواده TG



شکل 1.10: ساینینگ خانواده TG

$$P_{avg} = \frac{E}{T} = \frac{1}{T} \int_0^T P(t) dt$$

رابطه 3.1: نحوه محاسبه توان مصرفی متوسط

توان مصرفی متوسط	خانواده منطقی
8.7 uJ	PNmos
23.53 nJ	Dynamic Moss
129.45 nJ	Standard
15.86 uJ	TG Moss

جدول 3.1: توان مصرفی متوسط در هر خانواده

4- تایین بهترین خانواده جهت حداقل مساحت و توان و حداکثر سرعت

با توجه به نتایج شبیه‌سازی‌ها، و سایزینگ مدارها ابتدا به سراغ مساحت می‌رویم. مجموع مساحت ترانزیستورها در جدول 4.1 آمده است. این مساحت‌ها با در نظر گرفتن مساحت یک اینورتر به ازای هر ورودی است. اعداد با توجه به استاندارد 32 نانومتر نورمالایز شده‌اند.

مساحت	خانواده
36	Standard
15	PNMoss
19	Dynamic Moss
12	TG Moss

جدول 4.1: مساحت مجموع در هر خانواده

با توجه به جدول 4.1 بهترین خانواده از نظر مساحت (حداقل مساحت) با در نظر گرفتن تولید ورودی‌ها توسط یک اینورتر، خانواده Transient Gate Logic (TG MOS) است.

با توجه به جدول 3.1 می‌توان نتیجه گرفت که بهترین خانواده از نظر مصرف توان (با توجه به اینکه شبیه‌سازی‌ها با در نظر گرفتن اینورترها انجام شده است)، خانواده (Dynamic_Moss) می‌باشد.

در نهایت با توجه به جداول 2.1 و 2.2 بهترین خانواده‌ها از نظر سرعت کاری (فرکانس کاری) بر اساس tpd، خانواده PNmos است.

	tpLHa	tpHLA	tpda	tRise	tFall
Standard	4.21	9.07	6.64	5.27	5.62
PNmos	3.39	9.84	6.62	2.47	4.46
Dynamic Moss	18.1	40.7	26.3	98	19
TG	4.79	10.7	7.75	6.20	none

جدول 2.2: نتایج tpd بدست آمده از شبیه‌سازی برای ورودی a

	tpLHb	tpHLb	tpdb
Standard	7.88	4.07	5.52
PNmos	1.69	4.84	3.2
Dynamic Moss	18.7	60.8	31.3
TG	2.09	5.72	3.9

جدول 2.3: نتایج tpd بدست آمده از شبیه‌سازی برای ورودی b در پایین نسبت کمترین و بیشترین تاخیر هر خانواده را نسبت به تغییرات ورودی براساس داده‌های موجود در جدول 2.3 و 2.3 مشاهده می‌کنیم.

Family	V(a)	V(b)
Standard_Moss		
Dynamic_Moss		
Psuedo_NMoss		
TG_Moss		

3- توان مصرفی در خانواده‌های مختلف

در نهایت به بررسی توان مصرفی هر یک از خانواده‌ها می‌پردازیم. در این جا به صورت تقریبی می‌توان گفت توان مصرفی برابر با میانگین جریان کشیده شده از منبع صرب در اختلاف پتانسیل (که در فناوری 32 نانومتر برابر 1 ولت است) می‌باشد. برای بدست آوردن این پارامتر از دستور AVG در hspice استفاده می‌کنیم. مقدار توان متوسط مصرفی هر خانواده در جدول 3.1 آمده است. با توجه به فرمول محاسبه توان 3.1 نتایج توان مصرفی متوسط در جدول 3.1 بدست آمده است.

مراجع

- [1] AUXLecture-DEC Course-Logic Family AVLSI Extra Lecture
- [2] www.coursehero.com
- [3] helpme.scudc.scu.edu