 ****

**数字电子技术课程设计**

**指导书**

**浙江理工大学信息学院**

**二〇二三年十月**

**1 产品简介**

在各类竞赛中经常会用到抢答器装置，比赛过程中，当主持人宣布完题目并下达“抢答”指令后，选手开始抢答。由于肉眼很难分辨出抢答顺序，因此抢答及计时的设计是必要的。采用触发器构成的抢答器，是数字电路知识的典型应用。触发器是数字电路中的基本逻辑记忆单元，在电路中它具有记忆信号的功能，计数器是时序逻辑单元的应用，可以实现对时钟的计数，译码显示有助于将8421BCD代码转换为直观的十进制显示。通过产品的制作，可以掌握常用数字集成电路（与非门、或门、555定时器、D触发器、计数器及译码器）。

**2 抢答器工作原理**

**2.1 抢答器原理框图**

整机电路由555脉冲产生电路、D锁存触发器电路、计数器电路、译码驱动显示电路组成，如图1所示。

显示

抢答模块

CP脉冲

报警

计数显示模块

图1 抢答器原理框图

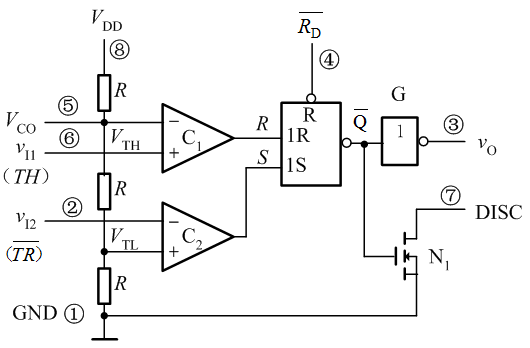
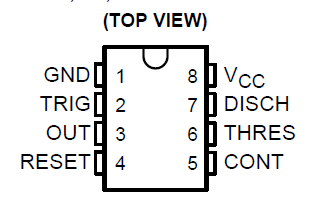
**2.2 单元电路的工作原理**

**⑴ 时钟电路**

555定时器是一种将模拟电路和数字电路集成于一体的电子器件，用它可以构成单稳态触发器、多谐振荡器和施密特触发器等多种电路。555定时器在工业控制、定时、检测、报警等方面有广泛应用。

555定时器内部电路及其电路功能如图2(a)、(b)所示。内部电路由基本RS触发器、比较器C1、C2和场效应管N1组成（参见图2(a）)。当555内部的比较器C1同相输入端（+）的输入信号VTH大于其反相输入端（-）的比较电压VCO（）时，C1输出高电位，置触发器为低电平，即Q=0；当C2反相输入端（-）的输入信号VTR小于其同相输入端（+）的电压VCO/2(1/3VDD)时，C2输出高电位，置触发器为高电平，即Q=1。是异步复位端，，Q=0；MOS管N1是单稳态、多谐振荡器等电路时，为电容C提供放电通路。

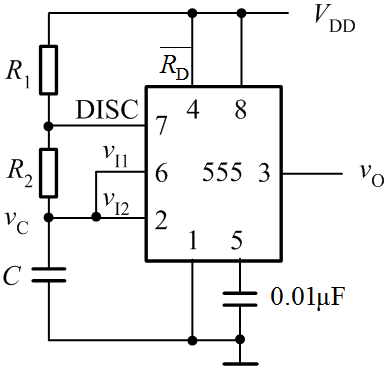
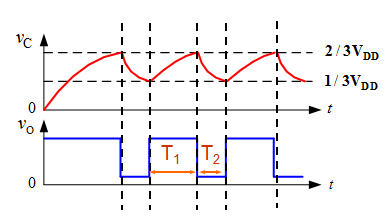
注意：电压VCO可外部提供，称外加控制电压，也可以使用内部分压器产生的电压，这时C2的比较电压为VDD/3，不用时常接0.01μF电容到地以防干扰。

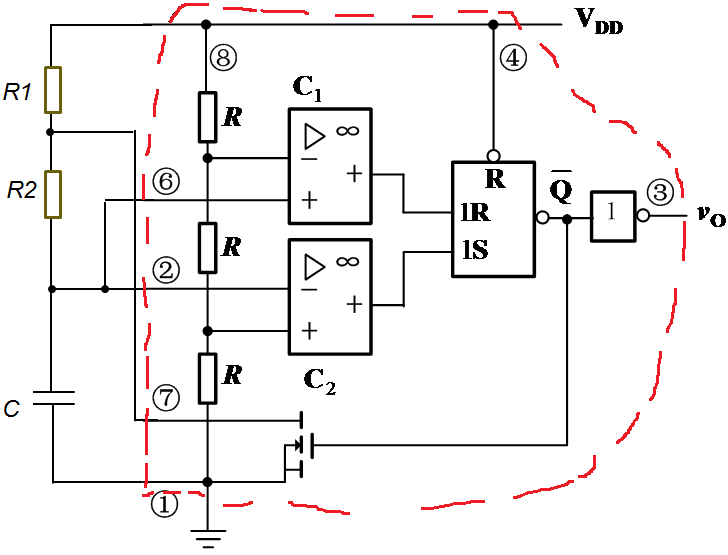
(a) 555定时器内部电路 (b) 555管脚排列

图2 555定时器内部电路及管脚排列

由555接成多谐振荡器产生D锁存触发器及计数器的时钟脉冲，电路如图3(a)所示。

(a)多谐振荡器电路 (b) 工作波形



(c)多谐振荡器具体电路

图3 由555组成的多谐振荡器

①上电时，*v*C=0，得*R*=0，*S*=1，*Q*=1，N1管截止，*v*O =1；

②VDD通过R1、R2向C充电，*v*C逐渐上升；

③当*v*C＞2/3VDD时，*R*=1，*S*=0，基本RS触发器被置0，*Q*=0，N1管导通，*v*O =0；

④电容C上的电荷将通过R2和N1管放电，*v*C逐渐下降；

⑤当*v*C降到*v*C＜1/3VDD时，*R=0，S=1，RS*触发器置成1态，*Q* =1，T1管截止，*v*O =1。对电容C重新开始充电。

脉宽TW可根据通过*v*C的暂态方程，求得：

输出高电平宽度：T1=0.7(R1+R2)C 输出低电平宽度：T2=0.7R2C

脉冲周期TW=T1+T2=0.7(R1+2R2)C

占空比：

如要求产生频率为1Hz的脉冲，可取R1=R2=47k，C=10uF，脉冲周期：

T=0.7(R1+2R2)C=0.987S。

**⑵ 抢答模块电路**

抢答模块设置主持人开关，及抢答开关，要求主持人抢答开关开启时，抢答过程开始，选手通过开关进行抢答，一旦有选手抢答，需存储对应信息并点亮指示灯，并切断存储器时钟。核心器件为锁存触发器，典型应用如74LS175，其管脚排列及功能表如下图4所示。

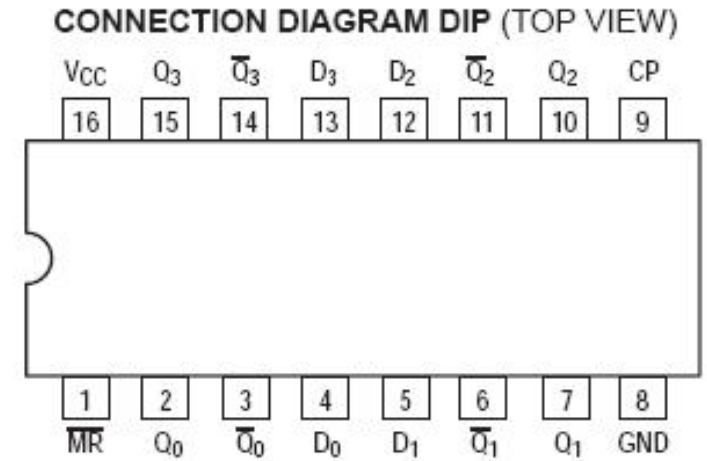
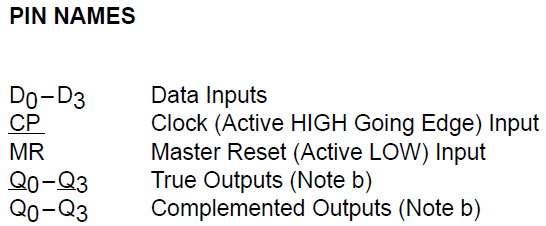


图4 74LS175管脚排列

74LS175是一款高速四D触发器，状态翻转发生在CP上升沿，每个触发器有真输出和互补输出。异步复位为低电平时，复位所有触发器。74LS175内部电路如下图5所示。

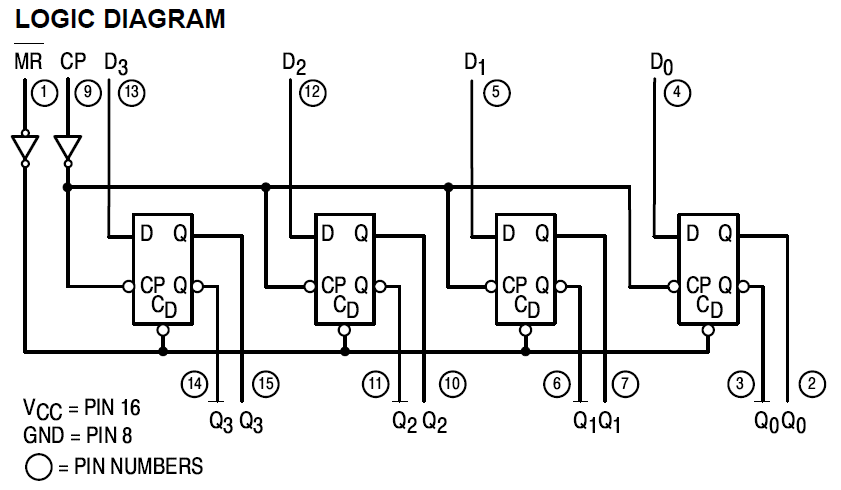


图5 74LS175逻辑电路图

抢答环节有1个主持人开关S5，4个抢答开关S1-S4，发光二极管LED1-LED4及外加电阻，及D锁存触发器构成，主持人开关S5为常开开关，按下抢答开始，S1-S4谁先按下，对应LED1-LED4亮，主持人根据LED1-LED4的状态判断S1-S4那个抢答成功，同时倒计时模块开始运行。抢答模块电路如下图6所示。

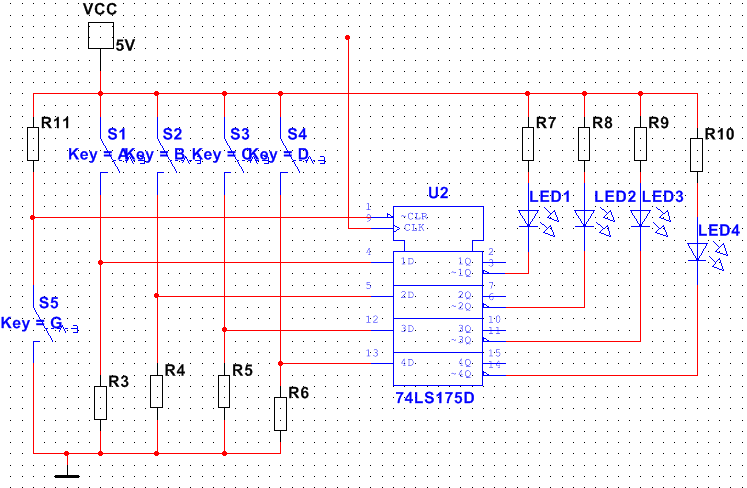
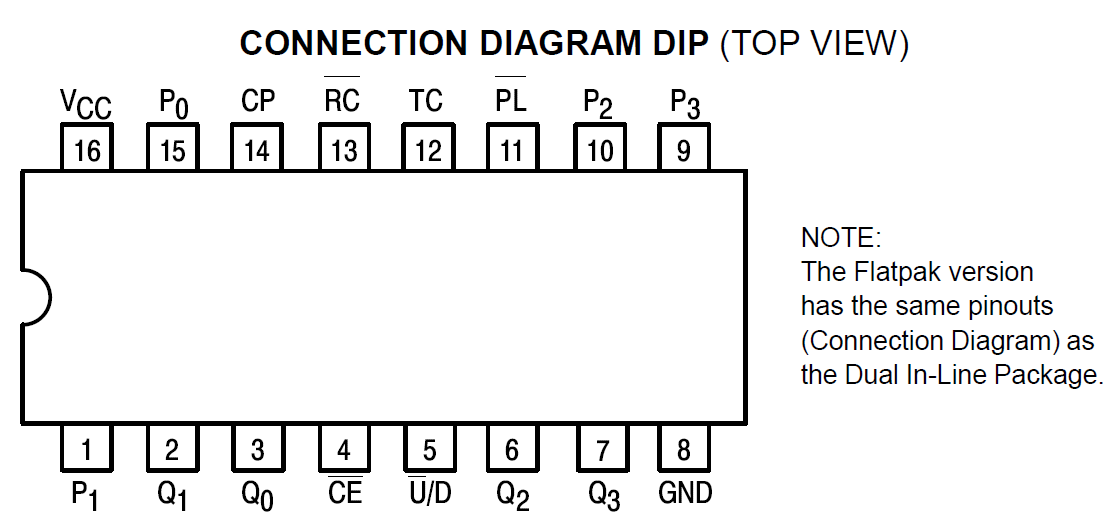


图6 抢答模块电路

**⑶ 倒计时计数模块**

抢答成功时，立刻启动倒计时计数模块，需选用减法计数器，如74LS190，是一款4位同步可逆计数器芯片，其管脚排列、各管脚说明如下图7所示。



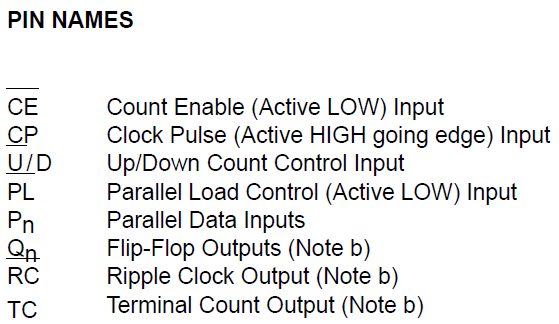
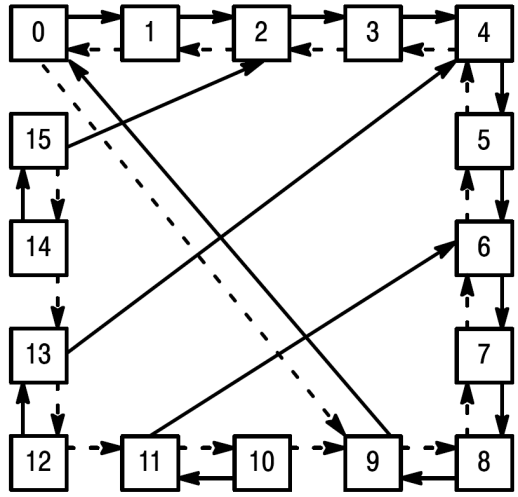


图7 74LS190管脚排列、说明，及功能表

其功能表及状态转换图如下图8所示。

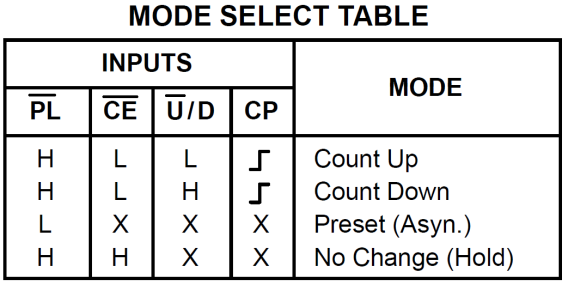




图8 74LS190功能表及状态转换图

其中，当进行加法计数时，计数输出，当进行减法计数时，。

当有选手按下抢答键，需启动2个动作，1、锁定寄存器，其他选手抢答按键无效；2、显示倒计时。倒计时模块如设定10S，则置数（1001）到计数器。即计数器时钟及并行置数功能由抢答模块控制，倒计时模块电路如下图9所示，QD、QC、QB、QA输出为BCD码，经显示译码后，可在数码管上显示。

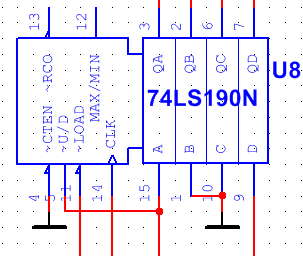


图9 倒计时模块电路

**⑷ 译码、显示模块电路**

倒计时的计数结果由数码管显示出来，需要显示译码及数码管，将计数器的结果显示在数码管上。根据数码管的类型不同，显示译码也有不同种类，如数码管为共阴模式，可选择CD4511、74LS47等译码器，如数码管为共阳，可选择74LS48等，以驱动共阴数码管为例，CD4511的引脚功能如图10所示，。

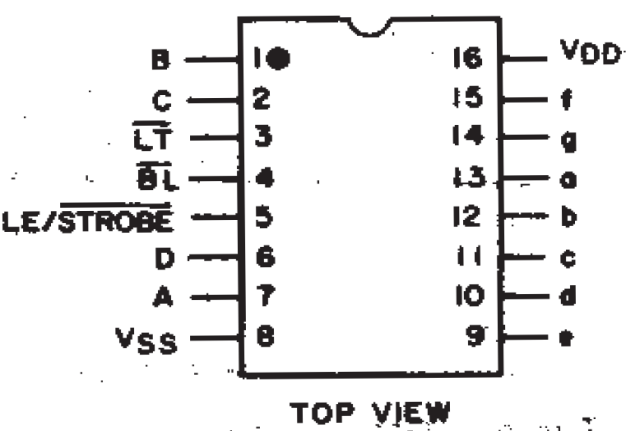


图10 CD4511管脚排列

引脚功能：

：4脚是消隐输入控制端，当=0 时，不管其它输入端状态如何，七段数码管均处于熄灭（消隐）状态，不显示数字。

：3脚是测试输入端，当=1，=0 时，译码输出全为1，不管输入DCBA 状态如何，七段均发亮，显示“8”。它主要用来检测数码管是否损坏。

：锁定控制端，当=0时，允许译码输出。=1时译码器是锁定保持状态，译码器输出被保持在=0时的数值。

D、C、B、A：为8421BCD码输入端。

a、b、c、d、e、f、g：为译码（七段码）输出端，输出为高电平1有效。

输入端D、C、B、A，与计数器的输出端相连；七个数码笔段输出驱动端：a～g，可根据输入D、C、B、A的变化，显示不同数字，典型电路如下图11所示。

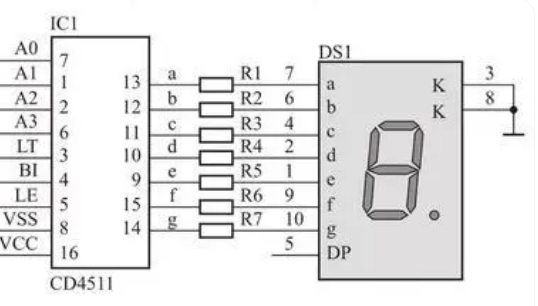


图11 译码显示典型电路

CD4511驱动共阴数码管，其真值表如下图12所示。

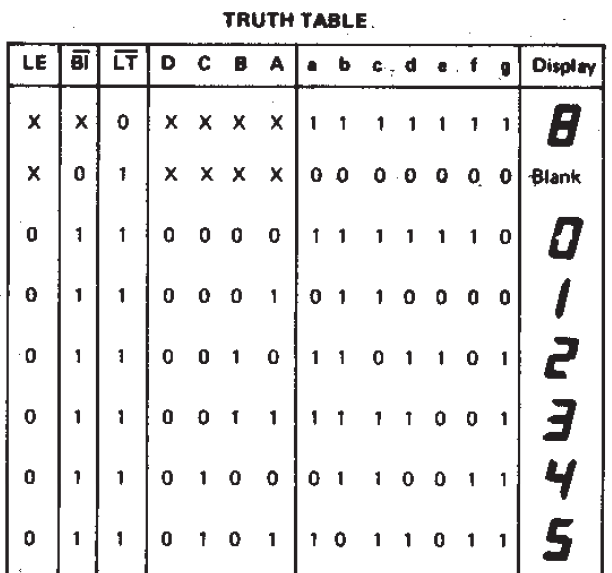
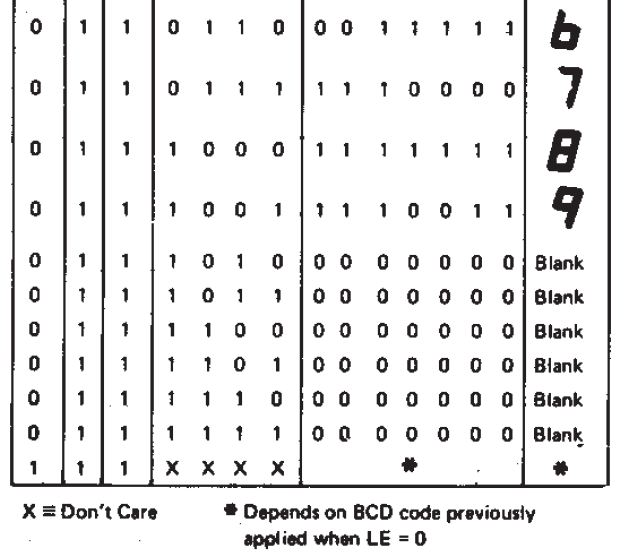


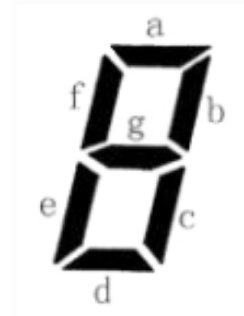
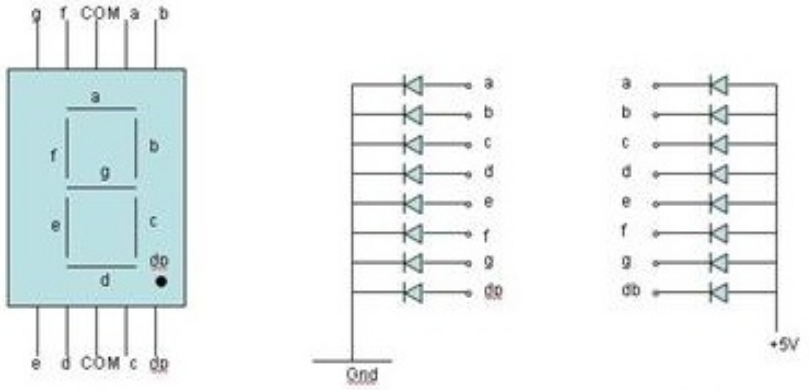
图12 CD4511真值表

常用七段数码管按发光二极管单元连接方式，可以分为共阳极数码管和共阴极数码管。

1.共阳极数码管：将所有发光二极管的阳极接到一起形成公共阳极(COM)，外接电源VCC。共阳数码管在应用时，应将公共极COM接到+5V，当某一字段发光二极管的阴极为低电平时，相应字段就点亮。当某一字段的阴极为高电平时，相应字段就不亮。

2.共阴极数码管：将所有发光二极管的阴极接到一起形成公共阴极(COM)。共阴数码管在应用时应将公共极COM接到地线GND上，当某一字段发光二极管的阳极为高电平时，相应字段就点亮。当某一字段的阳极为低电平时，相应字段就不亮。

其不同模式构成及管脚排列如下图13所示。

七段数码管 管脚排列 共阴极 共阳极

图13 七段数码管构成

**3 抢答器调试工艺**

**3.1 基本要求**

① 熟练掌握用数字万用表测量集成电路以及各种元器件引脚的电压，判别各种集成电路输入、输出状态；熟练使用示波器测量电压波形。

② 会利用电原理分析和排除调试过程中出现的故障。

**3.2 抢答器调试过程**

**⑴时钟电路的调试**

电路连接完毕后通电，时钟电路启动振荡，用示波器的DC挡去测量A点对地的波形，应该能在示波器上看到矩形波输出。如果有此波形，说明时钟电路工作正常；如果没有，检查NE555芯片管脚与外围器件连接是否有误，及虚焊情况。用示波器测量A点波形、幅度、频率或周期，调节Rp使脉冲周期为1S，即产生频率为1Hz的时钟脉冲。

**⑵抢答模块电路的调试**

复位：时钟电路正常后，待用。抢答模块时钟CP1外接1KHz方波，闭合主持人开关，抢答开关均断开，LED1-LED4均不亮，B点为高电平，74LS175锁存器⑨脚波形与CP1波形一致，等待抢答。C点为高电平，计数器置数端无效，D点电位为低电平，计数器无有效时钟。若不符合，需检查74LS175芯片管脚与外围器件连接是否有误，及虚焊情况，同时需检查74LS32及74LS21管脚外围电路是否正确。

抢答：复位成功后，主持人开关断开，等待抢答，S1-S4有开关按下，首先按下的开关信号在时钟CP1作用下传递给对应的Q端并存储，同时对应LED1-LED4二极管亮（S1-LED1、S2-LED2、S3-LED3、S4-LED4），B、C电位均为低电平，74LS175锁存器⑨脚输出为低电平，时钟无效，此时输出被锁定。用示波器的DC档去测量D点对地的波形，应能在示波器上看到矩形波输出。用示波器2个通道同时观察A、D点波形，波形应该反相。若不符合，需检查74LS175芯片管脚与外围器件连接是否有误，及虚焊情况，同时需检查74LS32及74LS21管脚外围电路是否正确。

**⑶倒计时计数、译码显示模块的调试**

抢答开关S1-S4只要有1个按下，首先按下的通道状态即被锁定存储在74LS175中，对应发光二极管亮，同时B点为低电平，74LS175的时钟输入无效，不再锁存新的S1-S4状态，同时，启动倒计时计数及译码显示模块。D点对地的波形，应该是矩形波，与时钟波形频率相同。此时，因C点为低电平，74LS190被置数1001（对应十进制的9），74LS190输出QDQCQBQA=1001，经显示译码器CD4511后，即CD4511的abcdefg=1110011，点亮数码管显示为9。随着抢答开关放开，置数端无效，计数器在时钟作用下开始倒计时计数，依次显示876543210，黑屏。若不符合，需检查74LS190、CD4511芯片管脚与外围器件连接是否有误，及虚焊情况，同时需检查74LS190使能端及置数控制端是否有效，CD4511特殊控制端电平是否正确等。

**3.4 抢答器调试记录表**

**表3.1 时钟电路**

|  |  |  |
| --- | --- | --- |
| 测量项目 | A点电压波形 | 幅度、周期、频率 |
| 画出被测量  波形并标出  幅度、周期与频率 |  |  |

**表3.2 抢答模块电路**

|  |  |  |
| --- | --- | --- |
| 测量项目 | B、C点电位 | 发光二极管状态 |
| S5闭合、S1-S4断开 | : : | LED1： LED2：  LED3： LED4： |
| S5断开、S1-S4断开 | : : | LED1： LED2：  LED3： LED4： |
| S5断开、S1-S4有1个闭合 | : : | LED1： LED2：  LED3： LED4： |
| S5断开、S1-S4有多个闭合 | : : | LED1： LED2：  LED3： LED4： |

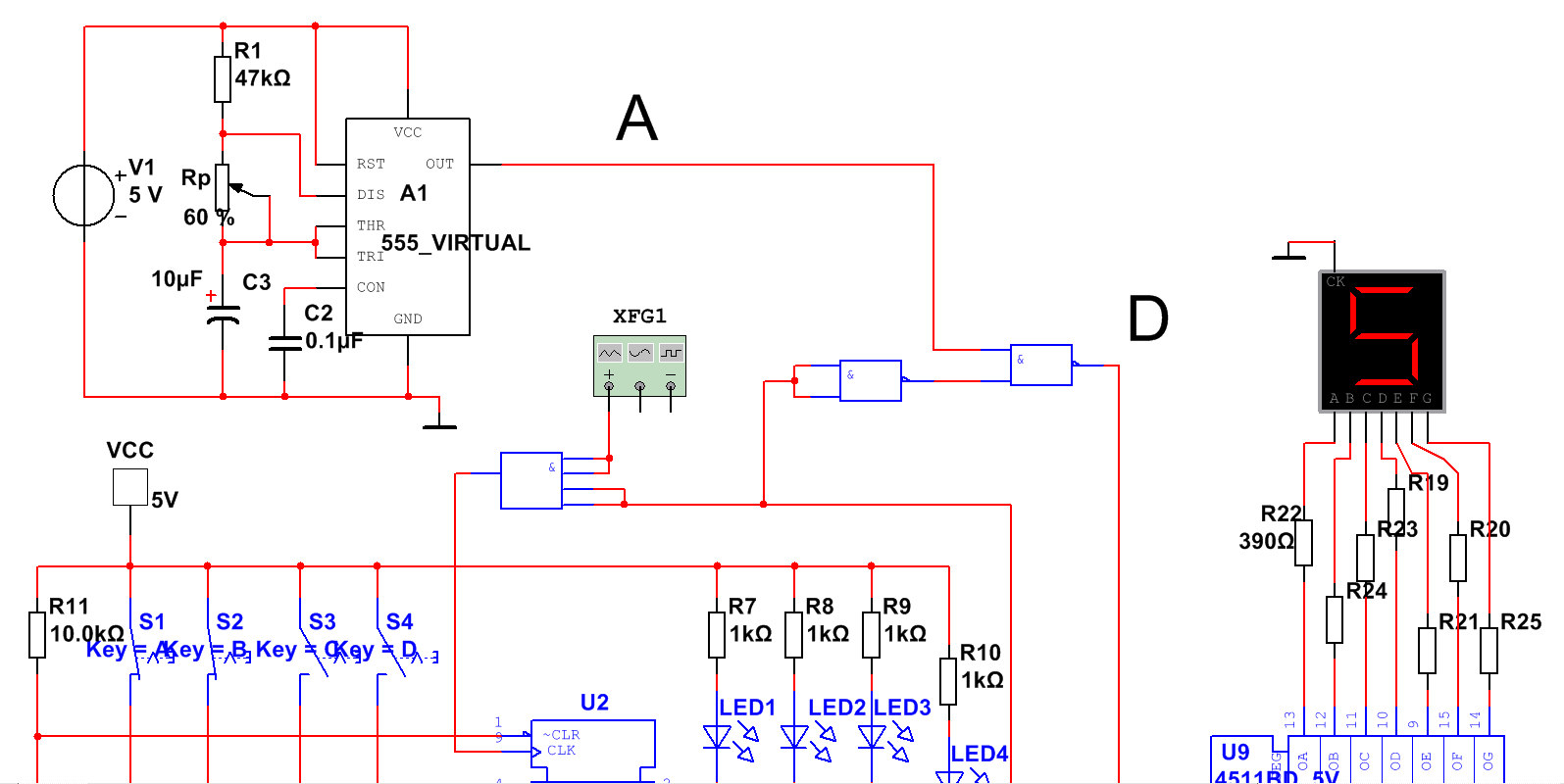
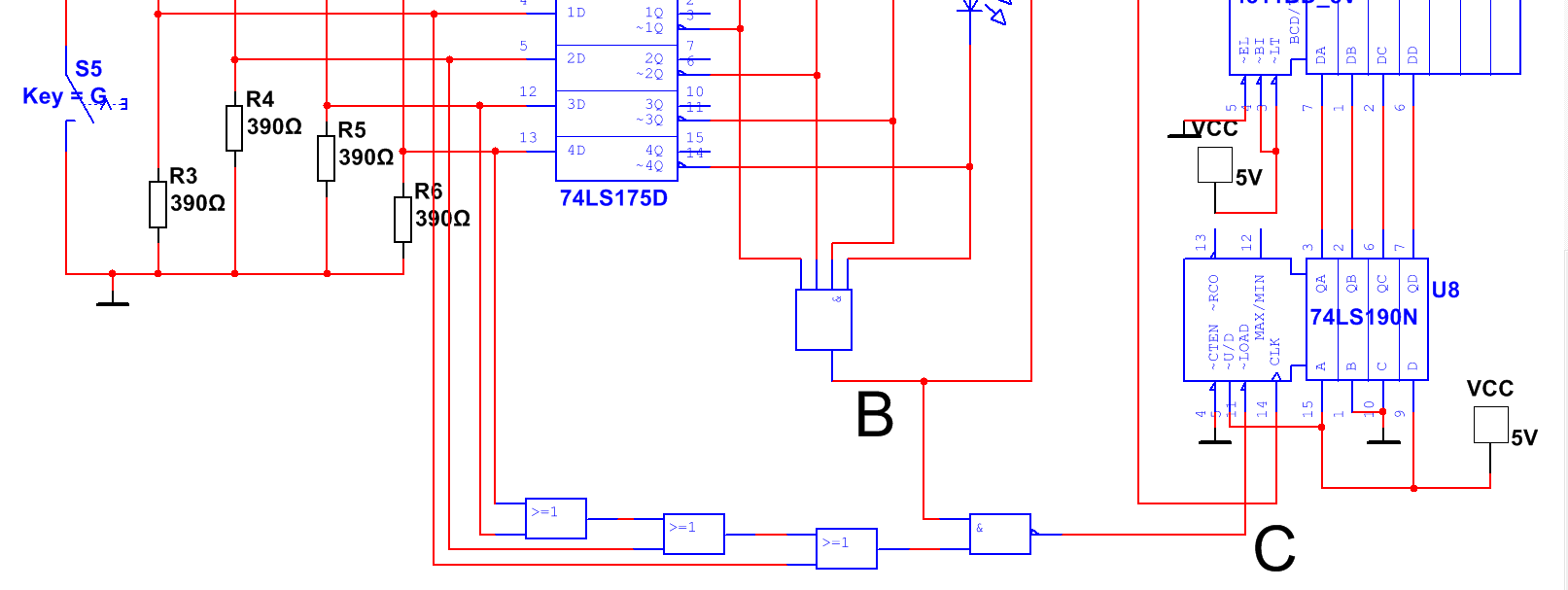
**表3.3 倒计时计数、译码显示电路**

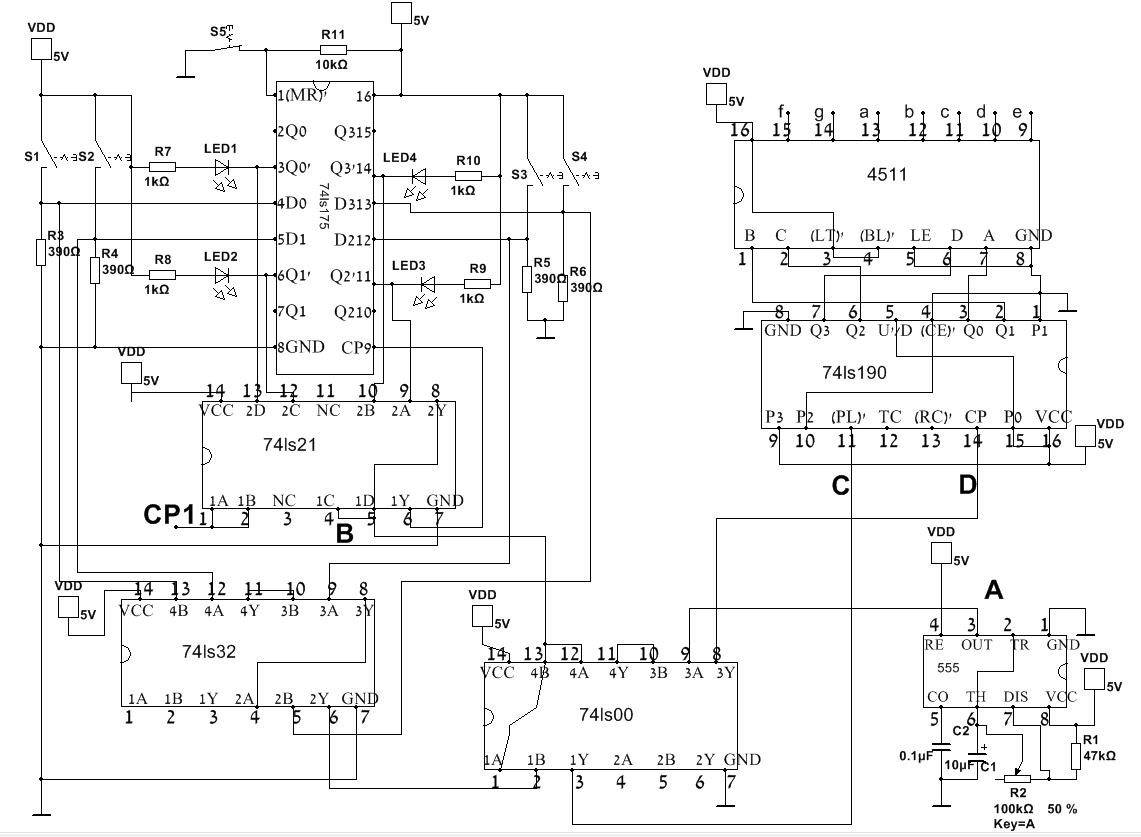
|  |  |  |  |
| --- | --- | --- | --- |
| 测量项目 | C点电位 | D点电压波形 | 数码管显示 |
| S5闭合、S1-S4断开 | : |  |  |
| S5断开、S1-S4断开 | : |  |  |
| S5断开、S1-S4有1个闭合 | : |  |  |
| S5断开、S1-S4有多个闭合 | : |  |  |

**附件1：元器件清单**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 器件 | IC | 电阻器 | 电容器 | 滑动电位器 | LED | 开关 | 数码管 |
| 时钟电路 | NE555\*1 | 47k\*1 | 10μF\*1  0.1μF\*1 | 100k |  |  |  |
| 抢答模块电路 | 74LS175\*1 | 390\*4  1k\*5 |  |  | 红\*4 | 常开\*5 |  |
| 译码显示模块电路 | 74LS190\*1  CD4511\*1 | 390\*7 |  |  |  |  | 共阴\*1 |
| 另需 | IC插座16脚3个，14脚3个，8脚1个 | 数码管插座单排5脚2个 | 导线1米分三色 | 通用板12\*8CM1块 |  |  |  |

**附件2：完整电路图**





布线参考