

Что еще есть в нашей FPGA?

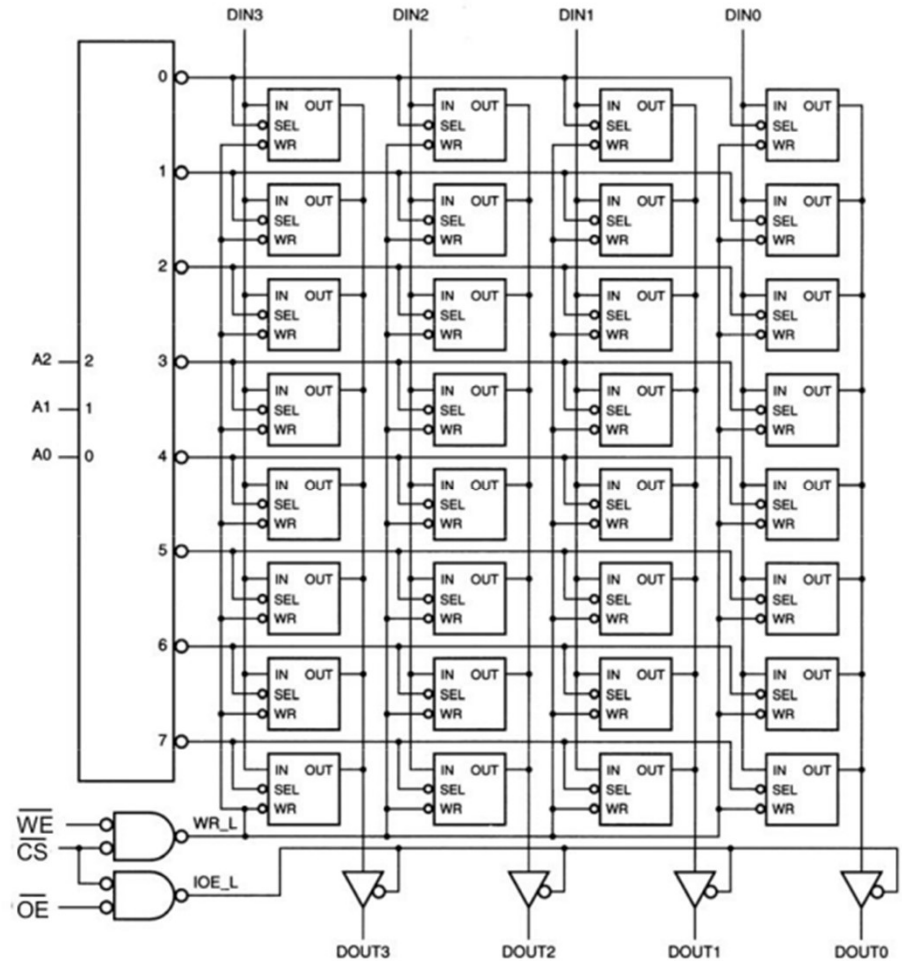
- Блоки памяти
- Аппаратные блоки умножителей
- PLL (Phased Locked Loop)

Table 1–1. Resources for the Cyclone IV E Device Family

Resources	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
Logic elements (LEs)	6,272	10,320	15,408	22,320	28,848	39,600	55,856	75,408	114,480
Embedded memory (Kbits)	270	414	504	594	594	1,134	2,340	2,745	3,888
Embedded 18 × 18 multipliers	15	23	56	66	66	116	154	200	266
General-purpose PLLs	2	2	4	4	4	4	4	4	4
Global Clock Networks	10	10	20	20	20	20	20	20	20
User I/O Banks	8	8	8	8	8	8	8	8	8
Maximum user I/O ⁽¹⁾	179	179	343	153	532	532	374	426	528

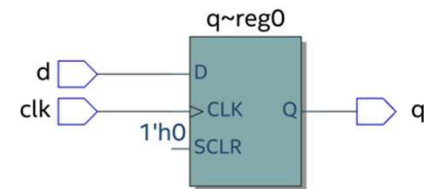
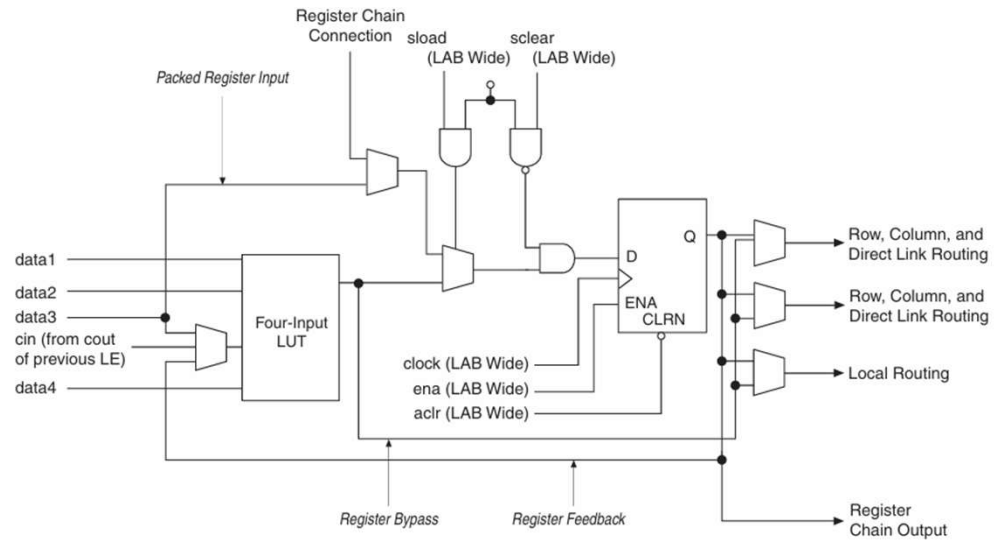
Память

- RAM – Random Access Memory
- ROM – Read Only Memory
- Triggers
- Dynamic RAM (DRAM)
- Static RAM (SRAM)
- Inputs
 - Read/Write address
 - Input data
 - Read/Write enable
- Outputs
 - Output data



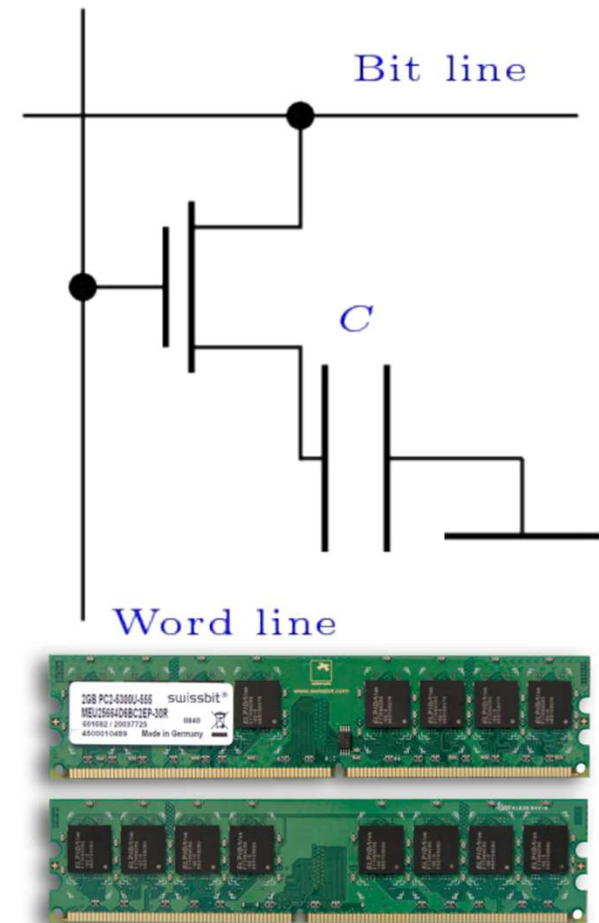
Триггеры

- ~20 транзисторов на ячейку
- Маленькая задержка
- Используются для хранения данных которые участвуют в вычислениях конкретно в данный момент.
- Плохо подходят для создания большой памяти.



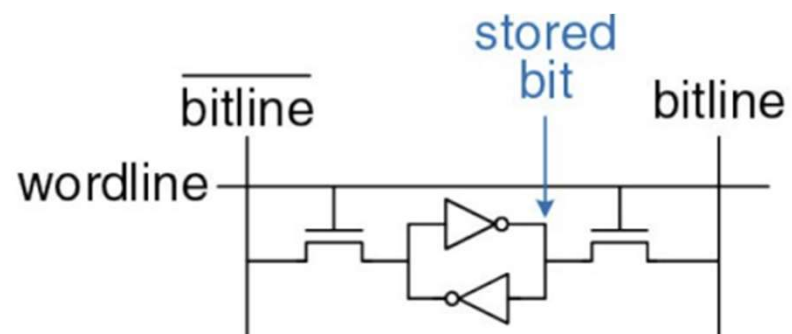
Dynamic RAM (DRAM)

- Битовым значениям соответствует наличие или отсутствие заряда конденсатора, управляемого полевым транзистором.
- Из-за разряда при чтении (или просто со временем) ячейки нужно регенерировать
- Очень маленькая площадь 1 транзистор + 1 конденсатор.
- Большая задержка.



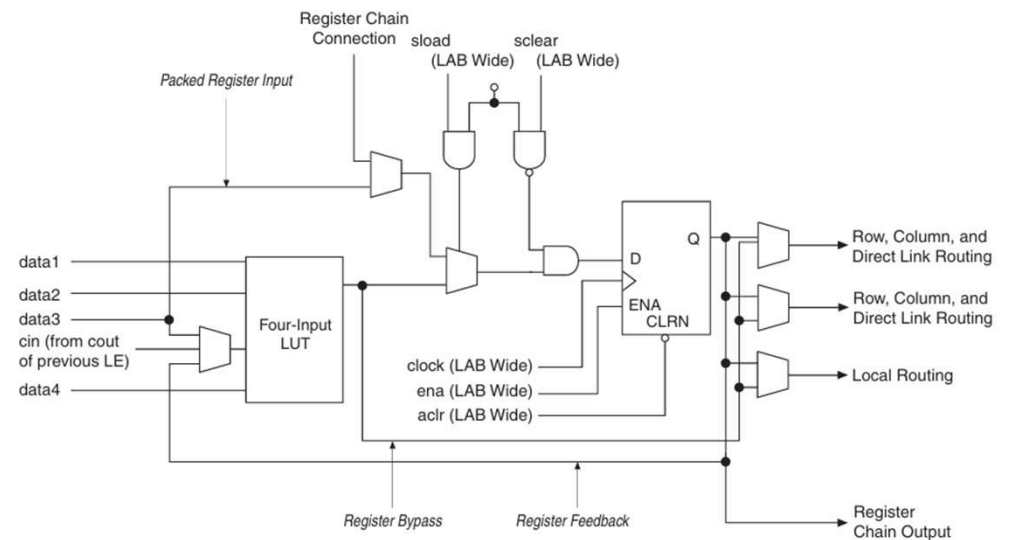
Static RAM (SRAM)

- Данные хранятся в бистабильной схеме
- 6 транзисторов
- Средняя задержка



Distributed RAM

- В некоторых FPGA LUT реализован с помощью памяти.
 - 4-input LUT – 16 bits memory
 - 6-input LUT – 64 bits memory
- В таком случае мы можем использовать данную память по прямому назначению.
- Такую память называют Distributed RAM так как она распределена по всему чипу.



Block SRAM (M9K memory blocks)

- В FPGA зачастую встраиваются специализированные блоки памяти.
- В нашем чипе есть 270 kBit такой памяти (которая называется M9K).
- 30 блоков памяти M9K.
- Каждый блок памяти по 9216 бит.
 - $1024 * (8 + 1)$
 - дополнительный parity бит
- Возможности
 - Single Port, Simple Dual Port, True Dual Port
 - RAM, ROM
 - Инициализация из файла
 - Встроенная логика для бита четности
 - ...

Table 1–1. Resources for the Cyclone IV E Device Family

Resources	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
Logic elements (LEs)	6,272	10,320	15,408	22,320	28,848	39,600	55,856	75,408	114,480
Embedded memory (Kbits)	270	414	504	594	594	1,134	2,340	2,745	3,888
Embedded 18 × 18 multipliers	15	23	56	66	66	116	154	200	266
General-purpose PLLs	2	2	4	4	4	4	4	4	4
Global Clock Networks	10	10	20	20	20	20	20	20	20
User I/O Banks	8	8	8	8	8	8	8	8	8
Maximum user I/O ⁽¹⁾	179	179	343	153	532	532	374	426	528

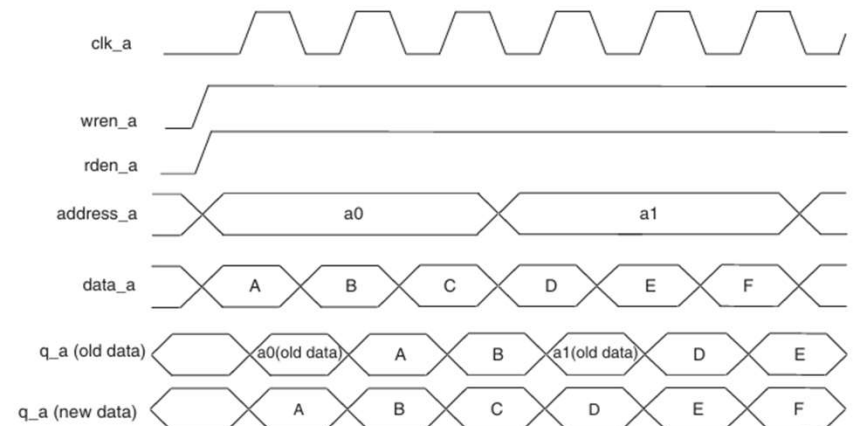
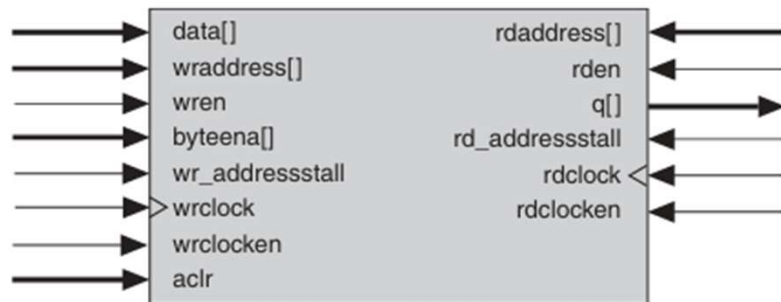
Single Port RAM

В один момент времени **либо запись либо чтение**.

- data – данные для записи
- address – адрес для чтения или записи
- wren – флаг что запись активна
- rden – флаг что чтение активно
- q – выход для прочитанных данных

Есть два режима:

Read-During-Write – New Data/Old Data



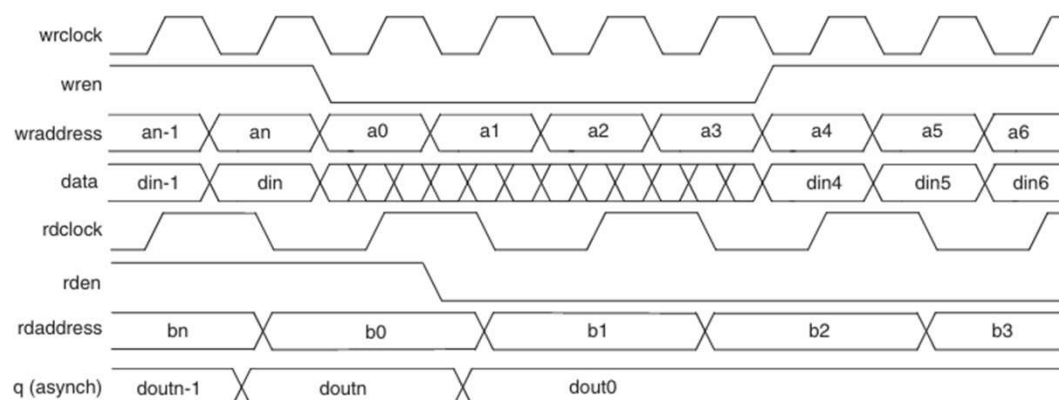
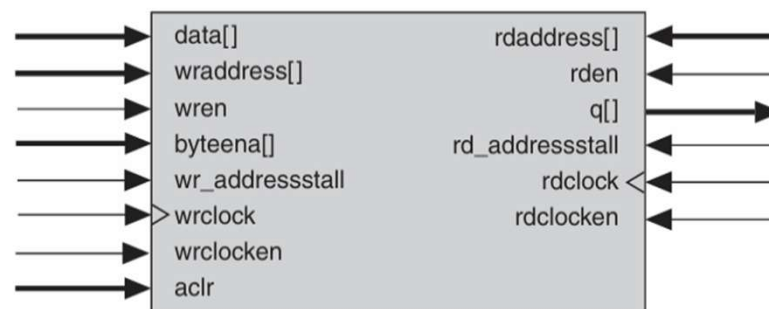
Simple Dual Port RAM

Одновременные запись и чтение по разным адресам.

- data – данные для записи
- wraddress – адрес для записи
- rdaddress – адрес для чтения
- wren – флаг что запись активна
- rden – флаг что чтение активно
- q – выход для прочитанных данных

Есть два режима:

Read-During-Write – Don't Care/Old Data



True Dual Port Mode RAM

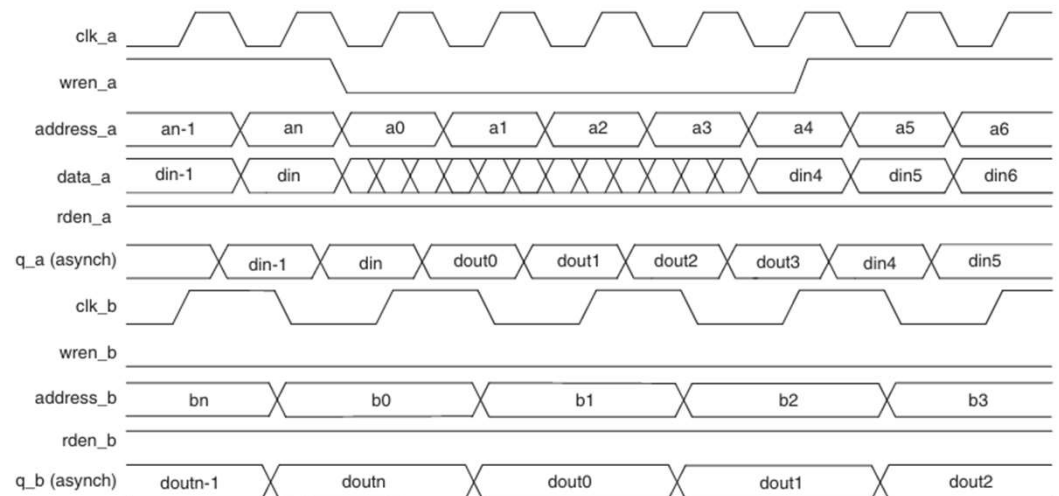
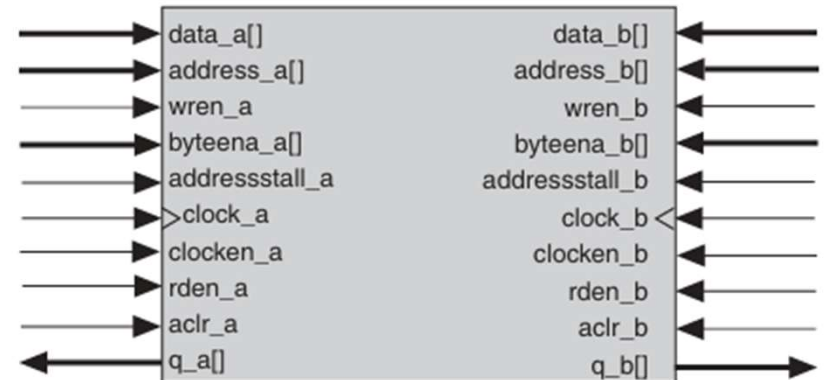
Одновременно выполняет **две операции**, каждая из которых может быть **либо запись либо чтение**. Фактически это два независимых порта. Поэтому такую память можно превратить в две независимые Single Port памяти.

- data – данные для записи
- wraddress – адрес для записи
- rdaddress – адрес для чтения
- wren – флаг что запись активна
- rden – флаг что чтение активно
- q – выход для прочитанных данных

Есть два режима:

Read-During-Write – New Data/Old Data

Нельзя одновременно писать в один адрес из обоих портов!!!

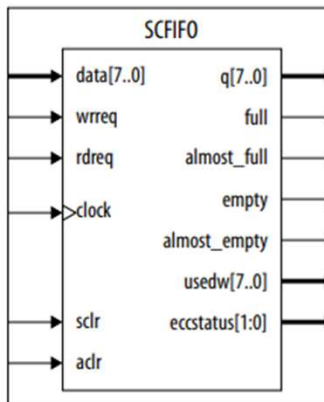


Другие режимы

ROM

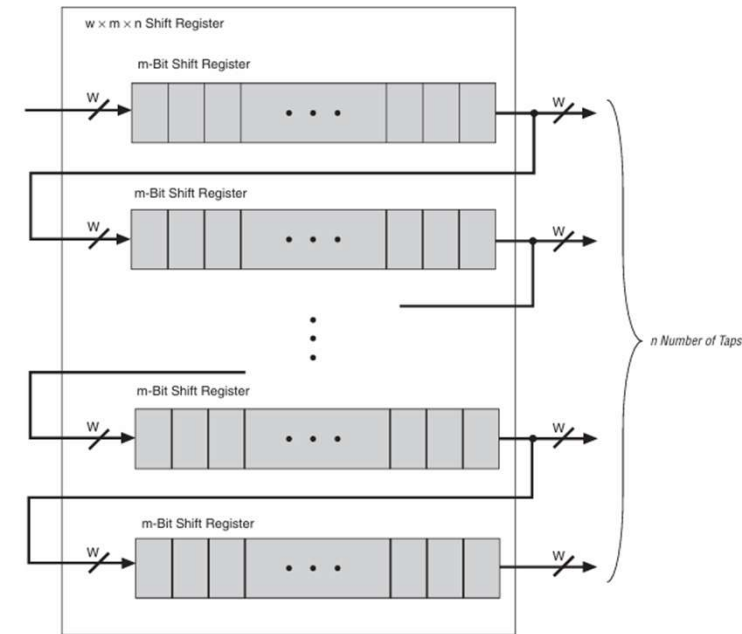
Фактически однопортовая RAM только для чтения, которая инициализируется при запуске

FIFO



Структура очереди построенная на памяти. Бывает удобна при передаче данных между двумя доменами с разными тактовыми сигналами.

Shift Register



Специфическая структура наподобии сдвигового регистра. Находит применение в многоканальной обработке сигналов.

Использование М9К блоков (метод 1)

Написать модуль похожий на блок памяти.

```
module ram /* synthesis romstyle = "M9K" */
#(
    parameter DEPTH=256,
    parameter WIDTH=32
)(
    input clk,
    input wr_en,
    input [31:0] wr_addr,
    input [WIDTH-1: 0] wr_data,
    input rd_en,
    input [31:0] rd_addr,
    output [WIDTH - 1:0] q
);

    reg [WIDTH - 1: 0] mem [DEPTH - 1: 0];
    reg [WIDTH - 1: 0] rd_data;
    assign q = rd_data;

    always @(posedge clk) begin
        // write
        if (wr_en) begin
            mem[wr_addr] <= wr_data;
        end

        // read
        if (rd_en) begin
            rd_data <= mem[rd_addr];
        end
    end
endmodule
```

Synthesis attribute.

Подсказка синтезатору что предпочтительный способ исполнения – блок памяти. Синтезатор не обязан следовать этой подсказке.

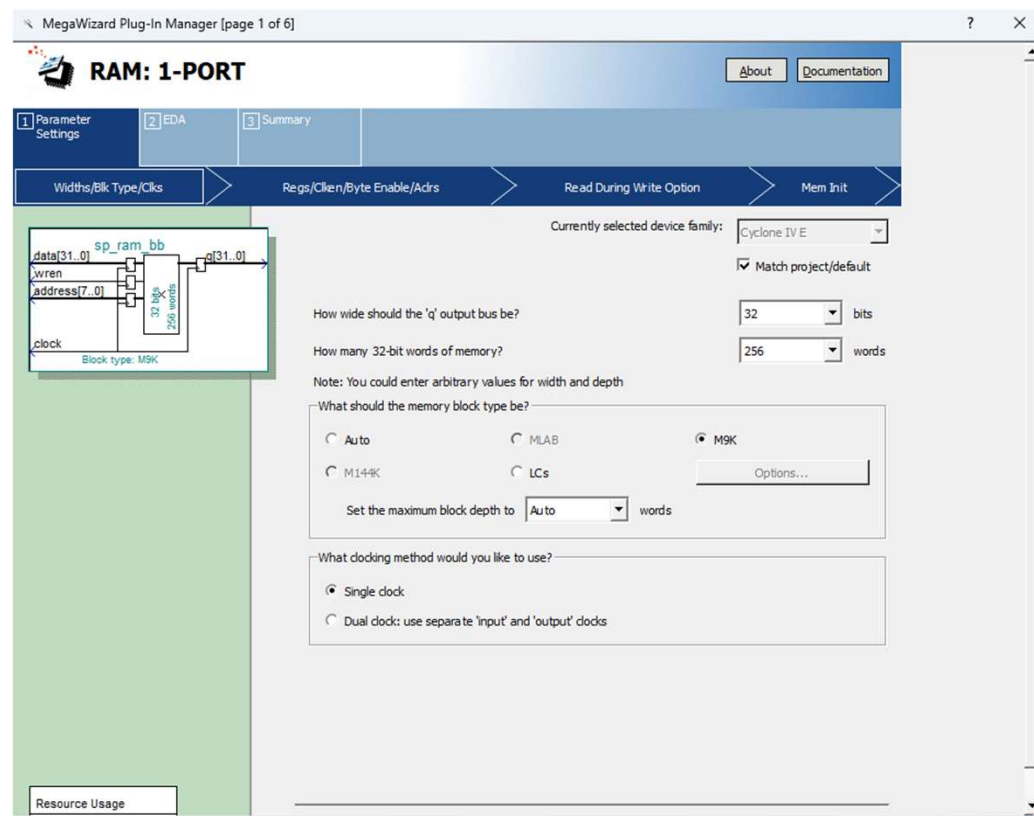
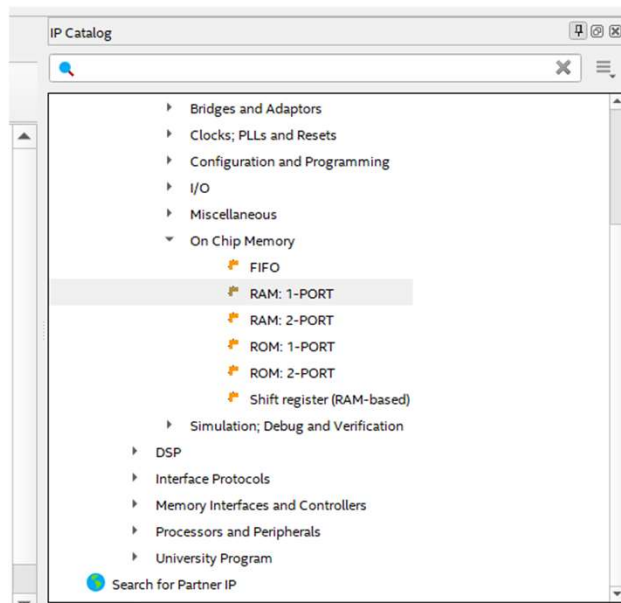
Данные атрибуты различаются в зависимости от используемого синтезатора!

Flow Status	Successful - Wed Oct 16 00:48:52 2024
Quartus Prime Version	23.1std.1 Build 993 05/14/2024 SC Lite Edition
Revision Name	test
Top-level Entity Name	top_ram
Family	Cyclone IV E
Device	EP4CE6F17I7
Timing Models	Final
Total logic elements	0 / 6,272 (0 %)
Total registers	0
Total pins	131 / 180 (73 %)
Total virtual pins	0
Total memory bits	8,192 / 276,480 (3 %)
Embedded Multiplier 9-bit elements	0 / 30 (0 %)
Total PLLs	0 / 2 (0 %)

Использование M9K блоков (метод 2)

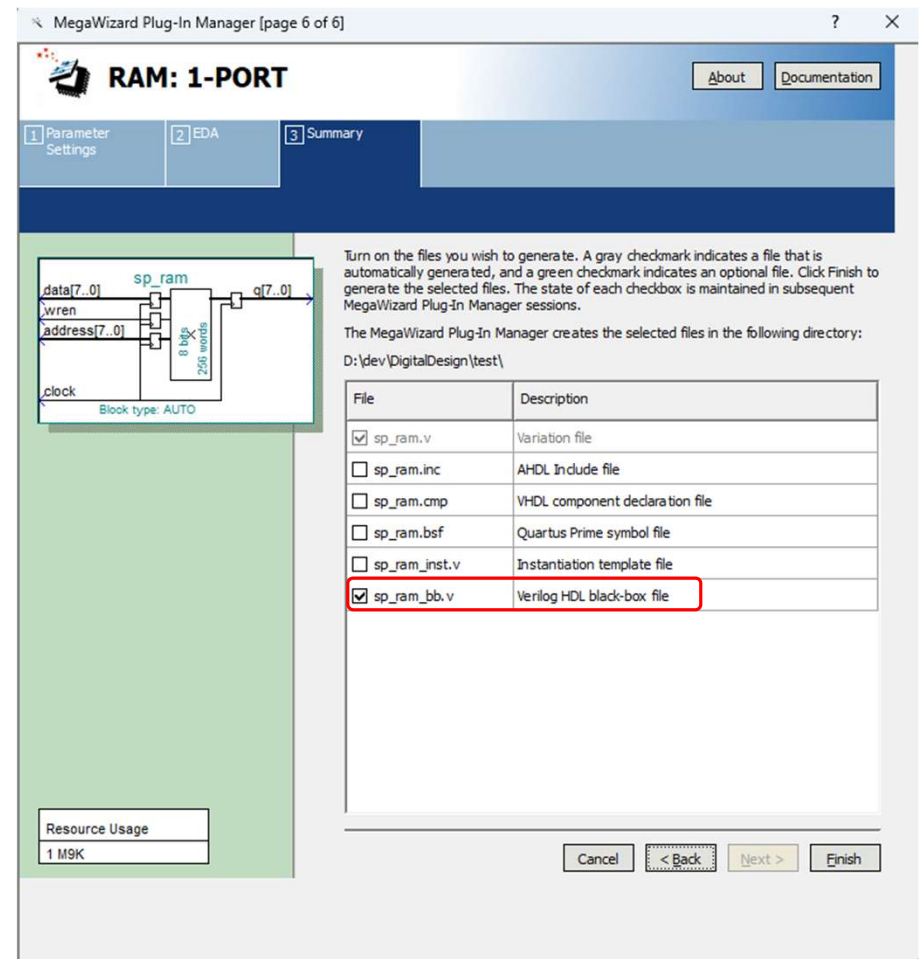
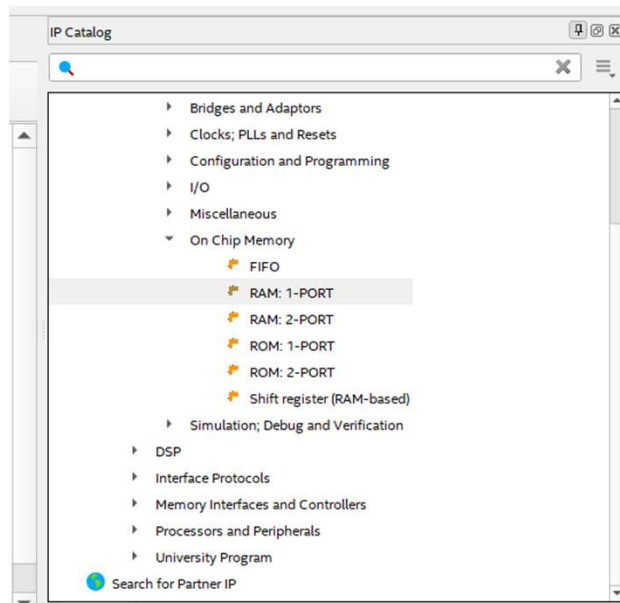
Воспользоваться IP блоком.

Позволяет создать Black Box модуль который реализует память (или другие модули).



Использование M9K блоков (метод 2)

В конце автоматически стоит галочка создания файла `_bb` – файл с описанием интерфейса модуля.



Внешняя память

- 256 Mbit SDRAM
- EEPROM 4Kbit (IIC bus)
- SPI FLASH (Configuration)

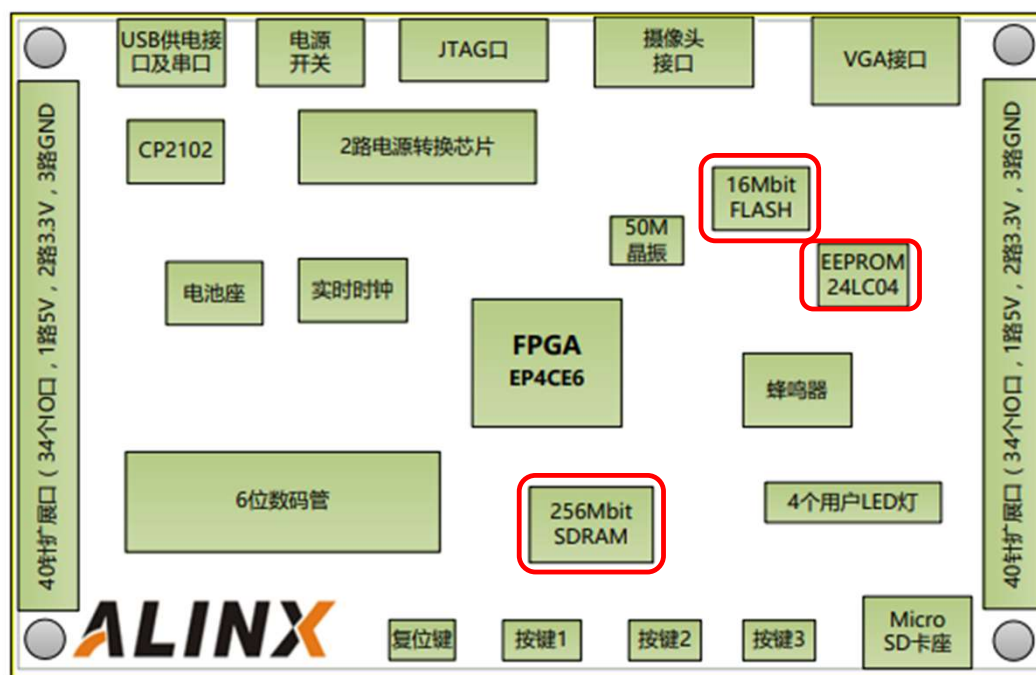


Figure 1-1

Flash Boot Image (Active Serial Configuration)

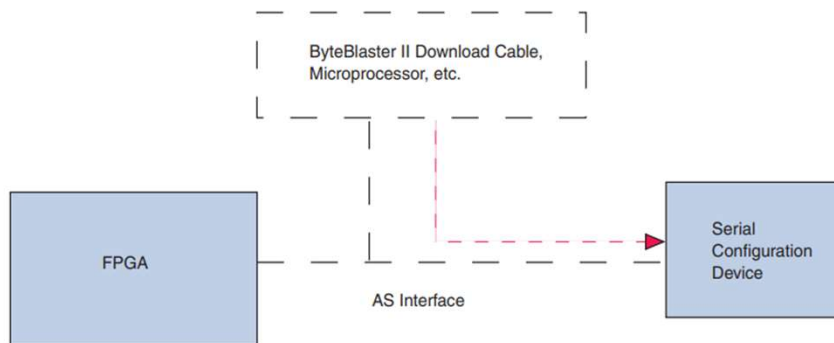
Flash память с последовательной шиной можно использовать для хранения конфигурационного файла. Тогда FPGA будет сразу при подключении питания загружать нужную прошивку.

В идеале мы просто загружаем прошивку напрямую в память, но для этого потребуется отдельный порт.
(У вас его нет)

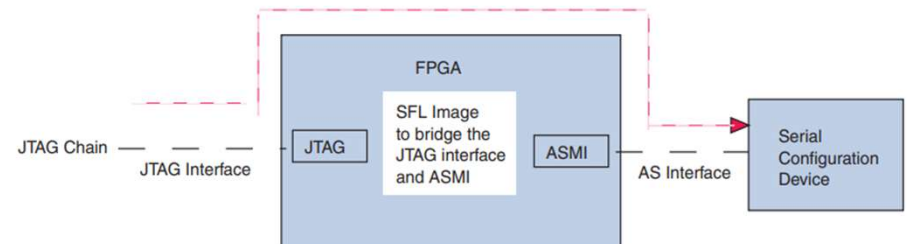
Более сложный способ, не требующий отдельного порта, но требующий большего количества шагов:

1. Прошить в FPGA Serial Flash Loader.
2. Через JTAG->Serial Flash Loader прошить память.

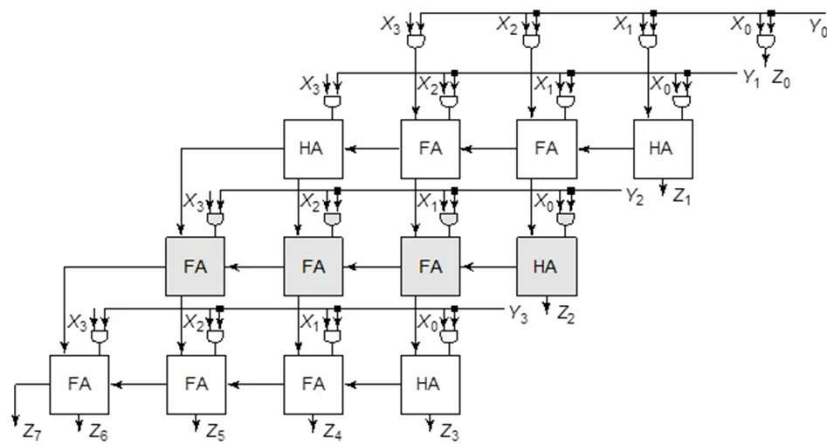
Conventional Method of Programming Serial Configuration Devices Via the AS Interface



In-System Method of Programming Serial Configuration Devices Via the JTAG Interface



Умножение

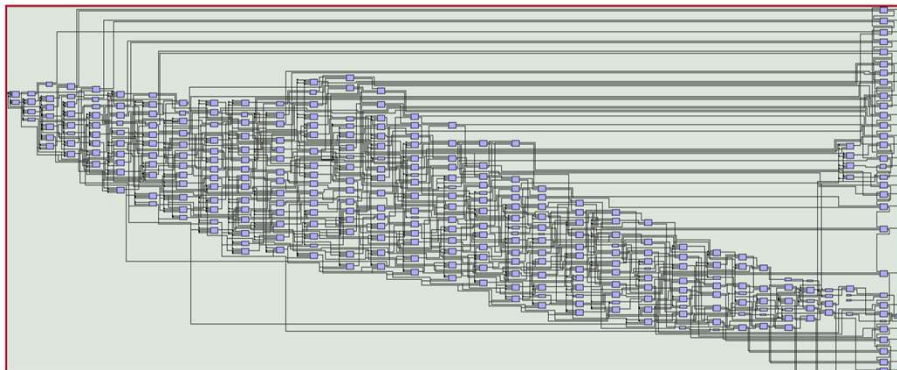


```

1011
× 1110
=====
0000
1011
1011
+ 1011
=====
10011010
    
```

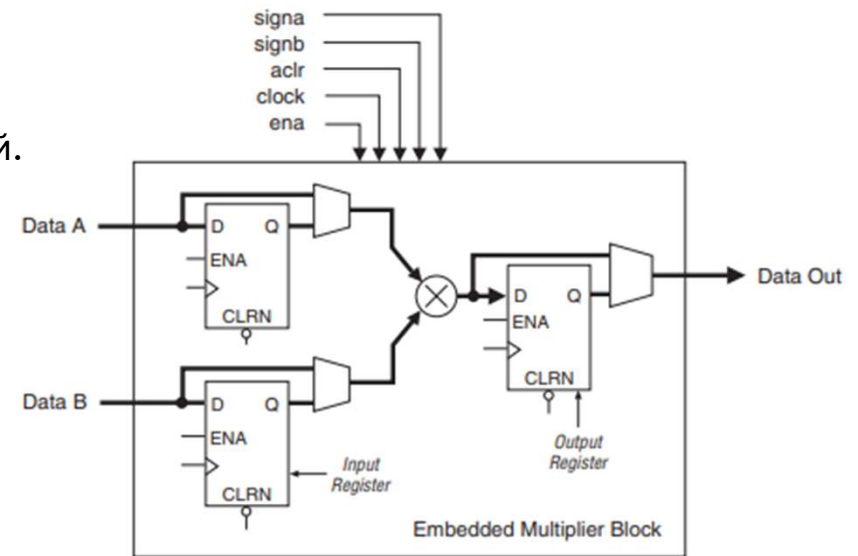
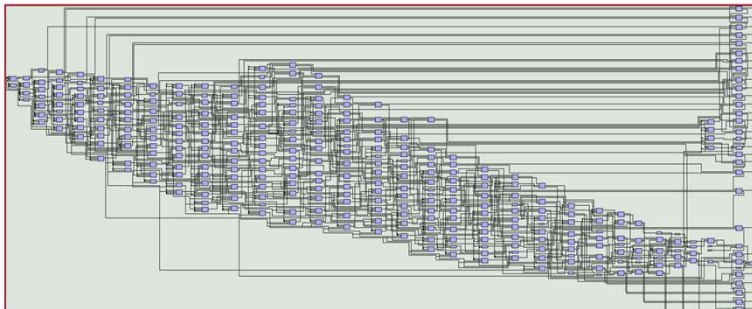
Умножитель 16*16 бит
занимает 344 ячейки

Flow Status	Successful - Wed Oct 16 10
Quartus Prime Version	23.1std.1 Build 993 05/14/
Revision Name	embed_mult
Top-level Entity Name	mult
Family	Cyclone IV E
Device	EP4CE6F1717
Timing Models	Final
Total logic elements	344 / 6,272 (5 %)
Total registers	0
Total pins	64 / 180 (36 %)
Total virtual pins	0
Total memory bits	0 / 276,480 (0 %)
Embedded Multiplier 9-bit elements	0 / 30 (0 %)
Total PLLs	0 / 2 (0 %)



Embed Multiplier

FPGA зачастую имеет встроенные блоки умножителей.



Flow Status	Successful - Wed Oct 16 10
Quartus Prime Version	23.1std.1 Build 993 05/14/
Revision Name	embed_mult
Top-level Entity Name	mult
Family	Cyclone IV E
Device	EP4CE6F1717
Timing Models	Final
Total logic elements	344 / 6,272 (5 %)
Total registers	0
Total pins	64 / 180 (36 %)
Total virtual pins	0
Total memory bits	0 / 276,480 (0 %)
Embedded Multiplier 9-bit elements	0 / 30 (0 %)
Total PLLs	0 / 2 (0 %)

Flow Status	Successful - Wed Oct 16 10:38:3
Quartus Prime Version	23.1std.1 Build 993 05/14/2024
Revision Name	embed_mult
Top-level Entity Name	mult
Family	Cyclone IV E
Device	EP4CE6F1717
Timing Models	Final
Total logic elements	0 / 6,272 (0 %)
Total registers	0
Total pins	64 / 180 (36 %)
Total virtual pins	0
Total memory bits	0 / 276,480 (0 %)
Embedded Multiplier 9-bit elements	2 / 30 (7 %)
Total PLLs	0 / 2 (0 %)

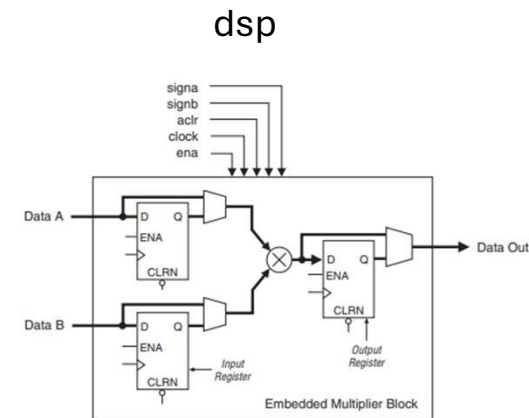
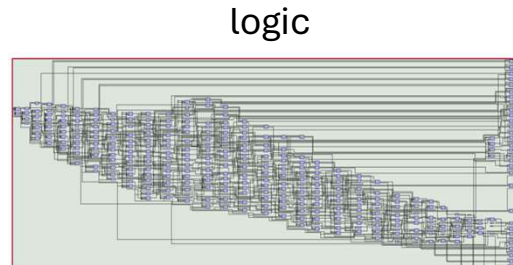
Embed multipliers

Синтезатор сам по возможности будет использовать Встроенные блоки умножителей. Но можно напрямую задать ему это атрибутом. (значения атрибута 'dsp' или 'logic')

```
module mult
(
    input [15: 0] a, b,
    output [31: 0] c
) /* synthesis multstyle = "logic" */;

    assign c=a*b;

endmodule
```

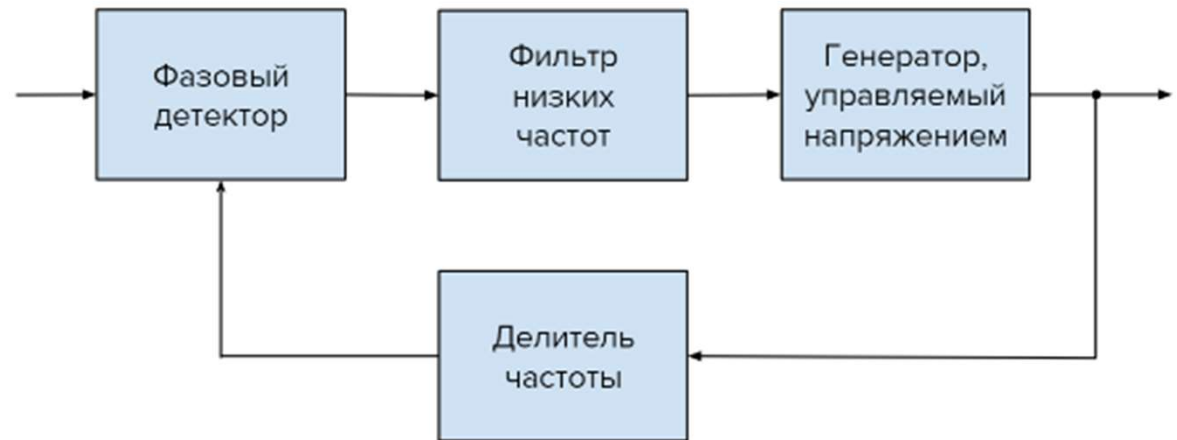


PLL(Phased Locked Loop)

PLL (Phased Locked Loop) – Система, содержащая генератор, фаза которого автоматически подстраивается под фазу входного сигнала или отклоняется от нее по требуемому закону.

Применение:

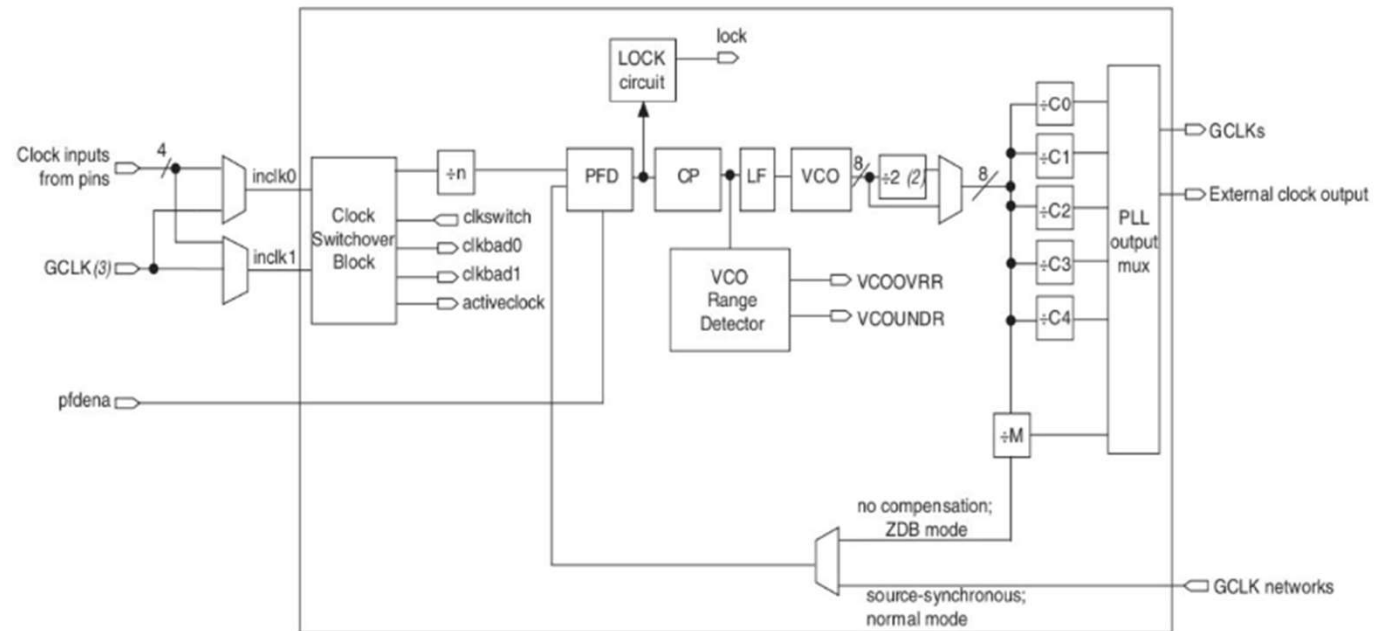
- Модуляция/Демодуляция.
- Преобразование частоты.



PLL

Table 1–1. Resources for the Cyclone IV E Device Family

Resources	EP4CE6	EP4CE10	EP4CE15	EP4CE22
Logic elements (LEs)	6,272	10,320	15,408	22,320
Embedded memory (Kbits)	270	414	504	594
Embedded 18 × 18 multipliers	15	23	56	66
General-purpose PLLs	2	2	4	4
Global Clock Networks	10	10	20	20
User I/O Banks	8	8	8	8
Maximum user I/O ⁽¹⁾	179	179	343	153



ALTPLL IP

▼ Installed IP

▼ Library

▼ Basic Functions

▼ Clocks; PLLs and Resets

▼ PLL

ALTPLL

ALTPLL_RECONFIG

Search for Partner IP

MegaWizard Plug-In Manager [page 1 of 12]

ALTPLL

About Documentation

1 Parameter Settings 2 PLL Reconfiguration 3 Output Clocks 4 EDA 5 Summary

General/Modes Inputs/Lock Bandwidth/SS Clock switchover

Currently selected device family: Cyclone IV E

☒ Match project/default

Able to implement the requested PLL

General

Which device speed grade will you be using? Any

☐ Use military temperature range devices only

What is the frequency of the indk0 input? 100.000 MHz

☐ Set up PLL in LVDS mode Data rate: Not Available Mbps

PLL Type

Which PLL type will you be using?

☐ Fast PLL ☐ Enhanced PLL ☒ Select the PLL type automatically

Operation Mode

How will the PLL outputs be generated?

☒ Use the feedback path inside the PLL

☒ In normal mode

☐ In source-synchronous compensation Mode

☐ In zero delay buffer mode

☐ Connect the fbmimic port (bidirectional)

☐ With no compensation

☐ Create an 'fbmimic' input for an external feedback (External Feedback Mode)

Which output clock will be compensated for? c0

Cancel < Back Next > Finish

pll

indk0 areset c0 locked

indk0 frequency: 100.000 MHz

Operation Mode: Normal

Clk	Ratio	Phi (deg)	DC (%)
c0	1/1	0.00	50.00

Cyclone IV E

ALTPLL IP

MegaWizard Plug-In Manager [page 6 of 12]

ALTPLL [About](#) [Documentation](#)

1 Parameter Settings 2 PLL Reconfiguration 3 Output Clocks 4 EDA 5 Summary

clk c0 > clk c1 > clk c2 > clk c3 > clk c4

c0 - Core/External Output Clock
Able to implement the requested PLL

☒ Use this clock

Clock Tap Settings

☐ Enter output clock frequency:
Requested Settings: 100.00000000 MHz Actual Settings: 75.000000

☒ Enter output clock parameters:
Clock multiplication factor: 3 Actual Settings: 3
Clock division factor: 2 Actual Settings: 2
Clock phase shift: 0.00 deg Actual Settings: 0.00

Clock duty cycle (%): 50.00 Actual Settings: 50.00

Description: Val

Modulus for M counter: 12

Module for N counter: 1

Note: The displayed internal settings of the PLL is recommended for use by advanced users only

Per Clock Feasibility Indicators: c0 c1 c2 c3 c4

Cancel < Back Next > Finish

```
module pll (
    inclk0,
    c0);

    input    inclk0;
    output   c0;

endmodule
```

MegaWizard Plug-In Manager [page 12 of 12]

ALTPLL [About](#) [Documentation](#)

1 Parameter Settings 2 PLL Reconfiguration 3 Output Clocks 4 EDA 5 Summary

Turn on the files you wish to generate. A gray checkmark indicates a file that is automatically generated, and a green checkmark indicates an optional file. Click Finish to generate the selected files. The state of each checkbox is maintained in subsequent MegaWizard Plug-In Manager sessions.

The MegaWizard Plug-In Manager creates the selected files in the following directory:
D:\dev\DigitalDesign\embed_mult\

File	Description
<input checked="" type="checkbox"/> pll.v	Variation file
<input checked="" type="checkbox"/> pll.ppf	PinPlanner ports PPF file
<input type="checkbox"/> pll.inc	AHDL Include file
<input type="checkbox"/> pll.cmp	VHDL component declaration file
<input type="checkbox"/> pll.bsf	Quartus Prime symbol file
<input type="checkbox"/> pll_inst.v	Instantiation template file
<input checked="" type="checkbox"/> pll_bb.v	Verilog HDL black-box file

Применение

Помимо увеличения частоты тактирования, наша схема может иметь разные clock-домены. Генерация разных частот тактирования с рациональным соотношением ($f_{\text{clk_in}}/f_{\text{clk_out}} = M/N$).

