**以太网硬件简介**

**相关术语：**

**MAC：**Media Access Control 的缩写，以太网媒体访问控制器。通常集成在ARM芯片中，功能类似于一个controller，以太网协议层数据传送给MAC，由MAC通过DMA发送到外部接口，外部接口连接着PHY。或者接收从PHY传过来的信号，DMA搬运到内存中>存储。

**PHY**：物理接口收发器，通常是一个独立芯片，有数字和模拟两部分，也可以集成在ARM芯片内部。负责把从MAC传送过来的数据转换成可以在网线上传输的信号，或者接收网线上传输过来的信号，转换成数字信号

回传给MAC。分为百兆PHY和千兆PHY。

**PHY配置**：自协商模式开启／关闭； 自协商关闭状态下，配置为强制full duplex, half duplex， 强制1000Mbps/100Mbps/10Mbps；WOL开启／关闭。

**一、以太网简介**

以太网(Ethernet)指的是由Xerox公司创建并由Xerox、Intel和DEC公司联合开发的基带局域网规范，是当今现有局域网采用的最通用的通信协议标准。以太网络使用CSMA/CD（载波监听多路访问及冲突检测）技术，并以10M/S的速率运行在多种类型的电缆上。以太网与IEEE802.3系列标准相类似，包括标准的以太网（10Mbit/s)、快速以太网（100Mbit/s）和10G（10Gbit/s）千兆以太网。它们都符合IEEE802.3。

IEEE802.3规定了包括物理层的连线、电信号和介质访问层协议的内容。描述物理层和数据链路层的MAC子层的实现方法，在多种物理媒体上以多种速率采用CSMA/CD访问方式，对于百兆以太网该

标准说明的实现方法有所扩展。

常见的802.3应用为：

10M: 10base-T 以太网（铜线UTP模式）

100M: 100base-TX 以太网（铜线UTP模式）

100base-FX以太网（光纤线）

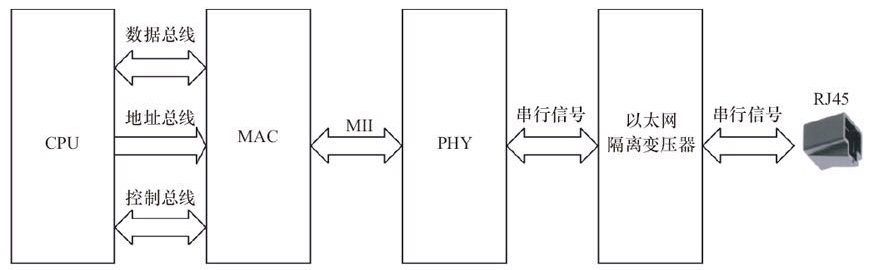
1000M: 1000base-T以太网（铜线UTP模式）

**二、以太网接口：**

以太网接口由MAC和PHY组成。以太网MAC由IEEE 802.3以太网标准定义，实现了数据链路层。常用的MAC支持10Mbit/s或100Mbit/s两种速率。吉比特以太网（也称为千兆位以太网）是快速以太网的下一代技术，将网速提高到1000Mbit/s。千兆位以太网以IEEE 802.3z和8802.3ab发布，作为IEEE 802.3标准的补充。

MAC和PHY之间采用MII（媒体独立接口）或RMII、RGMII接口连接，它是IEEE-802.3定义的以太网行业标准，包括1个数据接口与MAC和PHY之间的一个管理接口。数据接口包括分别用于发送和接收的两条独立信道，每条信道都有自己的数据、时钟和控制信号，MII数据借口总共需要16个信号。MII管理接口包括两个信号，一个是时钟信号，另外一个是数据信号。通过管理接口，上层能监视和控制PHY。

MAC和PHY之间的接口分为RMII接口（百兆），RGMII接口（千兆）。

 一个以太网接口的硬件电路原理如下图所示：

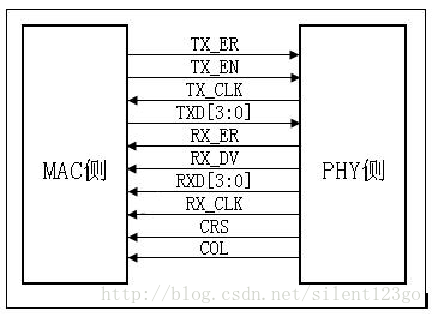
从CPU到最终接口依次为CPU、MAC、PHY、以太网隔离变压器、RJ45插座。以太网隔离变压器、RJ45插座。以太网隔离变压器是以太网收发芯片与连接器之间的磁性组件，在其两者之间起着信号传输、阻抗匹配、波形修复、信号杂波抑制和高电压隔离的作用。

许多处理器内部集成了MAC或同时集成了MAC和PHY，另有许多以太网控制芯片也集成了MAC和PHY。

**三、MII、RMII、SMII、SSMII、SSSMII、GMII、RGMII、SGMII接口介绍**

MII (Media Independent Interface(介质无关接口)或称为媒体独立接口，它是IEEE-802.3定义的以太网行业标准。它包括一个数据接口和一些MAC和PHY之间的管理接口。“媒体独立”表明在不对MAC硬件重新设计或替换的情况下，任何类型的PHY设备都可以正常工作。

**MII接口：**

 MII接口一共有16根线。

　　RXD(Receive Data)[3:0]：数据接收信号，共4根信号线；

　　TX\_ER(Transmit Error)：发送数据错误提示信号，同步于TX\_CLK，高电平有效，表示TX\_ER有效期内传输的数据无效。对于10Mbps速率下，TX\_ER不起作用；

　　RX\_ER(Receive Error)： 接收数据错误提示信号，同步于RX\_CLK，高电平有效，表示RX\_ER有效期内传输的数据无效。对于10Mbps速率下，RX\_ER不起作用；

　　TX\_EN(Transmit Enable)： 发送使能信号，只有在TX\_EN有效期内传的数据才有效；

　　RX\_DV(Reveive Data Valid)： 接收数据有效信号，作用类型于发送通道的TX\_EN；

　　TX\_CLK：发送参考时钟，100Mbps速率下，时钟频率为25MHz，10Mbps速率下，时钟频率为2.5MHz。注意，TX\_CLK时钟的方向是从PHY侧指向MAC侧的，因此此时钟是由PHY提供的。

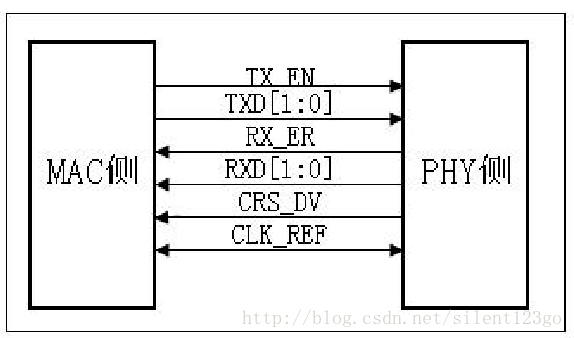
　　RX\_CLK：接收数据参考时钟，100Mbps速率下，时钟频率为25MHz，10Mbps速率下，时钟频率为2.5MHz。RX\_CLK也是由PHY侧提供的。

　　CRS：Carrier Sense，载波侦测信号，不需要同步于参考时钟，只要有数据传输，CRS就有效，另外，CRS只有PHY在半双工模式下有效；

　　COL：Collision Detectd，冲突检测信号，不需要同步于参考时钟，只有PHY在半双工模式下有效。

**RMII接口**

RMII即Reduced MII，是MII的简化板，连线数量由MII的16根减少为8根。

　　TXD[1:0]：数据发送信号线，数据位宽为2，是MII接口的一半；

　　RXD[1:0]：数据接收信号线，数据位宽为2，是MII接口的一半；

　　TX\_EN(Transmit Enable)：数据发送使能信号，与MII接口中的该信号线功能一样；

　　RX\_ER(Receive Error)：数据接收错误提示信号，与MII接口中的该信号线功能一样；

　　CLK\_REF：是由外部时钟源提供的50MHz参考时钟，与MII接口不同，MII接口中的接收时钟和发送时钟是分开的，而且都是由PHY芯片提供给MAC芯片的。这里需要注意的是，由于数据接收时>钟是由外部晶振提供而不是由载波信号提取的，所以在PHY层芯片内的数据接收部分需要设计一个FIFO，用来协调两个不同的时钟,在发送接收的数据时提供缓冲。PHY层芯片的发送部分则不需要

FIFO，它直接将接收到的数据发送到MAC就可以了。

　　CRS\_DV：此信号是由MII接口中的RX\_DV和CRS两个信号合并而成。当介质不空闲时，CRS\_DV和RE\_CLK相异步的方式给出。当CRS比RX\_DV早结束时(即载波消失而队列中还有数据要传输时)，就

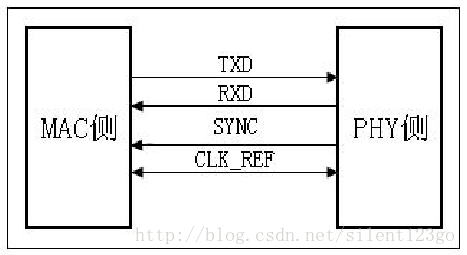
会出现CRS\_DV在半位元组的边界以25MHz/2.5MHz的频率在0、1之间的来回切换。因此，MAC能够从 CRS\_DV中精确的恢复出RX\_DV和CRS。

　　在100Mbps速率时，TX/RX每个时钟周期采样一个数据；在10Mbps速率时，TX/RX每隔10个周期采样一个数据，因而TX/RX数据需要在数据线上保留10个周期，相当于一个数据发送10次。

　　当PHY层芯片收到有效的载波信号后，CRS\_DV信号变为有效，此时如果FIFO中还没有数据，则它会发送出全0的数据给MAC，然后当FIFO中填入有效的数据帧，数据帧的开头是“101010—”交叉>的前导码，当数据中出现“01”的比特时，代表正式数据传输开始，MAC芯片检测到这一变化，从而开始接收数据。

　　当外部载波信号消失后，CRS\_DV会变为无效，但如果FIFO中还有数据要发送时，CRS\_DV在下一周期又会变为有效，然后再无效再有效，直到FIFO中数据发送完为止。在接收过程中如果出现>无效的载波信号或者无效的数据编码，则RX\_ER会变为有效，表示物理层芯片接收出错。

**SMII接口：**

SMII即Serial MII，串行MII的意思，跟RMII相比，连线进一步减少到4根。

　　TXD：发送数据信号，位宽为1；

　　RXD：接收数据信号，位宽为1；

　　SYNC：收发数据同步信号，每10个时钟周期置1次高电平，指示同步。

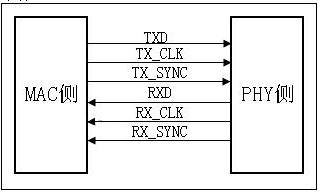
　　CLK\_REF：所有端口共用的一个参考时钟，频率为125MHz，为什么100Mbps速率要用125MHz时钟？因为在每8位数据中会插入2位控制信号，请看下面介绍。

　　TXD/RXD以10比特为一组，以SYNC为高电平来指示一组数据的开始，在SYNC变高后的10个时钟周期内，TXD上依次输出的数据是：TXD[7:0]、TX\_EN、TX\_ER，控制信号的含义与MII接口中的相

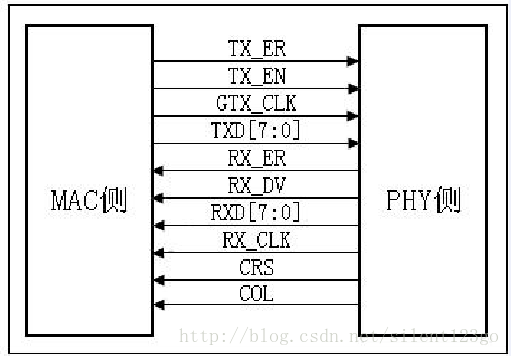
同；RXD上依次输出的数据是：RXD[7:0]、RX\_DV、CRS，RXD[7:0]的含义与RX\_DV有关，当RX\_DV为有效时(高电平)，RXD[7:0]上传输的是物理层接收的数据。当RX\_DV为无效时(低电平)，RXD[7:0]上传输的是物理层的状态信息数据。见下表：

 当速率为10Mbps时，每一组数据要重复10次，MAC/PHY芯片每10个周期采样一次。MAC/PHY芯片在接收到数据后会进行串/并转换。

**SSSMII接口：**

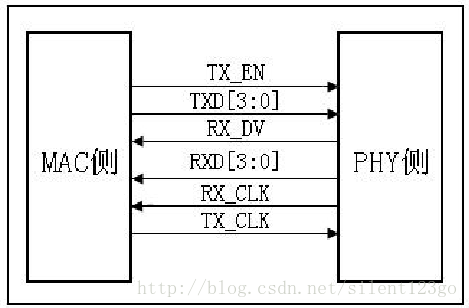
 SSSMII即Source Sync Serial MII，叫源同步串行MII接口，SSSMII与SSMII的区别在于参考时钟和同步时钟的方向，SSMII的TX/RX参考时钟和同步时钟都是由PHY芯片提供的，而SSSMII的TX参考时钟和同步时钟是由MAC芯片提供的，RX参考时钟和同步时钟是由PHY芯片提供的，所以顾名思义叫源同步串行。

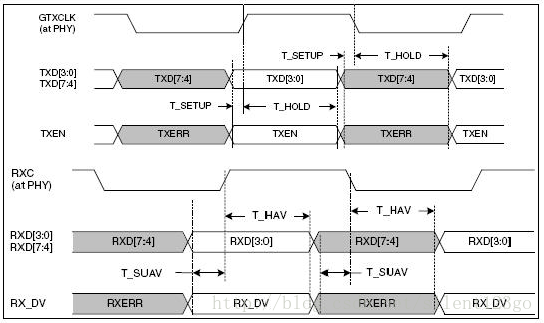
**GMII接口：**



与MII接口相比，GMII的数据宽度由4位变为8位，GMII接口中的控制信号如TX\_ER、TX\_EN、RX\_ER、RX\_DV、CRS和COL的作用同MII接口中的一样，发送参考时钟GTX\_CLK和接收参考时钟RX\_CLK的频率均为125MHz(1000Mbps/8=125MHz)。   
　　在这里有一点需要特别说明下，那就是发送参考时钟GTX\_CLK，它和MII接口中的TX\_CLK是不同的，MII接口中的TX\_CLK是由PHY芯片提供给MAC芯片的，而GMII接口中的GTX\_CLK是由MAC芯片提供给PHY芯片的。两者方向不一样。   
　　在实际应用中，绝大多数GMII接口都是兼容MII接口的，所以，一般的GMII接口都有两个发送参考时钟：TX\_CLK和GTX\_CLK(两者的方向是不一样的，前面已经说过了)，在用作MII模式时，使用TX\_CLK和8根数据线中的4根。

**RGMII接口：**

 RGMII即Reduced GMII，是RGMII的简化版本，将接口信号线数量从24根减少到14根(COL/CRS端口状态指示信号，这里没有画出)，时钟频率仍旧为125MHz，TX/RX数据宽度从8为变为4位，为了保持1000Mbps的传输速率不变，RGMII接口在时钟的上升沿和下降沿都采样数据。在参考时钟的上升沿发送GMII接口中的TXD[3:0]/RXD[3:0]，在参考时钟的下降沿发送GMII接口中的TXD[7:4]/RXD[7:4]。RGMI同时也兼容100Mbps和10Mbps两种速率，此时参考时钟速率分别为25MHz和2.5MHz。   
　　TX\_EN信号线上传送TX\_EN和TX\_ER两种信息，在TX\_CLK的上升沿发送TX\_EN，下降沿发送TX\_ER；同样的，RX\_DV信号线上也传送RX\_DV和RX\_ER两种信息，在RX\_CLK的上升沿发送RX\_DV，下降沿发送RX\_ER。



接线方式：

