



HOCHSCHULE OSNABRÜCK
UNIVERSITY OF APPLIED SCIENCES

Technische Grundlagen der Informatik

Zeitverhalten und Hazards

Prof. Dr.-Ing. Benjamin Weinert



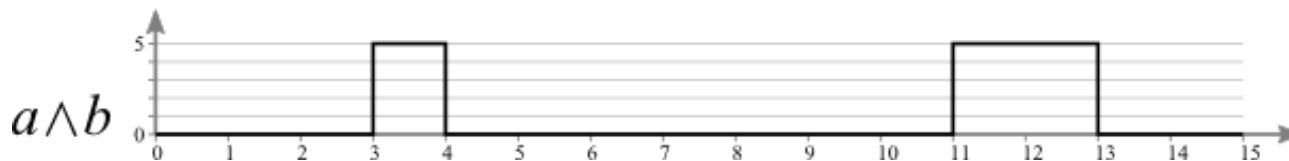
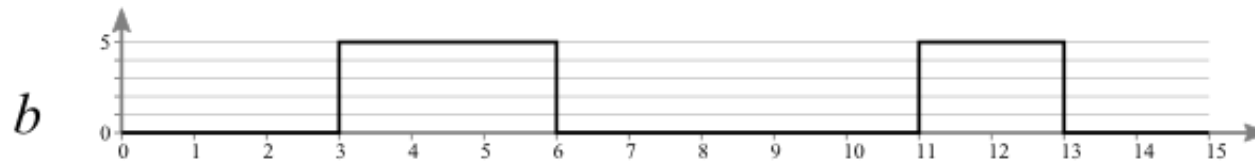
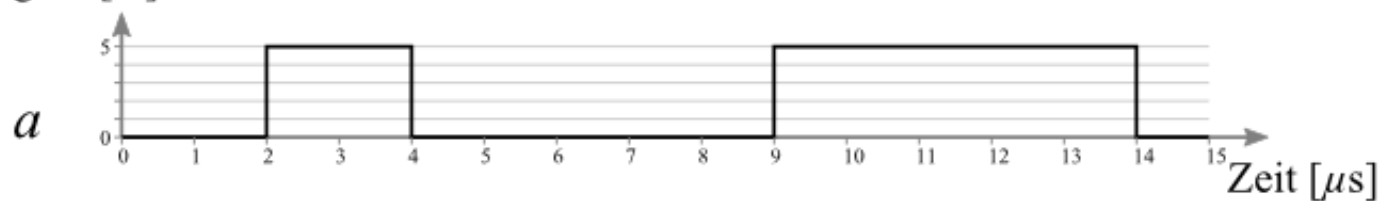
Gliederung

- Zeitverhalten von Schaltsystemen
- Gatterverzögerungen
- Hazards und Glitches
- Statische und dynamische Hazards
- Konstruktion Hazard-freier Schaltungen

Zeitverhalten von Schaltnetzen

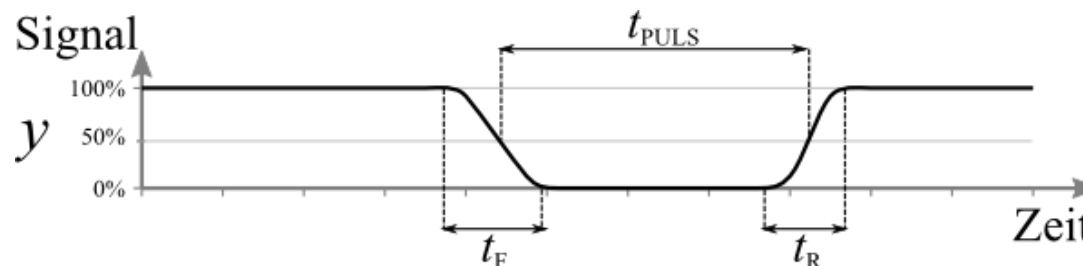
- Das Zeitverhalten von Schaltsystemen kann durch Signalverläufe analysiert werden
 - Darstellung der Signalwerte in einer Schaltung abhängig von der Zeit
 - Notwendig, um zeitliche Kausalitäten und Folgen von Ereignissen zu erkennen

Signal [V]



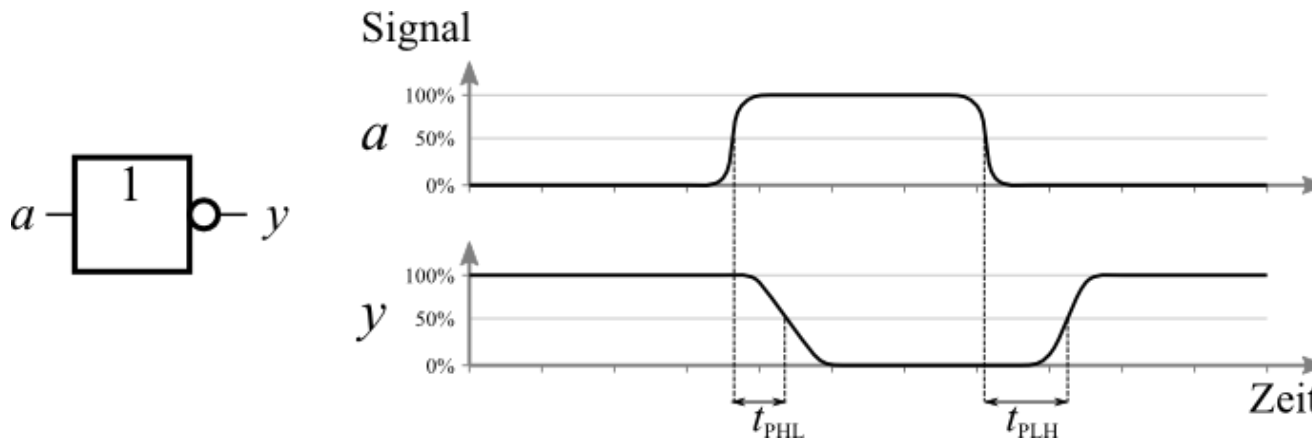
Logiksignale

- In der Realität sind Logiksignale keine echten Rechtecksignale
- Ein Gatter kann die Signalflanken verändern
 - typischerweise werden die Flanken mit jedem Gatterdurchgang "weicher"
- Abfallzeit t_F (engl. fall time):
 - Zeit, die ein Ausgang benötigt, um von HIGH nach LOW umzuschalten
- Anstiegszeit t_R (engl. rise time):
 - Zeit, die ein Ausgang benötigt, um von LOW nach HIGH umzuschalten
- Pulsbreite t_{PULS} (engl. puls width):
 - Zeit, die ein Ausgang auf LOW bzw. HIGH verbleibt

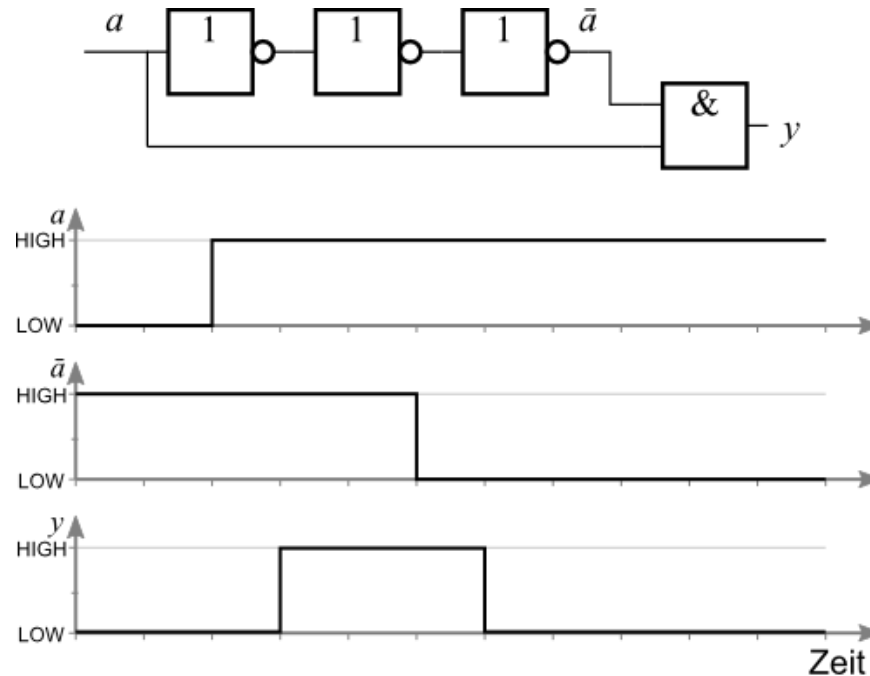


Gatterverzögerung („cell delay“)

- Eine Änderung am Gatter-Eingang bewirkt erst nach einer gewissen Verzögerung eine Änderung am Ausgang
 - Diese Zeit wird als Gatterverzögerung (engl. propagation delay) bezeichnet
- Die Gatterverzögerung bei einer fallenden Flanke t_{PHL} und bei einer steigenden Flanke t_{PLH} sind nicht immer gleich
- Typische Gatterverzögerungen haben eine Größenordnung von ca. 100 Piko- bis 100 Nanosekunden (je nach Schaltkreistechnologie)



Kurzzeitige Änderungen am Ausgang



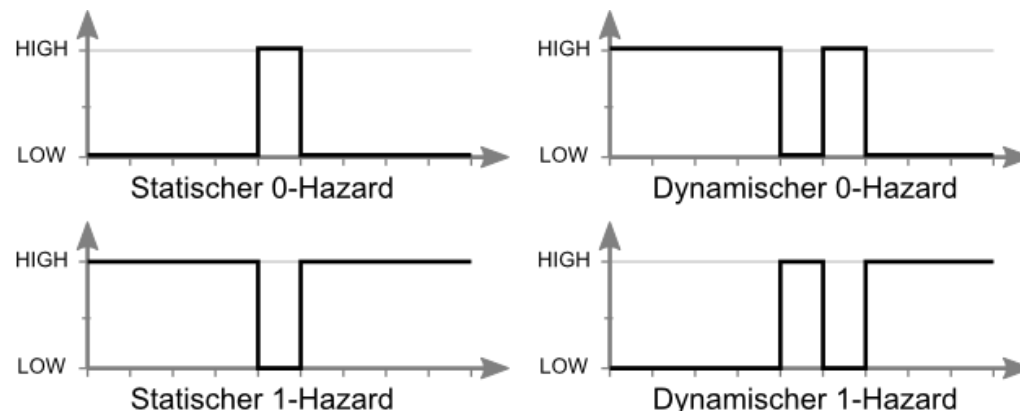
- Wenn folgendes Schaltsystem betrachtet wird, müsste der Ausgang des UND-Gatters gemäß boolescher Algebra eigentlich immer Null sein, da $a \wedge \bar{a} = 0$
- Durch die **Gatterverzögerung** der Inverter kommt es jedoch zu einem kurzzeitigen high-Impuls

Hazards und Glitches

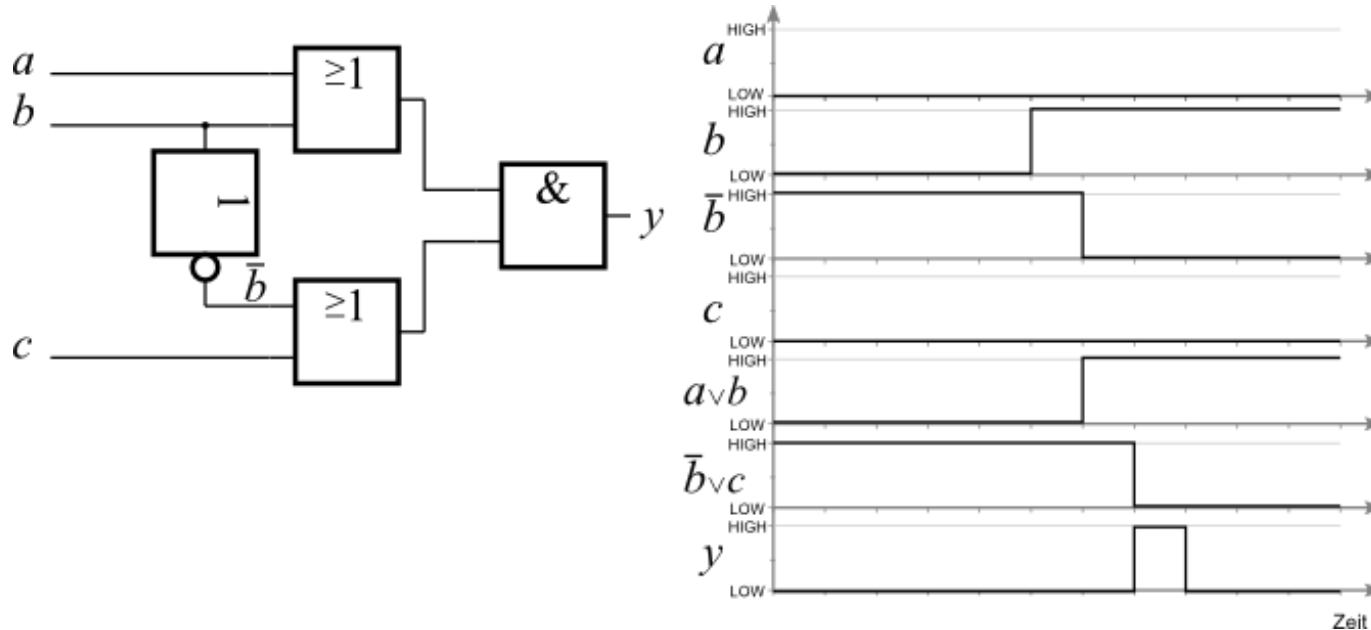
- Gatterverzögerungen („cell delays“) und Laufzeitverzögerungen („net delay“) können zu gravierenden Problemen in Logikschaltungen führen
- Ein **Glitch** ist eine nicht beabsichtigte Signaländerung am Ausgang eines **Logikgatters**
 - kann auftreten, wenn verschiedene Pfade durch ein Schaltsystem unterschiedliche Laufzeiten haben
- Ein **Hazard** ist eine Konfiguration, bei der ein Glitch auftreten kann (aber nicht muss)
- Glitches (bzw. Hazards) sind kritisch, wenn die Störimpulse ungewollte Auswirkungen in der nachfolgenden Logik erzeugen (bzw. erzeugen können)

Klassifikation von Hazards

- **Statischer Hazard**
 - ein Wechsel am Eingang kann einen **einmaligen** temporären Wechsel des Ausgangs zur Folge haben
- **Dynamischer Hazard**
 - ein Wechsel am Eingang kann einen **mehrfachen** Wechsel des Ausgangs zur Folge haben bis sich der Ausgang stabilisiert
- Außerdem unterscheiden wir
 - 0-Hazards, d.h. das Signal sollte eigentlich 0 sein
 - 1-Hazards, d.h. das Signal sollte eigentlich 1 sein



Beispiel statischer Hazard



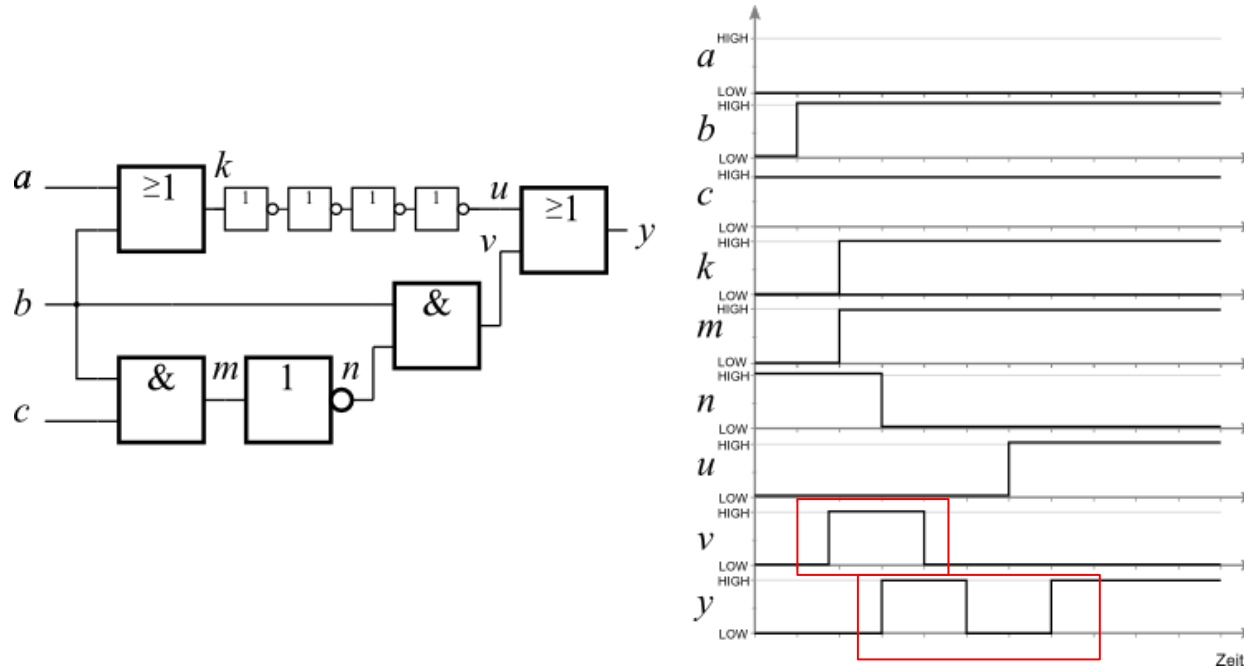
■ Nach Boole'scher Algebra gilt

■ $y = (a \vee b) \wedge (\neg b \vee c) = a\neg b \vee ac \vee b\neg b \vee bc = a\neg b \vee ac \vee bc$

■ Mit $a = 0$ und $c = 0$ folgt

■ $y = (0 \wedge \neg b) \vee (0 \wedge 0) \vee (b \wedge 0) = 0$

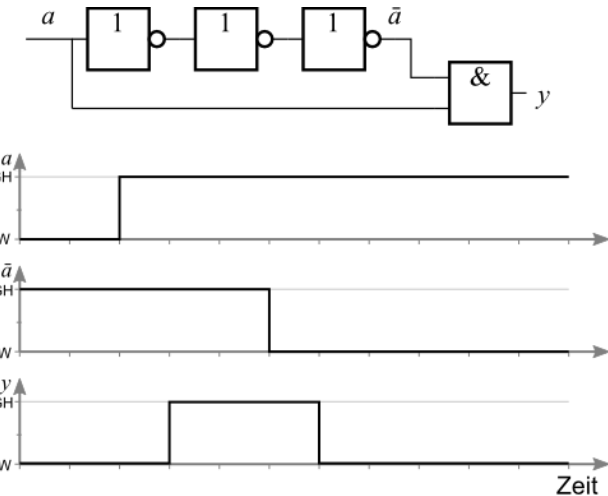
Beispiel dynamischer Hazard



- y weist einen dynamischen 1-Hazard auf
- Auslöser: statischer 0-Hazard auf v
 - Aus statischen Hazards können dynamische Hazards entstehen

Logik-Hazards & Funktions-Hazards

- Ein Schaltnetz enthält einen **Logik-Hazard**, falls der alleinige Signalwechsel einer einzigen Eingangsleitung zu einem Störimpuls führt. Für ein Logik-Hazard müssen **zwei** Bedingungen erfüllt sein:



- Vorliegen einer **Rekonvergenz**
 - Eine Rekonvergenz entsteht, wenn eine Signalleitung verzweigt und an späterer Stelle an den Eingängen eines Logikgatters wieder zusammengeführt wird.
 - **Laufzeitunterschiede** auf den Signalwegen
 - Das aufgespaltene Signal wird auf beiden Signalwegen unterschiedlich verzögert
-
- Ein Schaltnetz enthält einen **Funktions-Hazard**, falls der **gleichzeitige** Wechsel mehrerer Eingangssignale zu einem Störimpuls führt.
 - Funktions-Hazards können auch auftreten, wenn ein Schaltnetz frei von Logik-Hazards ist.

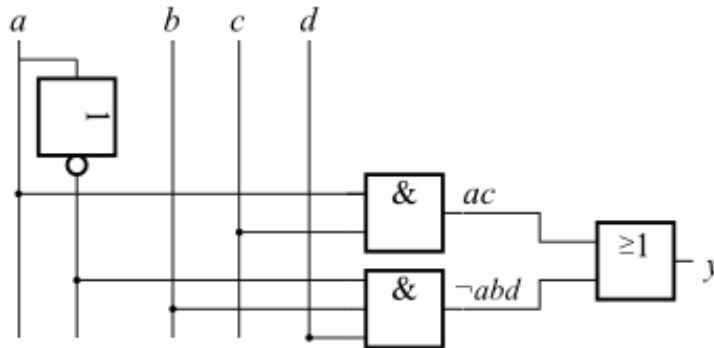
- Synchrones Design zur Vermeidung von Funktions-Hazards
 - Eine Möglichkeit, die Ausbreitung von Glitches zu vermeiden, ist zu warten bis alle Signale stabil sind
 - Dies kann durch ein Taktsignal erreicht werden, dass anzeigt, wann ein Wert übernommen werden soll
 - Dies führt zu einem synchronen Schaltungsdesign
- Zusätzliche Gatter
 - Durch zusätzliche Gatter kann eine Logik-Hazard-freie Schaltung realisiert werden
 - Ein KV-Diagramm kann helfen, Logik-Hazards zu entdecken

Konstruktion Hazard-freier Schaltungen

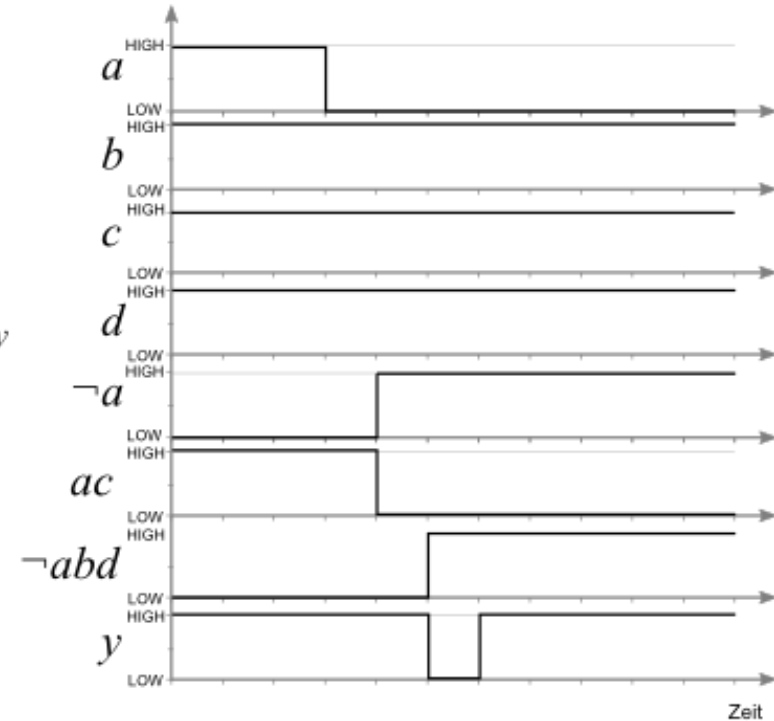


HOCHSCHULE OSNABRÜCK
UNIVERSITY OF APPLIED SCIENCES

$$y = ac \vee \neg abd$$



	$\neg a \neg b$	$\neg ab$	ab	$a \neg b$
$\neg c \neg d$	0	0	0	0
$\neg cd$	0	1	0	0
cd	0	1	1	1
$c \neg d$	0	0	1	1



■ Beobachtung:

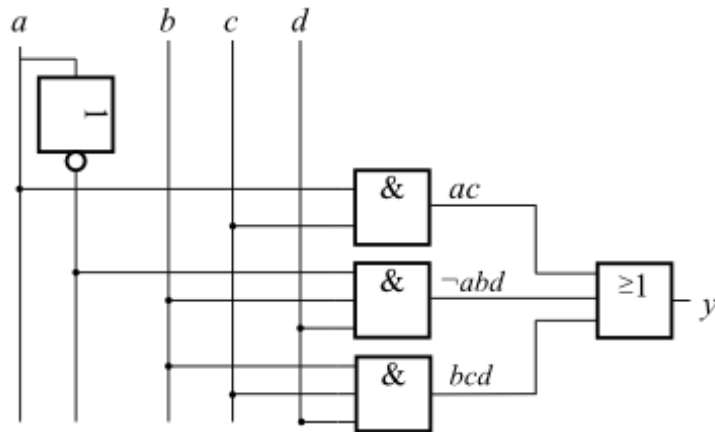
- Hazards entstehen, wenn Primterm-Blöcke nicht überlappen

Konstruktion Hazard-freier Schaltungen

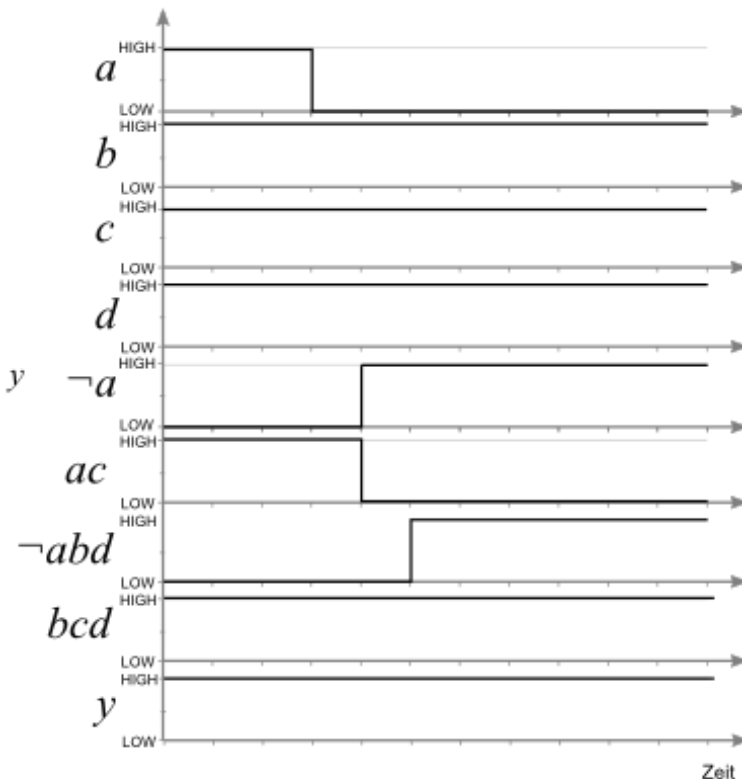


HOCHSCHULE OSNABRÜCK
UNIVERSITY OF APPLIED SCIENCES

$$y = ac \vee \neg abd \vee bcd$$



	$\neg a \neg b$	$\neg ab$	ab	$a \neg b$
$\neg c \neg d$	0	0	0	0
$\neg cd$	0	1	0	0
cd	0	1	1	1
$c \neg d$	0	0	1	1



■ Lösung

- Eine Schaltfunktion ist gegen Logik-Hazards abgesichert, falls alle Paare benachbarter Einsfelder im KV-Diagramm mindestens einem gemeinsamen Primblock angehören
- Dadurch: zusätzliches Gatter, das Überlappung der Blöcke gewährleistet