# 第四章复习题

###### 4.1、试比较主存、辅存、缓存、控存、虚存。

答：主存又称为内存，直接与CPU交换信息。

辅存可以作为主存的后备存储器，不直接与CPU交换信息，容量比主存大，速度比主存慢。

缓存是为了解决主存和CPU速度匹配、提高访存速度的一种存储器，它设在主存和CPU之间，速度比主存快，容量比主存小，存放CPU最近期要使用的信息。

控存是程序控制器中用来存放微指令的存储器，通常由ROM组成，速度应比主存更快。

虚存是为了解决扩大主存容量和地址分配问题，把主存和辅存统一成一个整体。

从整体上看，速度取决于主存，容量取决于辅存。实际上CPU仍然只与主存交换信息，由操作系统和硬件共同实现主存和辅存之间的信息的自动交换。

###### 4.2、试比较静态RAM和动态RAM

答：静态RAM和动态RAM都是随机存储器，即在程序的执行过程中既可以读出又可写入信息。

静态RAM靠触发器原理存储信息，只要电源不掉电，信息就不会丢失；

动态RAM靠电容存储电荷原理存储信息，即使电源不掉电，由于电容要放电，信息也会丢失，故需再生。

###### 4.3、名词解释：读时间、读周期、写时间、写周期。

答：读周期是存储器进行两次连续读操作的最小间隔时间；

读时间是从CPU给出地址信号到被选单元的内容读到数据线上的这段时间。读周期大于读时间。

写周期是存储器进行两次连续写操作的最小间隔时间；

写时间是从CPU给出地址信号后，将数据线上的信息写入被选单元中所需要的时间。写周期大于写时间。

###### 4.4、名词解释：存取周期、存取时间、存储容量

答：存取周期是存储器进行两次连续、独立的操作（读或者写）之间所需的最小时间间隔时间。

存取时间又分为读时间和写时间。读时间是从CPU给出地址信号到被选单元的内容读到数据线上的这段时间，写时间是从CPU给出地址信号后，将数据线上的信息写入被选单元中所需要的时间。

存储容量是存储器存放二进制代码的总数量。

###### 4.5、简述主存的读/写过程。

答：主存储器的读出过程是：CPU先给出地址信息，然后给出片选（通常受CPU访存信号控制）信号和读命令，这样就可将被选中的存储单元内的各位信息读至存储芯片的数据线上。

主存储器的写入过程是：CPU先给出地址信息，然后给出片选（通常受CPU访存信号控制）信号和写命令，并将欲写入的信息送至存储器的数据线上，这样，信息便可写入到被选中的存储单元中。

**4.6、磁盘组有6片磁盘，每片有两个记录面（最上、下两个面不可用），存储区域内直径为22cm，外直径为33cm，道密度为4道/毫米，内层位密度为40位/毫米，转速为2400转/分。**问：

（1）共有多少存储面可用？

（2）共有多少柱面？

（3）盘组总存储容量是多少？

（4）数据传输率是多少？

答：（1）共有10个存储面可用。最上、下两个面不可用。

（2）有效存储区域为（33-22）/2=5.5cm=55mm

55\*4=220道，即220个圆柱面。

（3）内层磁道周长=3.14\*22=69.08cm=690.8mm

每道信息量=690.8\*40=27632位

每面信息量=27632\*220=6079040位

盘组总容量=6079040\*10=60790400位

（4）转速=2400转/分=40转/秒

磁盘数据传输率=C=27632\*40=1105280bps

**4.7、某磁盘存储转速为3000转/分，共有4个记录盘面，道密度为5道/毫米，每道记录信息12288B，最小磁道直径为230毫米，共有275道。**求：

（1）磁盘存储器的存储容量。

（2）最高位密度（最小磁道的位密度）和最低位密度。

（3）磁盘数据传输率

（4）平均等待时间。

答：（1）每道记录信息容量=12288B

每个记录面信息容量=12288\*275=3379200B

4个记录面信息容量=3379200\*4=13516800B

（2）最高位密度D1按最小磁道半径R1=115毫米计算：

D1=12288/（3.14\*230）=17Bpmm

最低位密度D2按最大磁道半径R计算：

R2=R1+(275/5)=115+55=170mm

D2=12288B/(3.14\*170)=11.5Bpmm

（3）磁盘数据传输率C=Nr

N为每道信息容量=12288B

r=3000转/分=50转/秒

C=12288\*50=614400Bps

**4.8、使用4K\*8的RAM芯片组成一个容量为8K\*16位的存储器。画出结构框图，并标明图中信号线的种类、方向和条数。**

答： 如图所示：



**4.9. 某8位微型机地址码为18位，若使用4K\*4位的RAM芯片组成模块板结构的存储器**，试问：

（1）该机所允许的最大主存空间是多少？

（2）若每个模块板为32K×8位，共需几个模块板？

（3）每个模块板内共有几片RAM芯片？

（4）共有多少片RAM？

（5）CPU如何选择各模块板？

解：（1）该机所允许的最大主存空间是：218 **\*** 8位 = 256K**\***8位 = 256KB

（2）模块板总数 = 256K**\***8 / 32K**\***8 = 8块

（3）板内片数 = 32K**\***8位 / 4K**\***4位 = 8**\***2 = 16片

（4）总片数 = 16片**\***8 = 128片

（5）CPU通过最高3位地址译码输出选择模板，次高3位地址译码输出选择芯片。地址格式分配如下：

|  |  |  |
| --- | --- | --- |
| 模板号(3位) | 芯片号（3位） | 片内地址（12位） |

**4.10、设CPU有16根地址线，8根数据线，并用作为访存控制信号（低电平有效）。用作为读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K\*4位RAM，4K\*8位RAM，2K\*8位ROM以及74LS38译码器和各种门电路。画出CPU与存储芯片的连接图。**要求：

（1）主存地址空间分配：8000H~87FFH为系统程序区；8800H~8BFFH为用户程序区。（地址空间连续，译码片选）（000第一片，001第二片，010第三片）

（2）合理选用上述存储芯片，说明各选几片。（只需要位拓展）

（3）详细画出存储芯片的片选逻辑。

答：根据主存地址空间分配，选用所用芯片类型及数量。即：

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | 芯片类型及数量 | |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  | 2K\*8位ROM 1片 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  | 1K\*4位RAM 2片 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

CPU与存储芯片的连接如下图所示：



**4.11、设CPU有16根地址线，8根数据线，并用作为访存控制信号（低电平有效）。用作为读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K\*4位RAM，4K\*8位RAM，2K\*8位ROM以及74LS38译码器和各种门电路。画出CPU与存储芯片的连接图。**要求：

（1）主存地址空间分配：A000H~A7FFH为系统程序区；A800H~AFFFH为用户程序区。（地址空间连续，译码片选，00 01 10 11）

（2）合理选用上述存储芯片，说明各选几片，并写出每片存储芯片的二进制地址范围。

（3）详细画出存储芯片的片选逻辑。

答：根据主存地址空间分配，对应A000H~A7FFH系统程序区，选用一片2K\*8位ROM芯片；对应A800H~AFFFH用户程序区，选用4片1K\*4位RAM芯片。每片存储芯片的地址范围如下：(先位再字)

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | 芯片类型及数量 | |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  | 2K\*8位ROM 1片 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  | 1K\*4位RAM 2片 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  | 1K\*4位RAM 2片 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

CPU与存储芯片的连接如下图所示：



**4.12、设CPU有16根地址线，8根数据线，并用作为访存控制信号（低电平有效）。用作为读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K\*4位RAM，4K\*8位RAM，2K\*8位ROM以及74LS38译码器和各种门电路。画出CPU与存储芯片的连接图。**要求：

（1）主存地址空间分配：最小2K地址空间为系统程序区；相邻2K地址空间为用户程序区。（地址空间连续，译码片选）

（2）合理选用上述存储芯片，说明各选几片。

（3）详细画出存储芯片的片选逻辑。

答：根据主存地址空间分配，最小2K地址为系统程序区，选用1片2K\*8位ROM芯片；相邻2K为用户程序区，选用4片1K\*4位RAM芯片。每片存储芯片的地址范围如下：

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | 芯片类型及数量 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  | 2K\*8位ROM 1片 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  | 1K\*4位RAM 4片 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

CPU与存储芯片的连接如下图所示：



**4.13、设CPU有16根地址线，8根数据线，并用作为访存控制信号（低电平有效）。用作为读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K\*4位RAM，4K\*8位RAM，2K\*8位ROM以及74LS38译码器和各种门电路。画出CPU与存储芯片的连接图。**要求：

（1）主存地址空间分配：最大2K地址空间为系统程序区；相邻2K地址空间为用户程序区。（高位全置1，11 10 01 00倒序排）

（2）合理选用上述存储芯片，说明各选几片。

（3）详细画出存储芯片的片选逻辑。

答：根据主存地址空间分配，最大2K地址为系统程序区，选用1片2K\*8位ROM芯片；相邻2K为用户程序区，选用4片1K\*4位RAM芯片。每片存储芯片的地址范围如下：

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | 芯片类型及数量 | |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  | 2K\*8位ROM 1片 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  | 1K\*4位RAM 4片 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

CPU与存储芯片的连接如下图所示：



**4.14、设CPU有16根地址线，8根数据线，并用作为访存控制信号（低电平有效）。用作为读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：2K\*8位RAM，8K\*8位RAM，32K\*8位RAM，1K\*4位ROM，2K\*8位ROM，8K\*8位ROM，16K\*1位ROM，4K\*4位ROM以及74LS38译码器和各种门电路。画出CPU与存储芯片的连接图。**要求：

（1）存储器芯片地址空间分配：0~2047为系统程序区；2048~8091地址空间为用户程序区。（地址空间连续，译码片选）

（2）指出选用的存储芯片类型及数量。

（3）详细画出存储芯片的片选逻辑。

答：根据主存地址空间分配，对应0~2047为系统程序区，选用1片2K\*8位ROM芯片；对应2048~8191为用户程序区，选用3片2K\*8位RAM芯片。每片存储芯片的地址范围如下：

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | 芯片类型及数量 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  | 2K\*8位ROM 1片 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  | 2K\*8位RAM 3片 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1？ | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

CPU与存储芯片的连接如下图所示：



**4.15、设CPU有16根地址线，8根数据线，并用作为访存控制信号（低电平有效）。用作为读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：2K\*8位RAM，8K\*8位RAM，32K\*8位RAM，1K\*4位ROM，2K\*8位ROM，8K\*8位ROM，16K\*1位ROM，4K\*4位ROM以及74LS38译码器和各种门电路。画出CPU与存储芯片的连接图。**要求：

（1）存储器芯片地址空间分配：0~8191为系统程序区；8192~32767地址空间为用户程序区。（地址空间连续，译码片选）

（2）指出选用的存储芯片类型及数量。

（3）详细画出存储芯片的片选逻辑。

答：根据主存地址空间分配，对应0~8191为系统程序区，选用1片8K\*8位ROM芯片；对应8192~32767为用户程序区，选用3片8K\*8位RAM芯片。每片存储芯片的地址范围如下：

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | 芯片类型及数量 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  | 8K\*8位ROM 1片 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  | 8K\*8位RAM 3片 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

CPU与存储芯片的连接如下图所示：



**4.16、设CPU有16根地址线，8根数据线，并用作为访存控制信号（低电平有效）。用作为读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：2K\*8位RAM，8K\*8位RAM，32K\*8位RAM，1K\*4位ROM，2K\*8位ROM，8K\*8位ROM，16K\*1位ROM，4K\*4位ROM以及74LS38译码器和各种门电路。画出CPU与存储芯片的连接图。**要求：

（1）存储器芯片地址空间分配：最大4K地址空间为系统程序区；相邻的4K地址空间为系统程序工作区，最小16K地址空间为用户程序区。

（2）指出选用的存储芯片类型及数量。

（3）详细画出存储芯片的片选逻辑。

答：根据主存地址空间分配，最大4K地址空间为系统程序区，选用2片2K\*8位ROM芯片；相邻4K地址空间为系统程序工作区，选用2片4K\*4位RAM芯片；最小16K地址空间为用户程序区，选用2片8K\*8位RAM芯片。每片存储芯片的地址范围如下

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | 芯片类型及数量 | |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  | 2K\*8位ROM 2片 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  | 4K\*4位RAM 2片 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  | 8K\*8位RAM 2片 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

CPU与存储芯片的连接如下图所示：



**4.17、某微机系统的寻址范围是64K，接有8片8K的存储芯片，存储芯片的片选信号为，**要求：

（1）画出片选逻辑电路（可选用74LS38译码器）

（2）写出每片RAM的地址范围。

（3）如果运行时发现不论哪片RAM存放8K数据，以A000H为起始地址的存储芯片都有与之相同的数据，分析故障原因。

答：（1）8片8K存储芯片的片选逻辑电路如图所示。（i=0~7）分别为每片RAM的片选信号。



（2） 8片RAM的寻址范围分别是：0000H~1FFFH；2000H~3FFFH；4000H~5FFFH；6000H~7FFFH；8000H~9FFFH；A000H~BFFFH；C000H~DFFFH；E000H~FFFFH 。

（3）说明74LS138译码器有误，输出始终为低。因该输出接至第6片RAM的/CS端，该片对应的地址范围是A000H~BFFFH，故不论往哪片RAM存放8K数据，该片存储芯片始终被选中，所以都有与之相同的数据。

（4）若出现A13搭接到高电平上的故障，则使、、、均输出，故第1、3、5、7片始终不被选中。

**4.18、某微机系统的寻址范围是64K，接有8片8K的存储芯片，存储芯片的片选信号为，**要求：

（1）画出片选逻辑电路（可选用74LS38译码器）

（2）写出每片RAM的地址范围。

（3）如果运行时发现不论哪片RAM存放8K数据，以4000H为起始地址的存储芯片都有与之相同的数据，分析故障原因。

答：（1）8片8K存储芯片的片选逻辑电路如图所示。（i=0~7）分别为每片RAM的片选信号。



（2） 8片RAM的寻址范围分别是：0000H~1FFFH；2000H~3FFFH；4000H~5FFFH；6000H~7FFFH；8000H~9FFFH；A000H~BFFFH；C000H~DFFFH；E000H~FFFFH 。

（3）说明74LS138译码器有误，输出始终为低。因该输出接至第3片RAM的端，该片对应的地址范围是4000H~5FFFH，故不论往哪片RAM存放8K数据，该片存储芯片始终被选中，所以都有与之相同的数据。

（4）若出现A13搭接到高电平上的故障，则使、、、均输出，故第2、4、6、8片始终不被选中。

**4.19、某微机系统的寻址范围是64K，接有8片8K的存储芯片，存储芯片的片选信号为，**要求：

（1）画出片选逻辑电路（可选用74LS38译码器）

（2）写出每片RAM的地址范围。

（3）如果运行时发现只有0000H为起始地址的一片存储芯片不能读/写，分析故障原因。

答：（1）8片8K存储芯片的片选逻辑电路如图所示。（i=0~7）分别为每片RAM的片选信号。



（2） 8片RAM的寻址范围分别是：0000H~1FFFH；2000H~3FFFH；4000H~5FFFH；6000H~7FFFH；8000H~9FFFH；A000H~BFFFH；C000H~DFFFH；E000H~FFFFH 。

（3）说明74LS138译码器有误，输出始终为高。因RAM的片选信号是低电平有效，故用作为片选信号的存储芯片（对应0000H~3FFFH地址范围）不能读/写器的C端始终为低，可检查一下A15是否搭接到低电平上。

**4.20、设某计算机采用直接映射缓存，已知主存容量为4MB，缓存容量为4096B，字块长度为8个字（32位/字）。**

（1）画出反映主存与缓存隐射关系的主存地址各字段分配框图，并说明每个字段的名称和位数。

（2）设缓存初态为空，若CPU依次从主存第0、1、2……99号单元读出100个字（主存一次读出一个字），并重复按此次序读10次，问命中率为多少？

（3）如果缓存的存取时间是50ns，主存的存取时间是500ns根据（2）求出的命中率，求平均存取时间。

答：（1）根据字块长度为8，字长为32位，可求出主存字块内地址为5位。根据缓存容量为4096B=212B，字块大小为25B，故缓存字块地址为7位。根据主存容量为4MB，则主存地址为22位，去掉字块内地址5位和缓存字块地址7位，故主存字块标记为10位。如果所示：

|  |  |  |
| --- | --- | --- |
| 主存字块标记 | Cache字块标记 | 字块内地址 |
| 10位 | 7位 | 5位 |

（2）由于缓存初态为空，且块长为8，因此CPU第一次读100个字时，共有13次未被命中（即读第0、8、16……96号单元时没有命中），以后9次重复读这100个字时均命中，故命中率为：[(100\*10-13)/100\*10]\*100%=98.7%

（3）平均访问时间=0.987\*50ns+（1-0.987）\*500ns=55.895ns

（4）缓存—主存系统的效率为：

（50ns/55.85ns）\*100%=89.5%

**4.21. 假设CPU执行某段程序时共访问Cache命中4800次，访问主存200次，已知Cache的存取周期为30ns，主存的存取周期为150ns，求Cache的命中率以及Cache-主存系统的平均访问时间和效率，**试问该系统的性能提高了多少倍？

解：Cache被访问命中率为：4800/(4800+200)=24/25=96%

则Cache-主存系统的平均访问时间为：

ta=0.96\*30ns+(1-0.96)\*150ns=34.8ns

Cache-主存系统的访问效率为：e=tc/ta\*100%=30/34.8\*100%=86.2%

性能为原来的150ns/34.8ns=4.31倍，即提高了3.31倍。

**4.22、一个1K\*4位的动态RAM芯片，若其内部结构排列成64\*64形式，且存取周期为0.1us。**

（1）若采用分散刷新和集中刷新相结合的方式，刷新信号周期应该取多少？

（2）若采用集中刷新，则对该存储芯片刷新一遍需要多少时间？死时间率是多少?

答：（1）采用分散刷新和集中刷新想结合的方式，对排列成64\*64的存储芯片，需要在2ms内将64行各刷新一遍，则刷新信号的时间间隔为2ms/64=31.25us，即每隔31.25us要刷新一行，故刷新周期取31us。但对每一行而言，刷新间隔仍为2ms。

（2）采用集中刷新，对64\*64的芯片，需在2ms内集中64个存取周期刷新64行。根据题中给出的存取周期为0.1us，即在2ms内集中6.4us刷新，则死时间率为：

（64/20000）\*100%=0.32%。

**4.23、 一个8K×8位的动态RAM芯片，其内部结构排列成256×256形式，存取周期为0.1μs。试问采用集中刷新、分散刷新和异步刷新三种方式的刷新间隔各为多少？**

答：采用分散刷新方式刷新间隔为:2ms，其中刷新死时间为：256×0.1μs=25.6μs

采用分散刷新方式刷新间隔为：256×（0.1μs+×0.1μs）=51.2μs

采用异步刷新方式刷新间隔为:2ms

**4.24、已经接收到下列汉明码，分别写出它们所对应的欲传送代码。**

（1）1100000（按偶性配置）

（2）1100010（按偶性配置）

（3）1101001（按偶性配置）

（4）0011001（按奇性配置）

（5）1000000（按奇性配置）

（6）1110001（按奇性配置）

答：（一）假设接收到的汉明码为C1C2B4C3B3B2B1，按偶性配置则：

P1= C1⊕B4⊕B3⊕B1

P2= C2⊕B4⊕B2⊕B1

P4= C4⊕B3⊕B2⊕B1

（1）如接收到的汉明码为1100000，

P1=1⊕0⊕0⊕0=1

P2=1⊕0⊕0⊕0=1

P4=0⊕0⊕0⊕0=0

P3P2P1=011，第3位出错，可纠正为1110000，故欲传送的信息为1000。

（2）如接收到的汉明码为1100010，

P1=1⊕0⊕0⊕0=1

P2=1⊕0⊕1⊕0=0

P4=0⊕0⊕1⊕0=1

P4P2P1=101，第5位出错，可纠正为1100110，故欲传送的信息为0110。

（3）如接收到的汉明码为1101001，

P1=1⊕0⊕0⊕1=0

P2=1⊕0⊕0⊕1=0

P4=1⊕0⊕0⊕1=0

P4P2P1=000，传送无错，故欲传送的信息为0001。

（二）假设接收到的汉明码为C1C2B4C3B3B2B1，按奇性配置则：

P1= C1⊕B4⊕B3⊕B1⊕1

P2= C2⊕B4⊕B2⊕B1⊕1

P4= C4⊕B3⊕B2⊕B1⊕1

（4）如接收到的汉明码为0011001，

P1=0⊕1⊕0⊕1⊕1=1

P2=0⊕1⊕0⊕1⊕1=1

P4=1⊕0⊕0⊕1⊕1=1

P4P2P1=111，第7位出错，可纠正为0011000，故欲传送的信息为1000。

（5）如接收到的汉明码为1000000，

P1=1⊕0⊕0⊕0⊕1=0

P2=0⊕0⊕0⊕0⊕1=1

P4=0⊕0⊕0⊕0⊕1=1

P4P2P1=110，第6位出错，可纠正为1000010，故欲传送的信息为0010。

（6）如接收到的汉明码为1110001，

P1=1⊕1⊕0⊕1⊕1=0

P2=1⊕1⊕0⊕1⊕1=0

P4=0⊕0⊕0⊕1⊕1=0

P4P2P1=000，传送无错，故欲传送的信息为1001。

**4.25. 按照配偶原则配置1100、1101、1110、1111对应的汉明码。**

答：有效信息均为n=4位，假设有效信息用b4b3b2b1表示

校验位位数k=3位，（2k>=n+k+1）

设校验位分别为c1、c2、c3，则汉明码共4+3=7位，即：c1c2 b4c3 b3b2 b1

校验位在汉明码中分别处于第1、2、4位，按照配偶原则

c1=b4⊕b3⊕b1

c2=b4⊕b2⊕b1

c3=b3⊕b2⊕b1

当有效信息为1100时，c3c2c1=110,汉明码为0111100。

当有效信息为1101时，c3c2c1=001,汉明码为1010101。

当有效信息为1110时，c3c2c1=000,汉明码为0010110。

当有效信息为1111时，c3c2c1=111,汉明码为1111111。

**4.26. 按照配奇原则配置1100、1101、1110、1111对应的汉明码。**

解：有效信息均为n=4位，假设有效信息用b4b3b2b1表示

校验位位数k=3位，（2k>=n+k+1）

设校验位分别为c1、c2、c3，则汉明码共4+3=7位，即：c1c2 b4c3 b3b2 b1

校验位在汉明码中分别处于第1、2、4位。按照配奇原则

c1=（b4⊕b3⊕b1）⊕1

c2=（b4⊕b2⊕b1）⊕1

c3=（b3⊕b2⊕b1）⊕1

当有效信息为1100时，c3c2c1=110,汉明码为1010100。

当有效信息为1101时，c3c2c1=001,汉明码为0111101。

当有效信息为1110时，c3c2c1=000,汉明码为1111110。

当有效信息为1111时，c3c2c1=111,汉明码为0010111。

**4.27. 设主存容量为256K字，Cache容量为2K字，块长为4。**

（1）设计Cache地址格式，Cache中可装入多少块数据？

（2）在直接映射方式下，设计主存地址格式。

（3）在四路组相联映射方式下，设计主存地址格式。

（4）在全相联映射方式下，设计主存地址格式。

（5）若存储字长为32位，存储器按字节寻址，写出上述三种映射方式下主存的地址格式。

解：（1）Cache容量为2K字，块长为4，Cache共有2K/4=211/22=29=512块，

Cache字地址9位，字块内地址为2位

因此，Cache地址格式设计如下：

|  |  |
| --- | --- |
| Cache字块地址（9位） | 字块内地址（2位） |

（2）主存容量为256K字=218字，主存地址共18位，共分256K/4=216块，

主存字块标记为18-9-2=7位。

直接映射方式下主存地址格式如下：

|  |  |  |
| --- | --- | --- |
| 主存字块标记（7位） | Cache字块地址（9位） | 字块内地址（2位） |

（3）根据四路组相联的条件，一组内共有4块，得Cache共分为512/4=128=27组，

主存字块标记为18-7-2=9位，主存地址格式设计如下：

|  |  |  |
| --- | --- | --- |
| 主存字块标记（9位） | 组地址（7位） | 字块内地址（2位） |

（4）在全相联映射方式下，主存字块标记为18-2=16位，其地址格式如下：

|  |  |
| --- | --- |
| 主存字块标记（16位） | 字块内地址（2位） |

（5）若存储字长为32位，存储器按字节寻址，则主存容量为256K\*32/4=221B，

Cache容量为2K\*32/4=214B，块长为4\*32/8=16B=24B，字块内地址为4位，

在直接映射方式下，主存字块标记为21-9-5=7位，主存地址格式为：

|  |  |  |
| --- | --- | --- |
| 主存字块标记（7位） | Cache字块地址（9位） | 字块内地址（4位） |

在四路组相联映射方式下，主存字块标记为21-7-5=9位，主存地址格式为：

|  |  |  |
| --- | --- | --- |
| 主存字块标记（9位） | 组地址（7位） | 字块内地址（4位） |

在全相联映射方式下，主存字块标记为21-5=16位，主存地址格式为：

|  |  |
| --- | --- |
| 主存字块标记（16位） | 字块内地址（4位） |

**4.28. 设主存容量为1MB，采用直接映射方式的Cache容量为16KB，块长为4，每字32位。试问主存地址为ABCDEH的存储单元在Cache中的什么位置？**

解：主存和Cache按字节编址，

Cache容量16KB=214B，地址共格式为14位，分为16KB/(4\*32/8B)=210块，每块4\*32/8=16B=24B，Cache地址格式为：

|  |  |
| --- | --- |
| Cache字块地址（10位） | 字块内地址（4位） |

主存容量1MB=220B，地址共格式为20位，分为1MB/(4\*32/8B)=216块，每块24B，采用直接映射方式，主存字块标记为20-14=6位，主存地址格式为：

|  |  |  |
| --- | --- | --- |
| 主存字块标记（6位） | Cache字块地址（10位） | 字块内地址（4位） |

主存地址为ABCDEH=1010 1011 1100 1101 1110B，主存字块标记为101010，Cache字块地址为11 1100 1101，字块内地址为1110，故该主存单元应映射到Cache的101010块的第1110字节，即第42块第14字节位置。或者在Cache的第11 1100 1101 1110=3CDEH字节位置。