

Maciej Byczko Bartosz Matysiak	Prowadzący: dr inż. Jacek Mazurkiewicz	Numer ćwiczenia 5
PN 10:50 TP	Temat ćwiczenia: Układy Kombinacyjne i Sekwencyjne w VHDL-u	Ocena:
Grupa: B	Data wykonania: 6 Grudnia 2021r.	

## Spis treści

<b>1</b>	<b>Zadanie 1</b>	<b>3</b>
1.1	Polecenie . . . . .	3
1.2	Rozwiązanie . . . . .	3
1.2.1	Tabela prawdy . . . . .	3
1.2.2	Siatka Karnaugh . . . . .	4
1.2.3	Schemat układu . . . . .	4
1.2.4	Kod VHDL . . . . .	4
1.2.5	Symulacja . . . . .	4
1.3	Fizyczna implementacja . . . . .	4
1.3.1	Kod UCF . . . . .	4
<b>2</b>	<b>Zadanie 2</b>	<b>4</b>
2.1	Polecenie . . . . .	4
2.2	Rozwiązanie . . . . .	5
2.2.1	Schemat stanów . . . . .	5
2.2.2	Tabela prawdy . . . . .	5
2.2.3	Siatki Karnaugh . . . . .	5
2.2.4	Schemat układu . . . . .	5
2.2.5	Kod VHDL . . . . .	5
2.2.6	Symulacja . . . . .	5
2.3	Fizyczna implementacja . . . . .	5
2.3.1	Kod UCF . . . . .	5
<b>3</b>	<b>Zadanie 3</b>	<b>5</b>
3.1	Polecenie . . . . .	5
3.2	Rozwiązanie . . . . .	5
3.2.1	Schemat stanów . . . . .	5
3.2.2	Tabela prawdy . . . . .	5
3.2.3	Siatki Karnaugh . . . . .	5
3.2.4	Schemat układu . . . . .	5
3.2.5	Kod VHDL . . . . .	5
3.2.6	Symulacja . . . . .	5
3.3	Fizyczna implementacja . . . . .	5
3.3.1	Kod UCF . . . . .	5
<b>4</b>	<b>Zadanie 4</b>	<b>5</b>
4.1	Polecenie . . . . .	5
4.2	Rozwiązanie . . . . .	6
4.2.1	Schemat stanów . . . . .	6
4.2.2	Tabela prawdy . . . . .	6
4.2.3	Siatki Karnaugh . . . . .	6

4.2.4	Schemat układu . . . . .	6
4.2.5	Kod VHDL . . . . .	6
4.2.6	Symulacja . . . . .	6
4.3	Fizyczna implementacja . . . . .	6
4.3.1	Kod UCF . . . . .	6
<b>5</b>	<b>Wnioski</b>	<b>6</b>

# 1 Zadanie 1

## 1.1 Polecenie

Implementacja funkcji logicznej  $G(w, x, y, z) = \prod(0, 2, 3, 4, 6, 7, 9, 11, 12, 13, 15)$  w VHDL-u za pomocą:

1. Zapis równań boolowskich
2. Metoda zapisu tablicowego

## 1.2 Rozwiązanie

### 1.2.1 Tabela prawdy

Kod dziesiętny	w	x	y	z	G
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	1
15	1	1	1	1	0

### 1.2.2 Siatka Karnaugh

		$wx$			
		00	01	11	10
$yz$	00	0	0	0	1
	01	1	1	0	0
	11	0	0	0	0
	10	0	0	1	1

Rysunek 1:  $W_{yj_G} = w\bar{x}\bar{z} + \bar{w}yz + wy\bar{z}$

### 1.2.3 Schemat układu

### 1.2.4 Kod VHDL

### 1.2.5 Symulacja

## 1.3 Fizyczna implementacja

### 1.3.1 Kod UCF

## 2 Zadanie 2

### 2.1 Polecenie

Implementacja układu translatora kodu **4-bit kod NKB na 4-bit kod Aikena** w VHDL-u za pomocą:

1. Zapis równań boolowskich
2. Metoda zapisu tablicowego

## **2.2 Rozwiązanie**

### **2.2.1 Schemat stanów**

### **2.2.2 Tabela prawdy**

### **2.2.3 Siatki Karnaugh**

### **2.2.4 Schemat układu**

### **2.2.5 Kod VHDL**

### **2.2.6 Symulacja**

## **2.3 Fizyczna implementacja**

### **2.3.1 Kod UCF**

## **3 Zadanie 3**

### **3.1 Polecenie**

Detektor sekwencji 11011, automat Mealy-ego, jedno wejście, jedno wyjście, brak resetu, sekwencja prawidłowa 5-bitowa w VHDL-u jako maszyna stanów.

## **3.2 Rozwiązanie**

### **3.2.1 Schemat stanów**

### **3.2.2 Tabela prawdy**

### **3.2.3 Siatki Karnaugh**

### **3.2.4 Schemat układu**

### **3.2.5 Kod VHDL**

### **3.2.6 Symulacja**

## **3.3 Fizyczna implementacja**

### **3.3.1 Kod UCF**

## **4 Zadanie 4**

### **4.1 Polecenie**

Zaprojektować licznik synchroniczny liczący w tył na bazie kodu Aikena w zakresie 0-6 (mod 7) jako maszyna stanów.

## **4.2 Rozwiązanie**

### **4.2.1 Schemat stanów**

### **4.2.2 Tabela prawdy**

### **4.2.3 Siatki Karnaugh**

### **4.2.4 Schemat układu**

### **4.2.5 Kod VHDL**

### **4.2.6 Symulacja**

## **4.3 Fizyczna implementacja**

### **4.3.1 Kod UCF**

## **5 Wnioski**

Na początku trudność sprawiło nam testowanie modułów w języku VHDL. Problem rozwiązał się sam, w momencie, gdy natknęliśmy się na materiał instruktażowy, w którym pokazane zostało, że przy testowaniu modułu, plik testowy vhd należy wygenerować na podstawie napisanego modułu (sam moduł nie stanowi pliku testowego).