Maciej Byczko	Prowadzący:	Numer ćwiczenia	
Bartosz Matysiak   dr inż. Jacek Mazurkiewicz		2	
PN 10:50 TP	Temat ćwiczenia: Układy Kombinacyjne	Ocena:	
Grupa: B	Data wykonania: 10 Października 2021		

# Spis treści

1	Zad	nnie 1	<b>2</b>
	1.1	Polecenie	2
	1.2	Rozwiązanie	2
		1.2.1 Schemat układu	2
		1.2.2 Kod VHDL	2
		1.2.3 Symulacja	2
2	Zad	nnie 2	2
	2.1	Polecenie	2
	2.2	Rozwiązanie	2
		2.2.1 Wyprowadzenie	2
		2.2.2 Tabela prawdy	3
	2.3	Siatka Karnaugh	3
		2.3.1 Schemat układu	4
		2.3.2 Kod VHDL	4
		2.3.3 Symulacja	4
3	Zad	nnie 3	4
	3.1	Polecenie	4
3.2	3.2	Rozwiązanie	4
		3.2.1 Tabela Prawdy	4
		3.2.2 Siatki Karnaugh	5
		3.2.3 Schemat układu	5
		3.2.4 Kod VHDL	5
		3.2.5 Symulacja	5
4	Wni	oski	5

### 1 Zadanie 1

#### 1.1 Polecenie

Wykonać dowolną bramkę - funktor: 2 wejścia, 1 wyjście

#### 1.2 Rozwiązanie

- 1.2.1 Schemat układu
- 1.2.2 Kod VHDL
- 1.2.3 Symulacja

#### 2 Zadanie 2

#### 2.1 Polecenie

Implementacja funkcji logicznej  $G(w, x, y, z) = \prod (0, 2, 3, 4, 6, 7, 9, 11, 12, 13, 15)$ 

#### 2.2 Rozwiązanie

#### 2.2.1 Wyprowadzenie

$$G(w, x, y, z) = \prod (0, 2, 3, 4, 6, 7, 9, 11, 12, 13, 15)$$

$$= \sum (1, 5, 8, 14) = \sum (0001, 0101, 1000, 1010, 1110)$$

$$= \overline{w} \overline{y} z + \overline{w} x \overline{y} z + w \overline{x} y \overline{z} + w x y \overline{z}$$

$$= \overline{w} \overline{y} z (\overline{x} + x) + w \overline{z} (\overline{x} \overline{y} + \overline{x} y + x y)$$

$$= \overline{w} \overline{y} z + w \overline{z} (\overline{x} (\overline{y} + y) + x y)$$

$$= \overline{w} \overline{y} z + w \overline{z} (\overline{x} + x y)$$

$$= \overline{w} \overline{y} z + w \overline{z} ((\overline{x} + x)(\overline{x} + y))$$

$$= \overline{w} \overline{y} z + w \overline{z} ((\overline{x} + y))$$

$$= \overline{w} \overline{y} z + w \overline{z} ((\overline{x} + y))$$

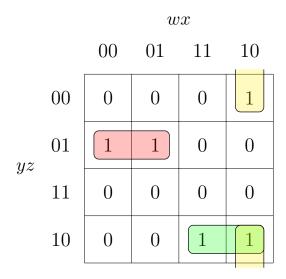
$$= \overline{w} \overline{y} z + w \overline{x} \overline{z} + w \overline{z} y$$

$$(9)$$

### 2.2.2 Tabela prawdy

Kod dziesiętny	W	X	у	Z	S
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	1
15	1	1	1	1	0

# 2.3 Siatka Karnaugh



Równanie po minimalizacji:  $w\overline{x}\overline{z}+\overline{w}\overline{y}z+wy\overline{z}$ 

- 2.3.1 Schemat układu
- 2.3.2 Kod VHDL
- 2.3.3 Symulacja

# 3 Zadanie 3

### 3.1 Polecenie

Implementacja układu translatora kodu 4-bit kod NKB na 4-bit kod Aikena

## 3.2 Rozwiązanie

### 3.2.1 Tabela Prawdy

Kod dajosjetny		NKB			Kod Ikena			
Kod dziesiętny	W	X	У	Z	W	X	У	Z
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	1	0	1	1
6	0	1	1	0	1	1	0	0
7	0	1	1	1	1	1	0	1
8	1	1	0	0	1	1	1	0
9	1	0	0	1	1	1	1	1
10	1	0	1	0	-	-	-	-
11	1	0	1	1	-	-	-	-
12	1	1	0	0	_	-	-	-
13	1	1	0	1	_	_	_	_
14	1	1	1	0	_	_	_	_
15	1	1	1	1	_	-	-	-

## 3.2.2 Siatki Karnaugh

		wx					
		00	01	11	10		
yz	00	0	0	0	0		
	01	0	1	1	1		
	11	-	_	-	-		
	10	1	1	-	-		

		wx				
		00	01	11	10	
yz	00	-	-	-	-	
	01	-	-	-		
	11	-	-	-	-	
	10	-	-	-	-	

- 3.2.3 Schemat układu
- 3.2.4 Kod VHDL
- 3.2.5 Symulacja
- 4 Wnioski