POLITECHNIKA WROCŁAWSKA WYDZIAŁ INFORMATYKI I TELEKOMUNIKACJI

Układy cyfrowe i systemy wbudowane 2

Instrument muzyczny Sprawozdanie końcowe z projektu

Termin zajęć: PON, 8:00-11:00 TP

Autorzy (Grupa B): Maciej Byczko, 252747 Bartosz Matysiak, 252757 Prowadzący zajęcia: dr inż. Jacek Mazurkiewicz

1 Temat projektu

Projekt miał dotyczyć wykonania implementacji w sprzęcie instrumentu muzycznego typu "keyboard" przy użyciu płyty Spartan 3E.

2 Opis funkcjonalności

2.1 Założenia początkowe

W trakcie sporządzania początkowych założeń projektowych, stworzyliśmy następujące listy funkcjonalności:

2.1.1 Wersja podstawowa

- Możliwość użycia gamy dźwięków uprzednio nagranych na kartę SD.
- Wsparcie dla klawiatury komputerowej.
- Odtworzenie dźwięku.

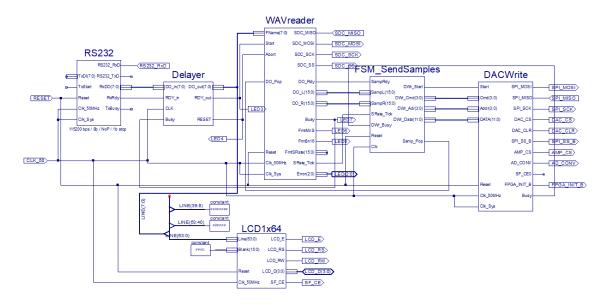
2.1.2 Możliwe rozszerzenia

- Możliwość prostej syntezy jednotonowej.
- Wsparcie dla launchpada.

2.2 Porównanie i nasza ocena projektu

Udało się zrealizować wszystkie założenia wymienione na liście funkcjonalności podstawowych; efekty tej części naszej pracy uważamy za zadowalające, zgodne z naszymi pierwotnymi wyobrażeniami co do funkcjonowania projektu. Ze względu na niespodziewane problemy nie zdążyliśmy przystąpić do prac nad rozszerzeniami. Z całą pewnością, dysponując większą ilością czasu, wykonalibyśmy wymienione rozszerzenia w pierwszej kolejności.

3 Schemat urządzenia



W projekcie wykorzystane zostały moduły własne, jak też te dostępne na stronie Zestawu Digilent S3E-Starter. Poza modułami ukazanymi na schemacie, projekt wykorzystuje także dodatkowe urządzenia: kartę SD z systemem plików FAT32, klawiaturę na złącze RS232 oraz głośnik. Dodatkowo, informacje pomocnicze dotyczące prawidłowego działania układu ukazywane są na diodach LED oraz wyświetlaczu LCD.

4 Podział projektu na moduły

Listy modułów użytych w projekcie są kolejnym elementem, który uległ zmianie względem pierwotnych założeń:

4.1 Wykorzystane moduły ze strony kursu

- WAVreader obsługa karty SD
- \bullet $\mathbf{RS232}$ obsługa klawiatury PS2
- DACWrite obsługa głośnika
- FSM SendSamples pomocnicza maszyna stanów

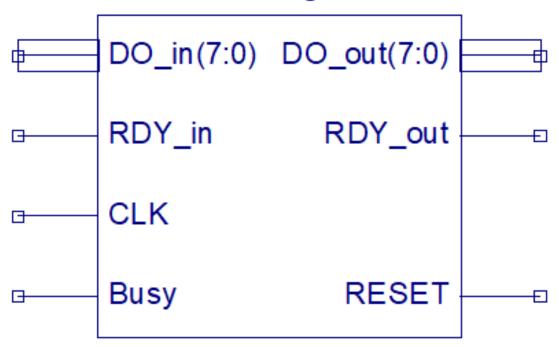
4.2 Moduły własne, przygotowane na potrzeby projektu

• Delayer - moduł opóźniająco - przerywający do obsługi żądań odtwarzania dźwięków.

4.3 Kody źródłowe i opisy modułów

4.3.1 Delayer

Delayer



```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity Delayer is

Port ( DO_in : in STD_LOGIC_VECTOR (7 downto 0);

RDY_in : in STD_LOGIC;

CLK : in STD_LOGIC;

Busy : in STD_LOGIC;

DO_out : out STD_LOGIC_VECTOR (7 downto 0);

RDY_out : out STD_LOGIC;

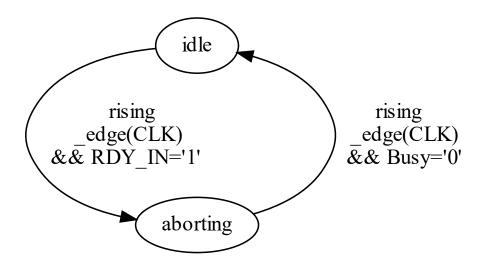
RESET : out STD_LOGIC;

end Delayer;

architecture Behavioral of Delayer is
```

```
constant CYCLE: time := 20 ns;
16
17
   type state type is (idle, aborting);
18
   signal state, next state : state type;
19
   begin
21
22
     process1: process(CLK)
23
     begin
        if rising_edge(CLK) then
25
          state <= next state;</pre>
26
       end if;
27
     end process process1;
29
     process2: process( state, RDY IN, Busy )
30
     begin
31
        next state <= state;</pre>
        case state is
33
          when idle =>
34
            if RDY_in = '1' then
35
              RESET <= '1';
36
              next state <= aborting;
37
            end if;
38
          when aborting =>
            if Busy = '0' then
40
              RESET <= '0';
41
              DO out \leq DO in;
42
              RDY \quad out <= '1';
              next_state <= idle;
44
            end if;
45
       end case;
46
     end process process2;
48
   end Behavioral;
```

Moduł służy do opóźniania sygnału $\mathbf{RxDO(7:0)}$ i został zrealizowany jako poniższa maszyna stanów:



Logiczna jedynka na wejściu RDY_IN jest sygnałem powodującym przejście układu ze stanu *idle* do stanu *aborting* oraz ustawienie wyjścia RESET. Powrót do stanu *idle* następuje dopiero, gdy nastąpi zmiana na logiczne zero sygnału Busy, podanego jako sprzężenie zwrotne z układu WAVreader. Ma miejsce wtedy też wyzerowanie sygnału RESET i dopiero wtedy następuje podanie nowych wartości sygnałów DO_out(7:0) i RDY_out.

Sensem użycia modułu **Delayer** jest wspomożenie działania modułu **WAVreader**, który umożliwia przerwanie odtwarzania pliku, jednak powrót do stanu gotowości może i zazwyczaj nie jest natychmiastowy.

FSM_SendSamples

```
SampRdy
DWr_Start
SampL(15:0)
DWr_Cmd(3:0)
SampR(15:0)
DWr_Adr(3:0)
SRate_Tick
DWr_Data(11:0)
DWr_Busy
Reset
Samp_Pop
CIk
```

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity FSM_SendSamples is
Port ( Clk , Reset : in STD_LOGIC;
```

```
— WAVreader:
               SRate Tick: in STD LOGIC;
               SampRdy : in STD\_LOGIC;
               SampL, SampR: in STD LOGIC VECTOR (15 downto 0);
           Samp Pop: out STD LOGIC;
10
            — DACWrite
11
           DWr_Busy : in STD LOGIC;
12
           DWr Start : out STD LOGIC;
13
           DWr Cmd, DWr Adr : out STD LOGIC VECTOR( 3 downto 0 );
14
           DWr Data : out STD_LOGIC_VECTOR( 11 downto 0 )
16
   end FSM SendSamples;
17
18
   architecture Behavioral of FSM SendSamples is
19
20
     type state type is ( sReset, sReady, sWaitL, sSendL, sWaitR, sSendR)
21
     signal State, NextState: state type;
22
23
   begin
24
25
     — State register (with asynchronous reset) = process1
26
     process (Clk, Reset)
27
28
     begin
       if Reset = '1' then
         State <= sReset;
30
       elsif rising edge (Clk) then
31
         State <= NextState;
32
       end if;
33
     end process;
34
35
     - Next state decoding = process2
36
     process (State, SampRdy, SRate Tick, DWr Busy)
     begin
38
39
       NextState <= State; — default
40
41
       case State is
42
         when sReset =>
43
           NextState \le sReady;
44
45
         when sReady =>
46
            if SampRdy = '1' and SRate Tick = '1' then
47
              NextState <= sWaitL;</pre>
           end if;
49
```

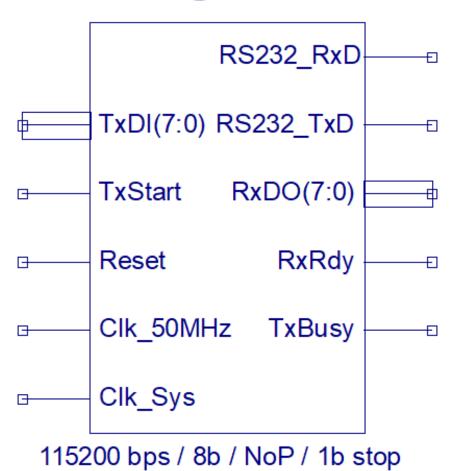
```
— Wait until DAC is ready
51
       when sWaitL =>
52
            if DWr Busy = '0' then
53
              NextState <= sSendL;</pre>
54
           end if;
55
         — Send left channel sample
57
       when sSendL \Rightarrow
58
           NextState <= sWaitR;
59
           - Wait until DAC is ready
61
       when sWaitR =>
62
            if DWr Busy = '0' then
63
              NextState <= sSendR;
           end if;
65
         — Send right channel sample
67
         when sSendR =>
68
           NextState <= sReady;
69
70
       end case;
71
     end process;
72
73
74
     — Outputs
     — Pop FIFO with samples when sending the second (right) sample
75
     Samp Pop <= '1' when State = sSendR else '0';
76
77
       - DACWrite start: when sending either left or right channel sample
78
     DWr Start <= '1' when State = sSendL or State = sSendR else '0';
        command: "write" when sending left sample, else "write&update"
80
     DWr Cmd <= "0000" when State = sSendL or State = sWaitR else "0010";
81
     — address: DAC C when sending left sample, else DAC D
82
     DWr \ Adr <= \ "0010" \ when \ State = \ sSendL \ or \ State = \ sWaitR \ else \ "0011";
        data: left or right sample
84
     DWr Data <= SampL( 15 downto 4 ) when State = sSendL or State =
         sWaitR else SampR( 15 downto 4);
86
   end Behavioral;
```

Moduł pomocniczy ze strony kursu, sześciostanowa maszyna stanów służąca jako moduł wspomagający wysyłanie próbek do modułu **DACWrite**.

4.4 Omówienie modułów - czarnych skrzynek

4.4.1 RS232

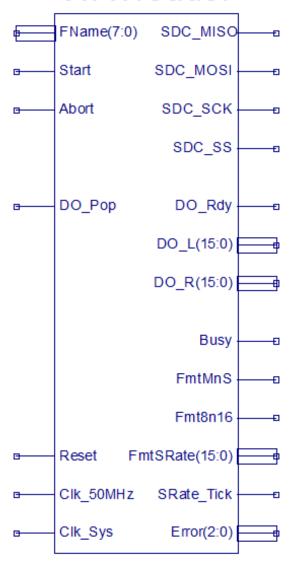
RS232



Moduł umożliwiający obsługę urządzeń podłączonych przez interfejs RS232. W projekcie wykorzystujemy go do odbioru bajtów, których źródłem jest klawiatura. Wyprowadzenia odpowiedzialne za wysył danych pozostają niewykorzystane.

4.4.2 WAVreader

WAVreader



Moduł służący do obsługi karty SD; w momencie ustawienia jedynki na wejściu **Start** odczytywany jest kod ascii znaku z wejścia **FName**. Następnie plik o rozszerzeniu *.wav i nazwie zadanej poprzez odczytany znak jest sczytywany z karty SD, a jego rozszerzone do 16 bitów próbki wysyłane na wyjścia **DO_L** i **DO_R**. W projekcie wykorzystujemy także funkcjonalność jaką daje wejście **Abort** - umożliwia ono przerwanie odtwarzania danego pliku. O zakończeniu procesu przerywania

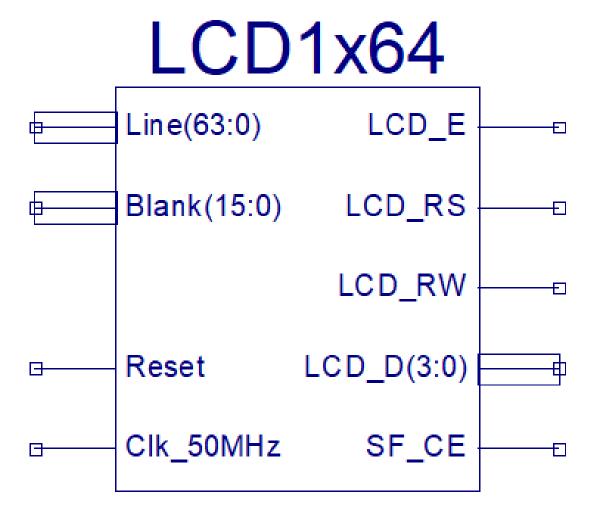
i powrocie modułu do stanu podstawowego informuje nas zero logiczne na wyjściu Busy.

4.4.3 DACWrite

DACWrite Start SPI_MOSI SPI_MISO Cmd(3:0) Addr(3:0) SPI_SCK DATA(11:0) DAC_CS DAC_CLR SPI_SS_B AMP_CS AD_CONV SF_CE0 Reset FPGA_INIT_B CIk_50MHz Busy Clk_Sys

Moduł obsługujący wysyłanie danych do przetwornika DAC LTC2624. W naszym projekcie wykorzystujemy go do obsługi głośnika.

4.4.4 LCD1x64



Moduł wspomagający testowanie urządzenia i jego testowanie; nie pełni żadnej innej istotnej roli w projekcie.

5 Instrukcja obsługi urządzenia

Do uruchomienia naszego urządzenia będą potrzebne:

- Płytka rozwojowa Spartan 3E Starter Board wyposażona w slot do odczytu karty SD;
- Plik *. bit z konfiguracją naszego urządzenia;
- Program jrs term.exe;

a także urządzenia zewnętrzne:

- Klawiatura obsługująca interfejs RS232;
- Głośnik;
- Karta SD z plikami *.wav;

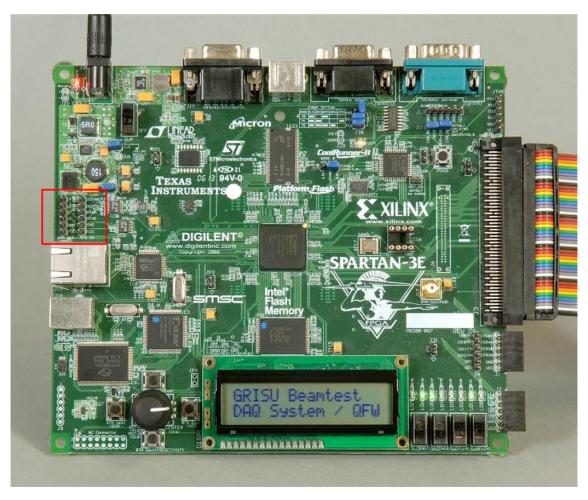
Lista kroków:

- 1. Wszystkie wymienione urządzenia należy podłączyć pod odpowiednie dla nich porty.
 - W przypadku głośnika jest to podłączenie pod piny C oraz GND z lewej strony płytki.
 - Kartę SD należy włożyć do odpowiedniego slotu; Należy wcześniej zadbać, aby była ona sformatowana w systemie FAT32; Odtwarzane z niej pliki *.wav powinny mieć nazwę składającą się z jednej litery jest to jednocześnie nazwa klawisza, który posłuży do jego odtworzenia.
 - Klawiaturę należy podłączyć pod interfejs RS232.
- 2. Gdy wszystkie urządzenia są podłączone, należy wgrać plik konfiguracyjny instrument.bit na płytkę.
- 3. Naciśnięcie klawiszy na klawiaturze powinno spowodować odtworzenie odpowiedniego dźwięku.

W testowanej przez nas konfiguracji przejęliśmy wykorzystanie następujących zakresów znaków:

- [12345678]- skrzypce;
- [qwertyui]- pianino;
- [asdfghjk]- syntezator;

Użytkownik może jednak całkowicie to zignorować i nagrać własne próbki dźwiękowe.



Rysunek 1: Miejsce podłączenia głośnika

6 Literatura

- The Programmable Logic Data Book. Xilinx, Inc.
- Libraries Guide. Xilinx, Inc.
- $\bullet \ http://www.zsk.ict.pwr.wroc.pl/zsk_ftp/fpga/$
- \bullet http://gmvhdl.com/delay.htm
- $\bullet \ https://vhdlwhiz.com/std_logic/$