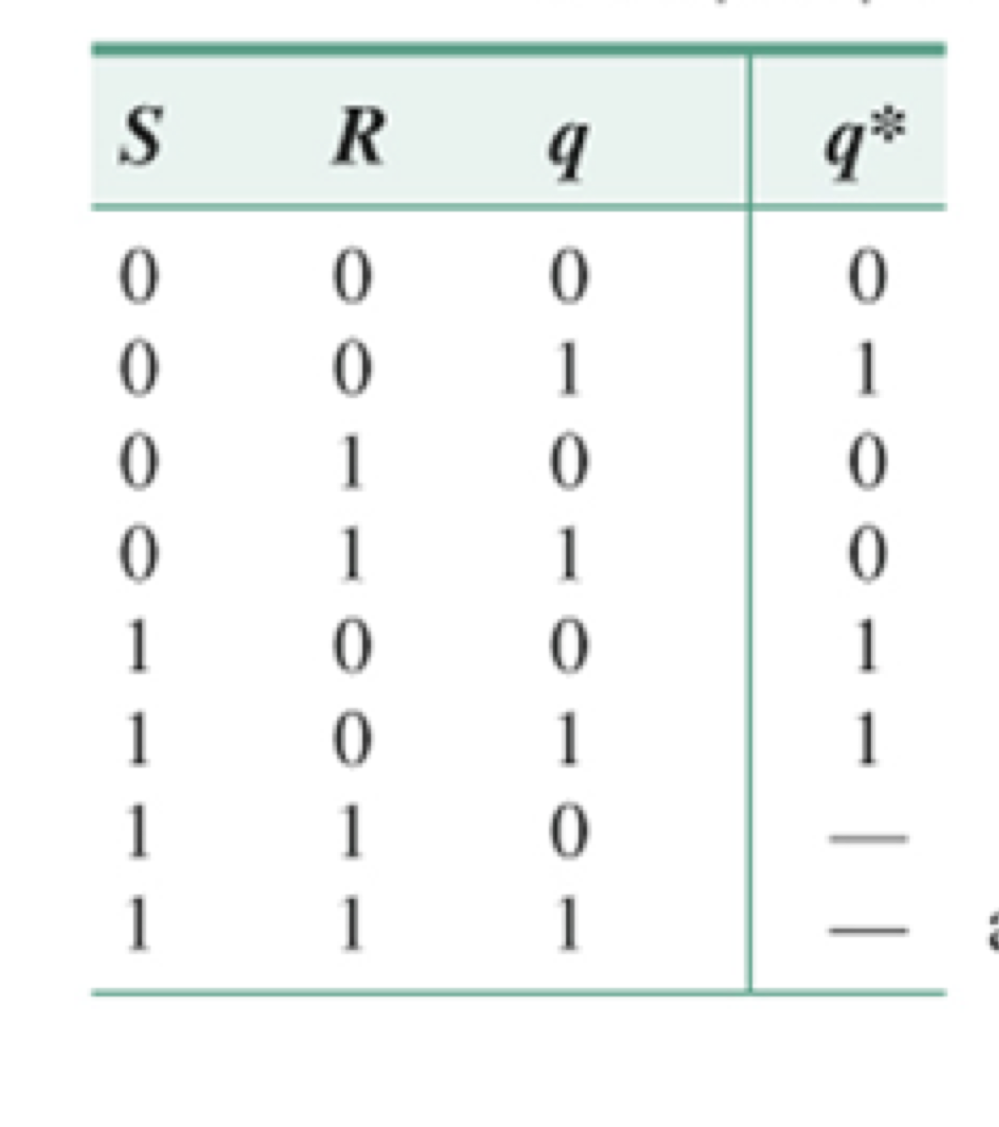
11주차 예비보고서

전공 : 아트앤테크놀로지 학년 : 3학년 학번 : 20191098 이름 : 백승주

1. **Rs** 플립-플롭 전에 간단하게 플립-플롭의 개념에 대해 먼저 알아보면 플립-플롭이란 0이나 1의 값을 저장할 수 있는 저장 장치 역할을 하는 회로다. Rs 플립 플롭은 플립-플롭 중에서도 제일 기본적인 플립 플롭으로 S와 R이라는 두 개의 입력을 가진다. 이 때 r은 reset을 의미하고 s는 set을 의미한다. Rs 플립플롭은 r과 s의 입력에 따라 set이나 reset을 수행하는 플립플롭이다.

이러한 rs 플립플롭은 r과 s의 값이 모두 0일 경우 출력값은 현재 출력 값의 반대 값을 출력한다. R은 0의 값을 가지고 s는 1의 값을 가질 경우 출력값 q는 1로 set 되고 r이 1의 값을 가지고 s단, r과 s의 값이 모두 1의 가질 경우 오류가 발생해 그 출력은 알 수 없게 된다.

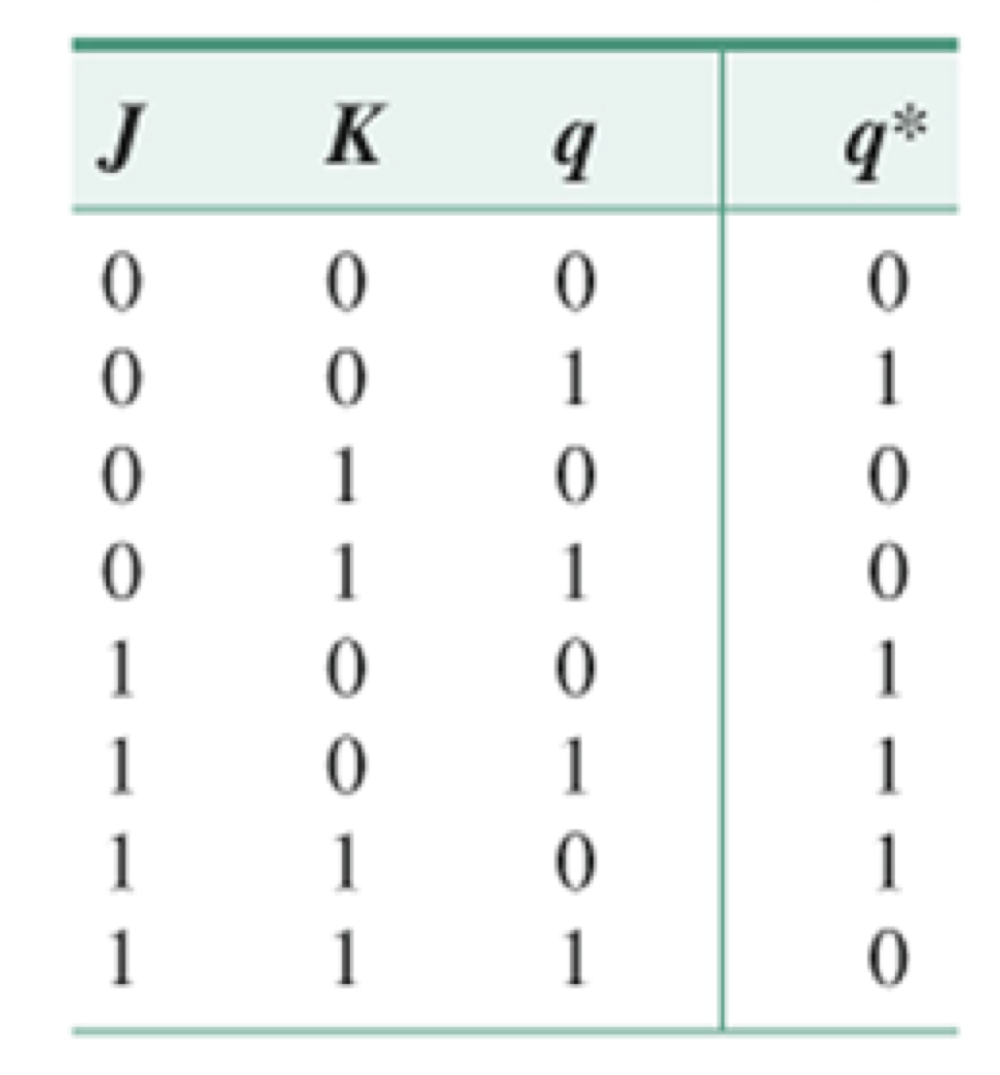
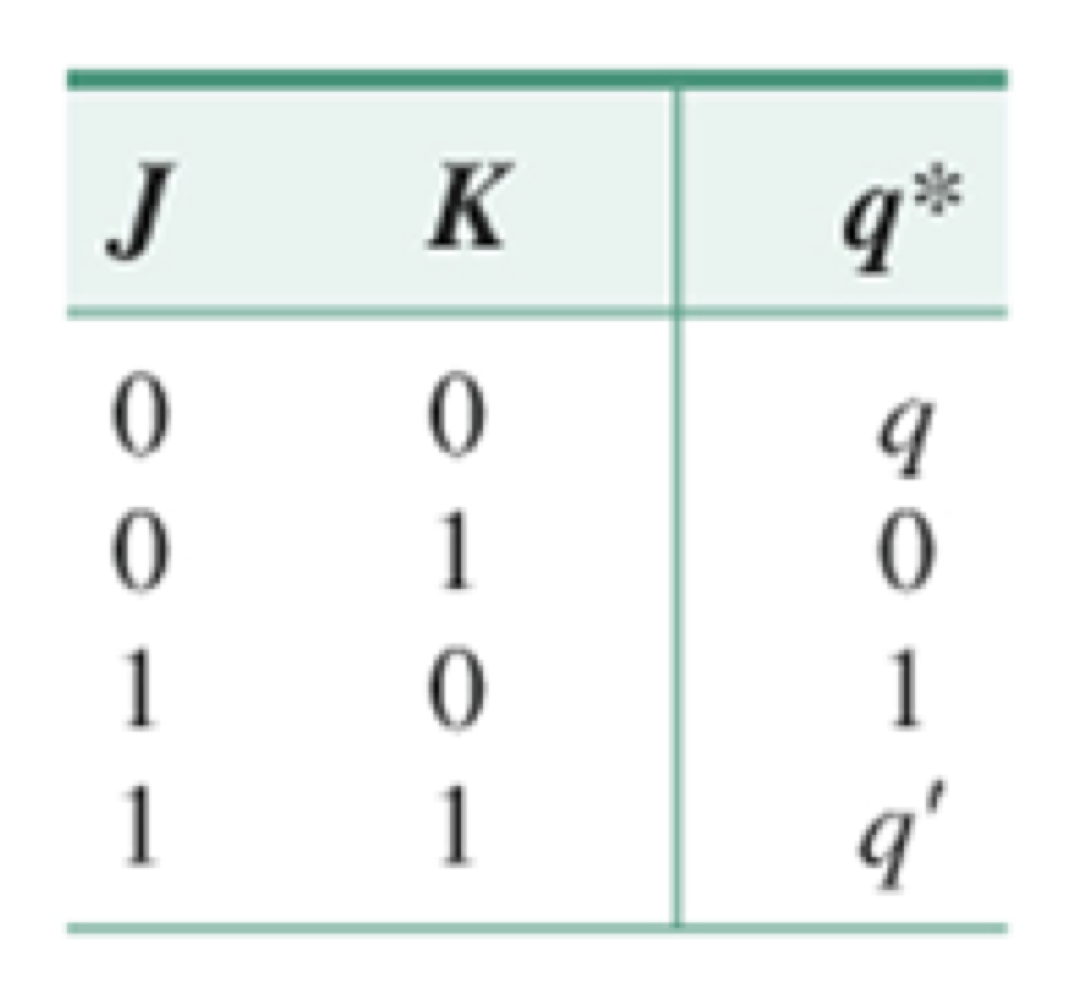
즉, sr 플립플롭은 간단하지만 두 입력값이 모두 1일 경우 오류를 발생시킨다는 단점이 있다.

출처:

위 진리표는 SR플립플롭의 진리표를 나타낸 것이다. 왼쪽 표의 q값은 이전의 q값을 의미하며 \*q는 현재 SR 플립플롭의 결과를 의미한다. 아래의 회로는 SR플립플롭의 회로를 나타낸 그림이다.

1. JK 플립플롭은 RS 플립플롭에서 R과 S가 모두 1일 때 오류가 나타난다는 점을 보완한 플립플롭이다. RS플립플롭의 R은 JK플립플롭의 K가 수행하고 S의 역할은 J가 수행한다. 따라서 J값과 K 값이 모두 0일 때는 이전의 출력을 그대로 출력하고 J값이 1이고 K값이 0일 때는 결과값으로 1, J값이 0이고 K값이 1일때는 결과값으로 0을 출력한다. 단, J와 K가 모두 1일 경우 그 양상이 RS플립플롭과 달라지는데 이 때 JK플립플롭은 이전의 결과값이 q라고 한다면 이의 반대값인 ~q를 출력하게 된다.

왼쪽 진리표의 사례를 살펴보면 J = 1, K = 1 q=0일 때 이전 JK플립플롭의 결과값이자 현재 상태인 q가 0이므로 그 값의 보수값인 1이 출력되고 그 다음 다시 J=1 K=1일 때 입력값인 J와 K의 값이 동일하지만 이전 q의 값이 1로 달라졌기 때문에 그 결과값으로 0이 출력된 것을 확인할 수 있다.

도표, 라인, 평면도, 기술 도면이(가) 표시된 사진

자동 생성된 설명

1. d 플립플롭은 가장 간단한 형태의 플립 플롭으로 출력 값이 입력 값이 다음 clock까지 delay된 형태이기 때문에 d 플립플롭으로 부른다. D 플립플롭은 앞선 플립플롭들과는 다르게 단 하나의 입력값만 갖고 이전의 출력값, 다시 말해 현재의 플립플롭 값과는 상관업이 입력값 D를 그대로 출력한다
2. T 플립플롭은 JK플립플롭의 J와 K 두 입력값을 연결해 Toggle을 뜻하는 하나의 값 T를 입력값으로 가지는 플립플이다. 이러한 T 플립플롭은 T가 0일 경우에는이전 T플립플롭의 결과값, 즉 현재 T플립플롭의 값을 그대로 출력하며 , T가 1일 경우에는 T플립플롭의 현재값에 보수를 취한 값을 출력하게 된다.

도표, 라인, 스케치, 폰트이(가) 표시된 사진

자동 생성된 설명

1. Latch는 앞선 플립플롭과 비슷하게 메모리를 저장하는 회로이다. 플립 플롭과의 차이점은 앞선 플립플롭은 clock값이 1에서 0으로, 혹은 0에서 1로 변화하는 그 순간에만 반응해 결과값을 변화시키는 회로였는데 latch는 clock값이 1일 때에만, 혹은 0일 때에만 결과값을 바꾸는 회로다. 따라서 latch의 경우 그 변화를 즉각적으로 확인할 수 있게 된다.

라인, 도표, 스케치, 그림이(가) 표시된 사진

자동 생성된 설명

위 그림은 가장 기본적인 형태인 SR Latch 의 회로이다. S는 set을 의미하고 R은 reset을 의마한다. 위 회로의 P 는 (S + Q) 이고’ Q 는 (R + P)’ 이다. 이러한 SR Latch의 진리표는 다음과 같다.

|  |  |  |  |
| --- | --- | --- | --- |
| S | R | Q | P |
| 0 | 0 | 이전 값 | 이전 값 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | X | X |

1. Clock은 일정 주기로 1과 0 이 반복되는 신호로 sequential 시스템에서 사용된다. 이 clock에 따라서 플립 플롭과 같은 회로들이 값을 변형한다.

텍스트, 도표, 라인, 스크린샷이(가) 표시된 사진

자동 생성된 설명

위 그림을 보면 알 수 있듯이 clock이 high 값을 가지는 구간을 clock width라 하며 clock이 low에서 high으로 바꾸는 지점을 rising edge, 다른 말로는 positive edge라고 부른다. 또한 clock이 high에서 low로 바뀌는 지점을 falling edge, 다른 말로는 negative edge라고 부른다.

**7.** Trigger는 그 종류로는 level trigger, edge trigger가 있으며 논리 회로의 변화를 촉발시키는 신호를 뜻한다.

먼저 level trigger는 앞서 살펴본 Latch가 사용하는 방식으로 clock의 값이 high이거나 low일 때만 회로의 값들을 반영한다. Clock 값이 high일 때 반응하면 positive level trgger라 부르며 low일 때 반응하면 low level trigger라 부른다.

Edge trigger는 앞서 살펴본 플립 플롭에서 사용하는 방식으로 clock 의 값이 변화하는 그 순간에서만 회로의 값들을 반영한다. Clock이 low에서 lhigh로 변화, 즉 positive edge일 때를 trigger로 인식하는 것을 positive edge trigger라 분류하며 clock이 high에서 low로 즉 negative edge 일 때를 trigger로 인식하는 것을 negative edge trigger로 분류한다.

**8.** 플립 플롭의 종류에는 master-slave 플립 플롭이 존재한다. 이러한 master- slave 플립플롭은 직렬 연결된 두 개의 플립 플롭으로 구성되어 있다 이 때 두 플립플롭 중 앞선 플립 플롭은 master 플립플롭이 되고 뒤의 플립 플롭은 slave 플립플롭이 된다. Master 플립플롭과 slave 플립 플롭은 서로 반대의 clock 신호에 연결된다. 한 플립플롭이 negative edge trigger에 의해 활성화되면 다른 플립 플롭은 positive edge trigger에 의해 작동하게 된다.

도표, 라인, 평면도, 기술 도면이(가) 표시된 사진

자동 생성된 설명

위 그림의 회로에서는 master 플립 플롭은 clock이 1일 때 활성화되고 slave 플립 플롭은 clock이 0일 때 활성화되게 된다.

**9.** 이렇게 살펴본 플립 플롭은 값을 저장할 수 있다는 특성을 이용해서 다양한 곳에서 활용될 수 있다. 컴퓨터의 레지스터는 플립 플롭으로 이루어져 있다. 레지스터는 컴퓨터의 데이터를 임시로 저장하는 곳으로 레지스터의 플립 플롭들은 1비트의 정보들을 각각 저장한다. n비트 크기의 정보를 저장하기 위해 레지스터는 n개의 플립 플롭을 사용한다.

메모리에도 플립플롭이 사용된다. 플립 플롭은 컴퓨터의 메모리 칩을 구성하는 기본 요소로 dram과 같은 메모리에는 수백만 개의 플립 플롭들이 사용된다.

또한 디바운싱 회로에도 플립 플롭이 사용될 수 있다. 물리적인 스위치나 버튼에서는 디바운스 문제가 발생할 수 있다 이런 문제를 발생시키는 불안정한 전기 신호를 안정화시켜 명확한 신호로 바꾸는데 플립 플롭이 사용가능하다.