

Instituto Tecnológico de Costa Rica

Fundamentos de Arquitectura de Computadores

Título del documento:

Bitácora del proyecto: Lógica Combinatoria

Estudiante:

Byron Mata Fuentes 2021430403

Grupo: 2

Profesor: Luis Alberto Chavarría Zamora

Fecha de entrega: 4 de abril de 2024

I Semestre 2024

22/03/2024 - Creación del repositorio y de la documentación

Descripción

Se completó la creación del repositorio Git conforme a la solicitud para actualizar la bitácora del proyecto. El primer commit incluye la creación del archivo README.md, marcando así el inicio de la rama main.

Además, se han generado los documentos entregables del proyecto utilizando LaTeX. Posteriormente, se ha comenzado a redactar el presente documento. Por otro lado, el documento del "artículo científico" ha sido organizado en secciones según lo especificado en las instrucciones de la evaluación.

Resultados

- Se creó el repositorio: https://github.com/ByrnMta/Proyecto-Logica_Combinatoria.git
- Se creó el documento de la bitácora del proyecto.
- Se creó el documento del artículo científico del proyecto.

Próximas Tareas

- Crear un proyecto en el software Tinkercard para la simulación.
- Iniciar el submódulo del decodificador.

23/03/2024 - Inicio del submódulo del decodificador y simulación

Descripción

Se creó un proyecto en el software Tinkercard con el objetivo de simular cada uno de los módulos que conforman el diseño del sistema. Inicialmente, se incorporaron algunos componentes del módulo del circuito combinatorio, centrándose específicamente en el decodificador. Para ello se determinó el rango de activación, y se procedió a su obtención teórica.

El rango de activación sería de 2 a 3 y de 6 a 7 en su representación decimal. Usando la tabla de verdad mostrada en la figura 1, se obtuvieron los valores en su representación de código Gray.

Number	Gray code		
0	0	0	0
1	0	0	1
2	0	1	1
3	0	1	0
4	1	1	0
5	1	1	1
6	1	0	1
7	1	0	0

Figura 1: Código Gray de 3 bits. Fuente [2].

Seguidamente se determinó la salida y se definieron los minterminos para la ecuación booleana que describe el funcionamiento del decodificador, tal y como se presenta en la tabla 1.

Tabla 1: Tabla de valores para el diseño del circuito combinatorio del decodificador.

Decimal	Gray			Salida	Nombre min
	A	B	C	Y	
0	0	0	0	0	m_0
1	0	0	1	0	m_1
2	0	1	1	1	m_2
3	0	1	0	1	m_3
4	1	1	0	0	m_4
5	1	1	1	0	m_5
6	1	0	1	1	m_6
7	1	0	0	1	m_7

A partir de los minterminos m_2 , m_3 , m_6 y m_7 , se determinó la ecuación booleana para el circuito combinatorio del decodificador.

$$F(A, B, C) = \sum m_2, m_3, m_6, m_7 \quad (1)$$

$$Y = \bar{A} \cdot B \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C + A \cdot \bar{B} \cdot \bar{C} \quad (2)$$

Considerando la ecuación (2), se realizó un proceso de reducción mediante la simplificación booleana. En la figura 2 se presenta el proceso de simplificación:

\triangleright Simplificación :
 $\bar{A} \cdot B \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C + A \cdot \bar{B} \cdot \bar{C}$
 $\bar{A} \cdot B (C + \bar{C}) + A \cdot \bar{B} (\bar{C} + C) \quad \dots \text{Distributividad}$
 $\bar{A} \cdot B + A \cdot \bar{B} \quad \dots \text{Complemento}$
 $\therefore Y = \bar{A} \cdot B + A \cdot \bar{B}$

Figura 2: Proceso de simplificación booleana para el circuito combinatorio del decodificador.

Finalmente, se creó la tabla 2 para la ecuación simplificada obteniendo que, el circuito requiere de una compuerta XOR.

Tabla 2: Tabla de verdad de la ecuación que describe el circuito combinatorio simplificado.

A	B	\bar{A}	\bar{B}	$\bar{A} \cdot B$	$A \cdot \bar{B}$	$\bar{A} \cdot B + A \cdot \bar{B}$
0	0	1	1	0	0	0
0	1	1	0	1	0	1
1	0	0	1	0	1	1
1	1	0	0	0	0	0

Para la simulación, se programó en “Arduino IDE” un programa que primero realiza la lectura de los pines digitales, en los cuales ingresaba una señal proveniente del Sensor Ultrasónico. Seguidamente, realiza un mapeo del rango y del valor de lectura para ajustarlo al rango deseado. Posteriormente, realiza la conversión a código Gray y finalmente lo muestra en el monitor serial para verificar que está funcionando correctamente. En las figuras 3, se muestran secciones de código del programa.

```
// Función para calcular el código Gray
int toGray(int num) {
    return num ^ (num >> 1);
}
```

Figura 3: Función para realizar la conversión del código Gray.

Resultados

- Se creó del proyecto en Tinkercard para la simulación del sistema.
- Se obtuvo el circuito combinatorio para el submódulo del decodificador del sistema.
- Se inició el programa que se cargará al Arduino UNO para la funcionalidad del sistema.
- Se verificó que el diseño para el decodificador era correcto y funciona con lo esperado.

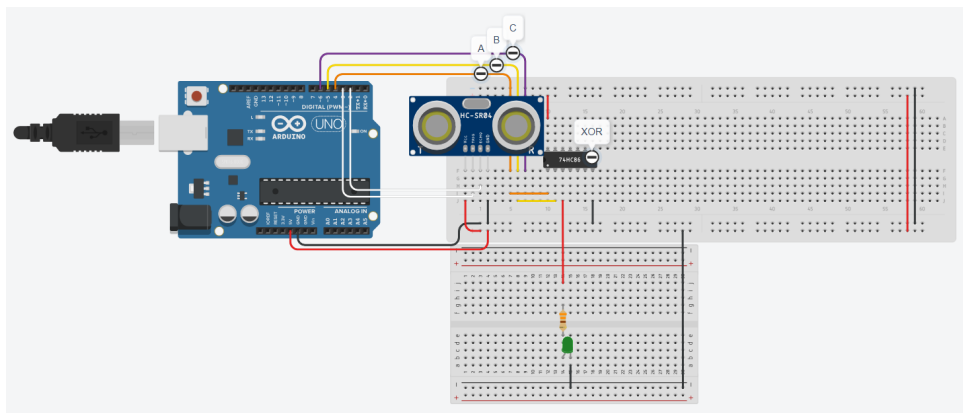


Figura 4: Diseño del submódulo del decodificador incompleto.

Próximas Tareas

- Completar el submódulo de decodificador y el del desacople.

24/03/2024 - Submódulo del decodificador y desacople completado

Descripción

Dado el avance del día de ayer, se trabajó en completar la etapa de desacople del diseño del sistema. Esta corresponde precisamente al submódulo del decodificador, así como a las etapas del accionador y del desacople. Dado que ya se contaba con los primeros procesos del decodificador y el accionador, se investigó únicamente cómo hacer que un transistor funcione como un switch (un interruptor) para el arranque de un motor DC, siguiendo las recomendaciones del profesor. El resultado de esta investigación se muestra en el diagrama de la siguiente figura:

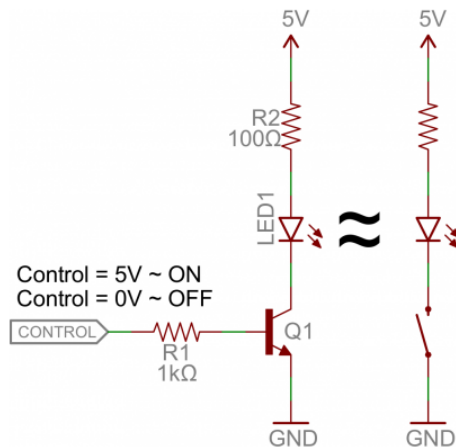


Figura 5: Diagrama para la aplicación de un transistor como switch. Fuente [3].

A partir del diagrama anterior, se consideró el valor de la resistencia de base, además del uso de un transistor BJT NPN. Únicamente se remplazaría la carga del colector para realizar la conexión directa con el motor dc. Todo lo anterior fue trasladado al proyecto de Tinkercard para su simulación.

Resultados

- Se comprobó el funcionamiento adecuado del transistor como un switch para encender un motor DC en el rango dado al decodificador.
- Se completo en su totalidad el submódulo del decodificador y de la etapa del desacople del sistema.

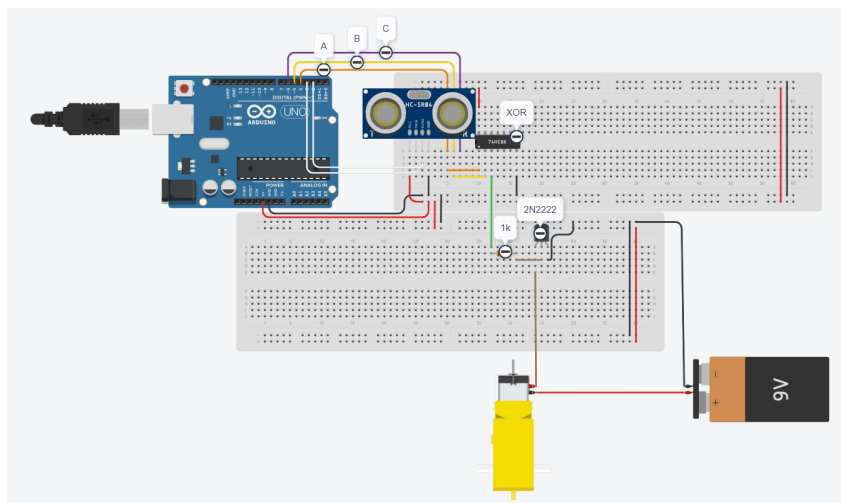


Figura 6: Diseño del submódulo del decodificador completo.

Próximas Tareas

- Iniciar el submódulo del encodificador.

25/03/2024 - Inicio del submódulo del encodificador

Descripción

Se realizó una breve investigación para determinar en qué consiste el código binario con exceso 3. A partir de ello, se elaboró una tabla considerando la recomendación del profesor. Esta indicaba que se

hiciera un enfoque especialmente en los primeros 3 bits del código binario en representación de exceso 3, que van del menos significativo hasta el más significativo, para lograr que fuera circular. El resultado de esto se muestra a continuación:

Tabla 3: Tabla de los código Gray y Exceso 3 con etiquetas por columna de bits.

Decimal	Gray	Exceso 3 circular		
		Y1	Y2	Y3
0	000	0	1	1
1	001	1	0	0
2	011	1	0	1
3	010	1	1	0
4	110	1	1	1
5	111	0	0	0
6	101	0	0	1
7	100	0	1	0

A partir de la tabla 3, se determinaron las ecuaciones booleanas que describen la conversión entre códigos. Este proceso se llevó a cabo mediante mapas K para cada etiqueta (columna) del código exceso 3. A continuación, se presenta el proceso realizado, determinando que sería necesario el uso de tres compuertas adicionales aparte del XOR, con el cual ya se contaba. Estas compuertas serían la NOT, AND y OR.

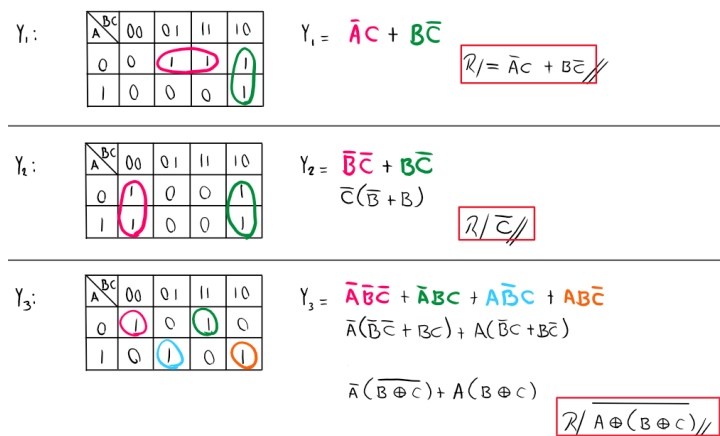


Figura 7: Proceso de simplificación mediante mapas K para el código binario con exceso 3.

Tras el proceso anterior, se llevó a cabo la implementación del mismo en la simulación, realizando las conexiones necesarias. Se adicionaron dos etapas más: por un lado, la del visualizador con LED's para mostrar la salida del código en exceso 3, y por otro lado, la etapa de retroalimentación.

Resultados

- Se determinó el circuito combinatorio para el submódulo del encodificador.
- Se completó el submódulo del encodificador.
- Se terminó la etapa del circuito combinatorio con los submódulos del decodificador y encodificador.

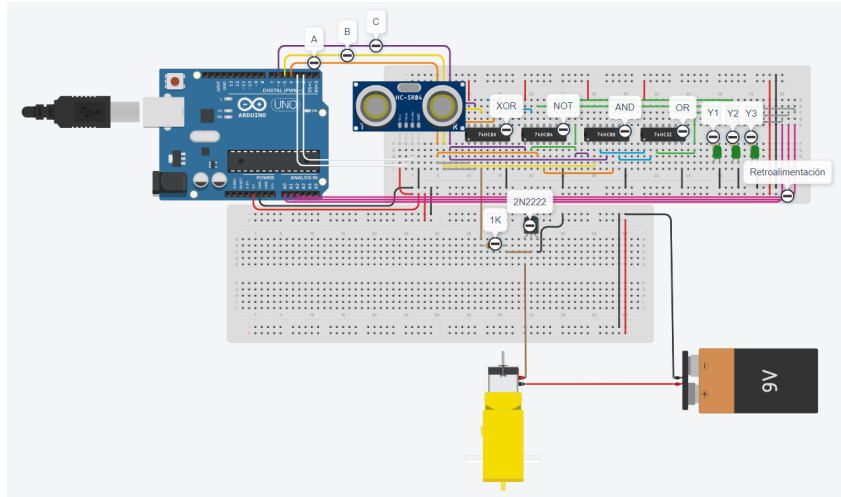


Figura 8: Diseño de los submódulos del decodificador y encodificador completos.

Próximas Tareas

- Implementar la etapa del visualizador de 7 segmentos de la señal proveniente de la retroalimentación.

26/03/2024 - Etapa del visualizador de 7 segmentos completa y diseño final.

Descripción

Para la implementación del visualizador de 7 segmentos, inicialmente se determinaron las ecuaciones booleanas que permitirían el encendido de cada uno de los segmentos del display. Para ello, se tomó como referencia la tabla 4. Las ecuaciones booleanas se presentan en la figura 9, las cuales fueron obtenidas mediante maxterminos (producto de sumas).

Tabla 4: Tabla de verdad de un decodificador BCD Exceso 3 circular a 7 segmentos. Elaboración propia basada en [1].

Exceso 3 circular			7-Segmentos						
A	B	C	a	b	c	d	e	f	g
0	1	1	1	1	1	1	1	1	0
1	0	0	0	1	1	0	0	0	0
1	0	1	1	1	0	1	1	0	1
1	1	0	1	1	1	1	0	0	1
1	1	1	0	1	1	0	0	1	1
0	0	0	1	0	1	1	0	1	1
0	0	1	1	0	1	1	1	1	1
0	1	0	1	1	1	0	0	0	0

$$\begin{aligned}
 a &= (\bar{A} + B + C)(\bar{A} + \bar{B} + \bar{C}) \\
 b &= (A + B + C)(A + B + \bar{C}) \\
 c &= (\bar{A} + B + \bar{C}) \\
 d &= (\bar{A} + B + C)(\bar{A} + \bar{B} + \bar{C})(A + \bar{B} + C) \\
 e &= (\bar{A} + B + C)(\bar{A} + \bar{B} + C)(\bar{A} + \bar{B} + \bar{C})(A + B + C)(A + \bar{B} + C) \\
 f &= (\bar{A} + B + C)(\bar{A} + B + \bar{C})(\bar{A} + \bar{B} + C)(A + \bar{B} + C) \\
 g &= (A + \bar{B} + \bar{C})(\bar{A} + B + C)(A + \bar{B} + C)
 \end{aligned}$$

Figura 9: Ecuaciones booleanas determinadas para un decodificador BCD Exceso 3 circular a 7 segmentos.

Una vez determinadas las ecuaciones booleanas, se programó una función que toma las tres señales de retroalimentación por separado. Esta función actúa como el decodificador para representar en el display de 7 segmentos la conversión realizada del código en exceso 3 a hexadecimal. Seguidamente se realizaron las conexiones necesarias para llevar a cabo la simulación de este etapa.

```

// Función para realizar la conversión de exceso 3 a hexadecimal (0 - 7) y mostrarlo en el 7 segmentos
void displayDecimalNumber(int A, int B, int C) {
    int a, b, c, d, e, f, g;

    // Ecuaciones booleanas para los segmentos del display de 7 segmentos
    a = (A|B|C)&(A|B|C);
    b = (A|B|C)&(A|B|C);
    c = (A|B|C);
    d = (A|B|C)&(A|B|C)&(A|B|C);
    e = (A|B|C)&(A|B|C)&(A|B|C)&(A|B|C)&(A|B|C)&(A|B|C);
    f = (A|B|C)&(A|B|C)&(A|B|C)&(A|B|C);
    g = (A|B|C)&(A|B|C)&(A|B|C);

    // Encender o apagar los segmentos del display de 7 segmentos según las ecuaciones booleanas
    digitalWrite(segment_a_pin, a);
    digitalWrite(segment_b_pin, b);
    digitalWrite(segment_c_pin, c);
    digitalWrite(segment_d_pin, d);
    digitalWrite(segment_e_pin, e);
    digitalWrite(segment_f_pin, f);
    digitalWrite(segment_g_pin, g);
}

```

Figura 10: Función de decodificador BCD Exceso 3 circular a 7 segmentos.

Finalmente, tras realizar la anterior comprobación se procedió a realizar una simulación del todo el sistema al completo, es decir, de cada una de sus etapas interconectadas, de esta manera se concluiría con el diseño del sistema a implementar.

Resultados

- Se obtuvieron las ecuaciones booleanas para el decodificador.
- Se completó la etapa del visualizador de 7 segmentos.
- Se comprobó el correcto funcionamiento del diseño del sistema a implementar mediante la simulación.

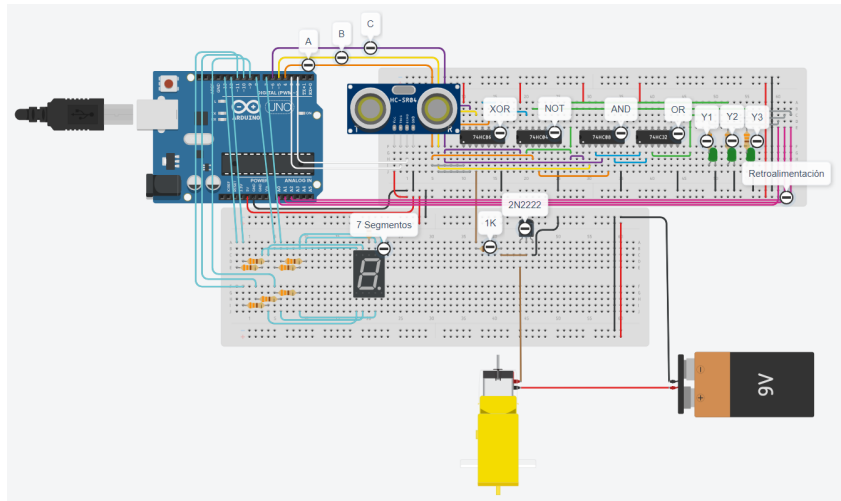


Figura 11: Diseño final de sistema a implementar.

Próximias Tareas

- Compra de los componente requeridos.
- Ensamblaje del sistema con los componentes adquiridos.

27/03/2024 - Conclusión de la parte funcional del proyecto.

Descripción

Luego de realizar la compra de los componentes necesarios se inició el armado del diseño del sistema. Tras concluir con lo anterior se procedió a realizar las pruebas pertinentes; no se requirió realizar algún cambio significativo, más allá que el de la distribución de los elementos para mayor comodidad y orden. No se presentaron contratiempos con respecto a la simulación realizada.

Resultados

- Se da por concluida la parte funcional del proyecto.

Próximias Tareas

- Continuar con el documento del “Artículo científico”.

29/03/2024 - Continuación de la documentación.

Descripción

Dado un contratiempo no se realizó la actualización de la bitácora del día 27/03/2024. Adicionalmente a lo anterior se continuó ahora con la redacción del artículo científico solicitado.

Resultados

***Ninguno por el momento.

Próximias Tareas

- Continuar con el documento del “Artículo científico”.

31/03/2024 - Conclusión de la documentación.

Descripción

Se trabajó en la redacción del documento correspondiente al artículo científico.

Resultados

- Conclusión de la documentación del proyecto.

Próximas Tareas

- Realizar pruebas del sistema previas a la defensa.
- Presentar la defensa del proyecto.

04/04/2024 - Últimos preparativos para la defensa.

Descripción

Se realizaron los últimos para la presentación de la defensa además de preparación de la documentación para la entrega de la misma.

Resultados

- Finalización del proyecto.
- Entrega de documentación.

Tarea final

- Defensa y entrega de documentos.

Referencias

- [1] Electrical Engineering, "Constructing Excess 3 BCD to 7 segment decoder - circuit hints needed", Stack Exchange. Electrical Engineering, <https://electronics.stackexchange.com/questions/101470/constructing-excess-3-bcd-to-7-segment-decoder-circuit-hints-needed> (Consultado: 25 mar., 2024).
- [2] Sarah Harris y David Harris. Digital design and computer architecture: arm edition. Morgan Kaufmann, 2015.
- [3] SparkFun, "Transistors: Applications I: Switches", SparkFun, <https://learn.sparkfun.com/tutorials/transistors/applications-i-switches> (Consultado: 24 mar., 2024).