

使用 **Synopsys** 的 **DesignWare® IP** 实现基于 **AMBA® 3 AXI™** 协议的快速设计

Mick Posner, Product Marketing Manager, Synopsys, Inc.
August 2006

概述:

为了在最短时间内成功开发基于AMBA 3 AXI协议的设计，不仅需要精通简单设计和单个IP元件，更需要一套广泛的综合实现IP、验证IP以及集成整个SoC子系统的自动化方法。

AMBA 3 高级扩展界面 (AXI) 协议由于大幅度扩展了AMBA 2.0片上总线的性能和灵活性，因而具备了更多的优势。同时也增加了设计的复杂度。DesignWare IP为AMBA 3 AXI协议的解决方案让设计者能快速、简便地集成此高速协议，同时降低了风险，加快了设计周期。为AMBA 3 AXI协议的DesignWare IP解决方案提供了存取三种主要需求元件的权限，包括综合实现IP、验证IP和使用Synopsys的CoreAssembler工具实现子系统自动集成。在基于AMBA 3 AXI协议的下一代高速设计中，这三部分的组合使得设计人员能充分降低设计和验证时间。

技术背景——AMBA 3 AXI协议

为了正确领会面向基于AMBA 3 AXI协议的工程设计挑战的复杂性，我们必须理解AMBA 3 AXI协议自身的技术特点。AMBA 3 AXI协议是专门为实现下一代IC设计，由包括Synopsys在内的30多家公司合作开发的。AMBA 3 AXI协议定义了一种单向channel的架构，它能有效使用寄存器片断实现管道的高速连接。它支持多重突发事务、完成无序处理事务，和高效使用读、写和地址/控制操作的channel的联系，能使系统具有较高的性能和效率。这种性能只受外围设备容量的限制。(capabilities 在这里不应该作容量讲吧？译成：而系统的性能只会受到外围设备本身性能的限制。会不会更好？)

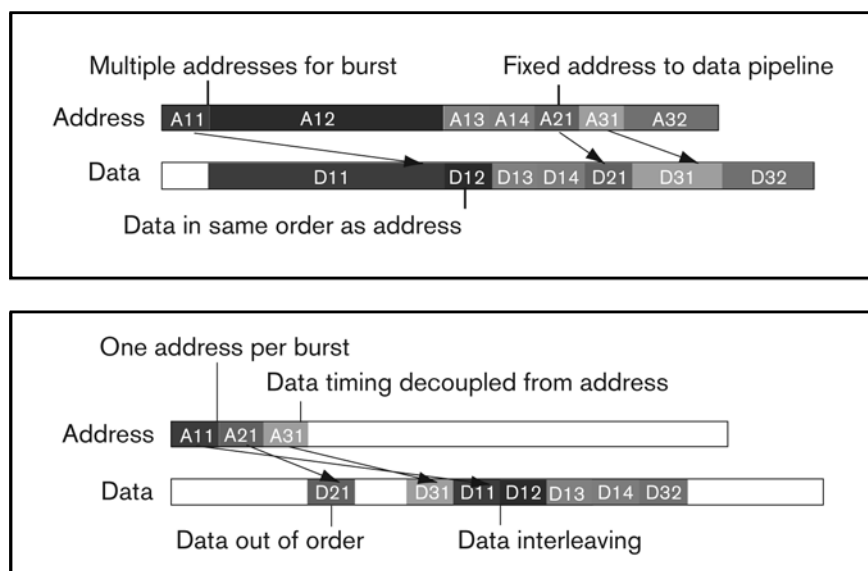


图 1 AMBA 2.0 AHB 之上的 AMBA 3 AXI 协议的技术优点

AMBA 3 AXI协议：channel的作用

AMBA 3 AXI协议的架构和以前的AMBA协议有很大不同，因为它引入了channel。五个独立channel均由一组信息信号组成，使用一种双向“VALID”和“READY”的握手机制。当channel具有有效数据或者控制信息时，信息源使用“VALID”信号。目标则使用“READY”信号表示可以接收数据。读数据和写数据的channel均包含“LAST”信号来表示最终的数据传输。读和写处理都有各自的地址channel。地址channel包含了某种事务处理所需要的所有地址和控制信息。读数据的channel传输由从模块到主模块的读数据和读响应信息。读数据的channel包含了8、16、32、64、128、256、512或1024位的数据总线，以及用来表示读处理过程完成状态的读响应信息。写数据的channel传输由主模块到从模块的写数据和写响应信息。数据的channel包含了8、16、32、64、128、256、512或1024位的数据总线，同时对每8个数据位使用一个字节用来表示数据总线中哪个字节是有效的。支持非对齐的传输能更有效地使用总线以获得更高的性能，更低的存取时间和更高带宽。

AMBA 3 AXI的DesignWare IP解决方案

随着AMBA 3 AXI协议的复杂化，基于此协议的子系统的设计和验证成为一关键问题，它需要大量的专门技术。DesignWare IP的解决方案专门为简化设计任务，给工程师提供存取通用设计和验证IP模块，以加快从模块到子系统级别的实现和验证过程。另外，coreAssembler工具可自动集成子系统和测试实例。设计人员使用为AMBA 3 AXI的DesignWare IP的解决方案可以快速集成，综合和验证基于AMBA 3 AXI的设计。

为AMBA 3 AXI的DesignWare综合IP

DesignWare综合IP是解决方案三部分的第一部分，它可以快速实现高带宽，低存取时间和高性能的基于AMBA 3 AXI的设计。综合IP包含三个关键元素：互连总线制造，AXI到AHB的桥，主模块和从模块的通用接口。这些是新建任何片上系统的基本构建模块，它们使设计人员易于实现基于AMBA 3 AXI的架构。这些IP元件也能帮助已有IP和专门应用模块转化为基于AMBA 3 AXI，从而保证了产品的高重用性。

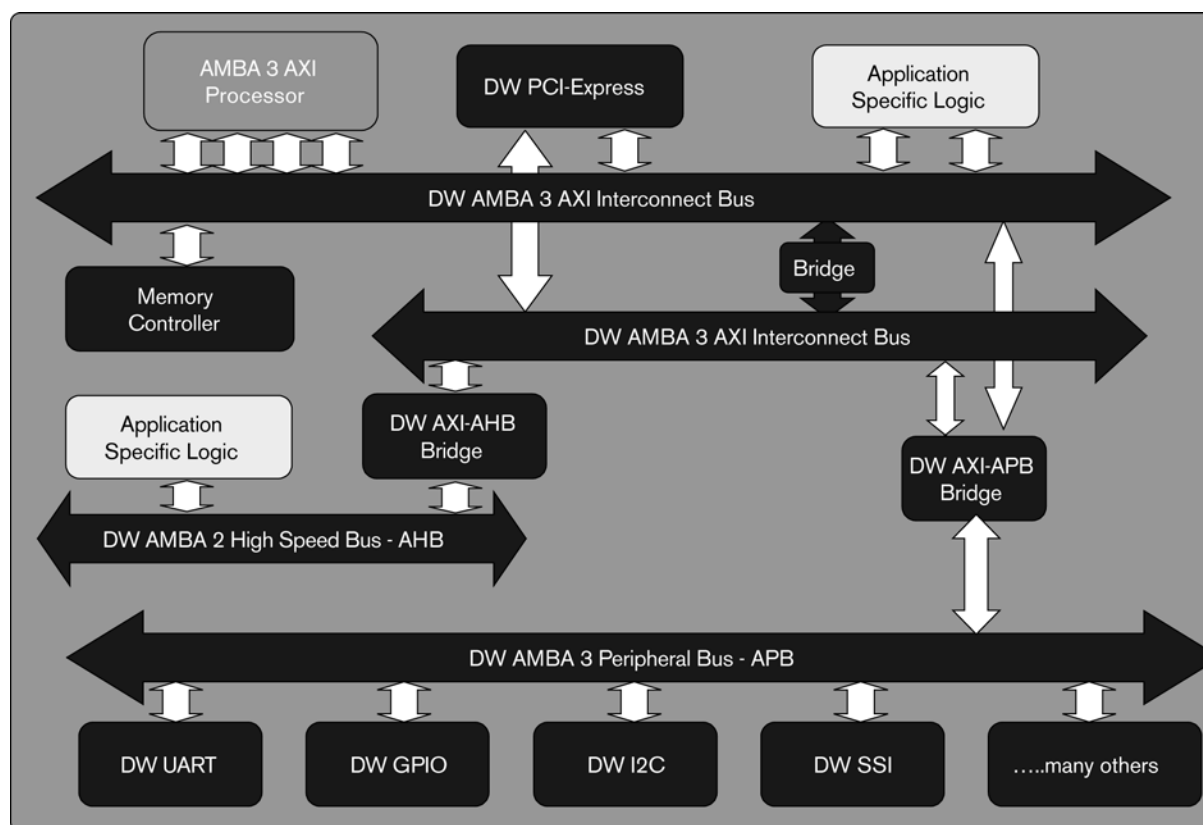


图 2 为 AMBA 3 AXI 和 AMBA 2.0 AHB/APB 的 DesignWare 验证 IP

为AMBA 3 AXI的DesignWare Interconnect Fabric (DW_axi) 具有的特点使其目前为止是基于AMBA 3 AXI协议设计的标准互连制造的最佳方案。DW_axi灵活的配置为工程师提供了一系列特色来匹配他们的具有优先顺序的设计需求。DW_axi是AMBA 3 AXI协议的RTL级互连实现，它可以同时实现不同主从模块之间的传输。它能配置支持最多16对支持所有协议中指定的地址和数据宽度的主模块和从模块。DW_axi是基于多重地址，多重数据总线架构的，它有选项内置于系统译码器。每个处理过程在地址channel包含地址和控制信息，它们描述了所要传输的数据的自然状态。数据在主模块到从模块之间传输时，从模块使用写数据channel，主模块使用读数据channel。在写处理过程中，所有数据均从主模块流向从模块，AMBA 3 AXI协议具有一个额外的写响应channel来允许从模块给主模块发出信号表示写

过程的完成。这种多层互连架构允许在所有5个AMBA 3 AXI的channel的不同主/从模块对之间进行并行传输。因此其系统带宽并不受DW_axi限制，而是受外部主从模块的限制。

除了提供组合式地址和数据channel的控制以外，DW_axi提供了内部和外部流水线操作，称为register slicing。它能使设计人员可以得到尽可能高的工作频率、带宽和性能。可配置的内部和外部register slicing能应用于单个的channel，无论是全路径还是向前控制路径，以提供时间和制造优化性能的最大灵活性。为优化SW_axi以获得最佳性能和最小面积，它包含了一个从属的可见特征，当不是所有的从模块对所有的主模块是可见的情况下可以使用该特征。它定制主模块的可见性用于对于正常和boot模式的从模块的存取，结果使得任何逻辑的复杂度降低。这样能以最少的逻辑得到优化的性能。

AMBA 3 AXI协议的一个关键目标是能互用已有的AMBA 2.0技术。为达到互用的目标，DesignWare IP解决方案包含了一个AMBA 3 AXI的桥梁，连接AMBA 2.0 AHB，称为DW_axi_x2h。DW_axi_x2h支持和完整的基于AMBA 2.0的子系统之间的联系，可以提供已有的基于AHB的子系统的复用。在lite模式中，单独的受控元件可以直接连接至基于AMBA 3 AXI协议的总线。这种互用的一个明显的优点在于设计人员已经拥有了大量的经DesignWare验证的AMBA 2.0 AHB和APB的综合IP和验证IP。它能提高复用的选择，增加了设计人员用于有差异的设计的时间，而不用用于通用子系统的创建和验证。DesignWare综合IP解决方案包括了另外一些基于模块的通用AMBA2.0的设计，比如AHB总线制造，DW_ahb，APB桥和制造，DW_apb，和一些外围设备，例如DMA，内存控制器，I2C，SSI，GPTI，RTC，定时器和中断控制器等。

还有一些可复用的基础元件也易于实现基于AMBA 3 AXI协议设计，它们就是DesignWare的为主模块和从模块的通用接口模块，称为DW_axi_gm/gs。DW_axi_gm/gs采用了一种通用的接口，减少了从定制的IP或者专用应用模块转为基于AMBA 3 AXI协议的总线的时间。当定制的应用或者IP连接至基于AMBA 3 AXI的总线时，设计人员不用担心协议的细节，因为DW_axi/gs模块能处理大部分AMBA 3 AXI接口的细节。当使用通用的接口时，一旦设计和AMBA 3 AXI的总线相连时，设计人员可以有更多的时间专注于验证和检查。

为AMBA 3 AXI的DesignWare Verification IP

DesignWare IP的解决方案的第二部分是为AMBA 3 AXI的Synopsys的DesignWare验证IP（VIP）。通过引入更多产品验证的高级技术，这些验证IP提供了一种快速有效的方法来验证基于AMBA 3 AXI的片上系统。AMBA 3 AXI的DesignWare的验证IP包含以下元件：主模块、从模块、监视器和验证互连。每个元件均支持所有的AMBA 3 AXI的地址和数据宽度，以及所有协议传输和响应的字节。VIP的主模块和从模块用于产生和响应处理事务。验证互连能产生一个具有完整互连功能的子系统，以帮助在模块级对多重模块相互作用的集成过程中的测试。验证IP包含完整的命令集，它可以完成定向处理事务，基于level命令的测试。（我想这句话原来的英文就有问题：The verification IP includes a full-featured command set, which enables directed transaction, level command-based testing. 是不是应该为翻译成：验证IP包含完整的命令集，它可以完成定向的传输级的，并基于命令的测试。）验证IP将迅速修正互连错误，功能错误，通过特殊例子的测试。

验证IP已经获得AMBA3所确认的认证标志。这个标志表示DesignWare验证IP已被证明能正确实现于AMBA 3 AXI的规范系统，此系统是由来自ARM公司的规则集合所组成的基于断言的AXI测试系统。当验证IP被应用于模块级，对于工程师，这些模块的接口可以保证和AMBA 3 AXI协议规范一致。由于这些模块均已证明在AMBA 3 AXI上的正确性，因此设计人员能轻易在模块级集成最终的子系统。DesignWare的验证IP除了能用于创建现实的应用系统外，还能被用于在子系统级进行完全测试主模块和从模块之间作用。使用这些IP可以确定符合AMBA 3 AXI协议规范。

DesignWare验证IP和参认证验证方法

DesignWare验证IP采用重用分层的、覆盖驱动的、随机约束的验证方法，它可用于快速产生上千种传输过程。

带约束的随即验证的生成是通过Synopsys的参认证验证方法(RVM)定义的。RVM是在验证方法手册中目前可以获取的最好的实践方法。它为自动产生处理事务来强调协议组合的最大数目制定了一种强大的方法。随机约束、覆盖驱动的方法相比于传统的定向测试方法，可以为大而复杂的设计提供更好的产品和质量的验证。在定向测试的方法下，工程师通过写单个的测试来验证特殊的设计特点。此方法耗时巨大，尤其对于拥有大量相互作用的复杂设备更是可观。慢慢地，设计往往在达到验证质量目标前就流片，因而加大了提高成本的可能。

通过一种随机约束、覆盖驱动的方法，工程师可以为设计写出描述实际输入情形的高级的约束。先进的验证工具和验证IP将使用这些约束自动产生成千种测试校验实例而不用工程师去设计。功能覆盖用于指导验证和测量过程。它可以使验证质量目标可以在流片之前较容易达到，即使对于更复杂的设计也是如此。参考验证方法建于一种能重用的架构之上，用于实现带约束的随机验证环境，它能使模块级的测试重用于模块级、子系统级和多重项目之间。RVM驱动验证IP意味着设计人员只需写最少的代码，即可按顺序产生成千上万的测试，通过实际的总线流量足以强调模块或子系统。基于Synopsys的RVM的环境提供了对于所有的验证元件一种统一的接口，它极易理解，而且能加快地在其他的项目之间重用。

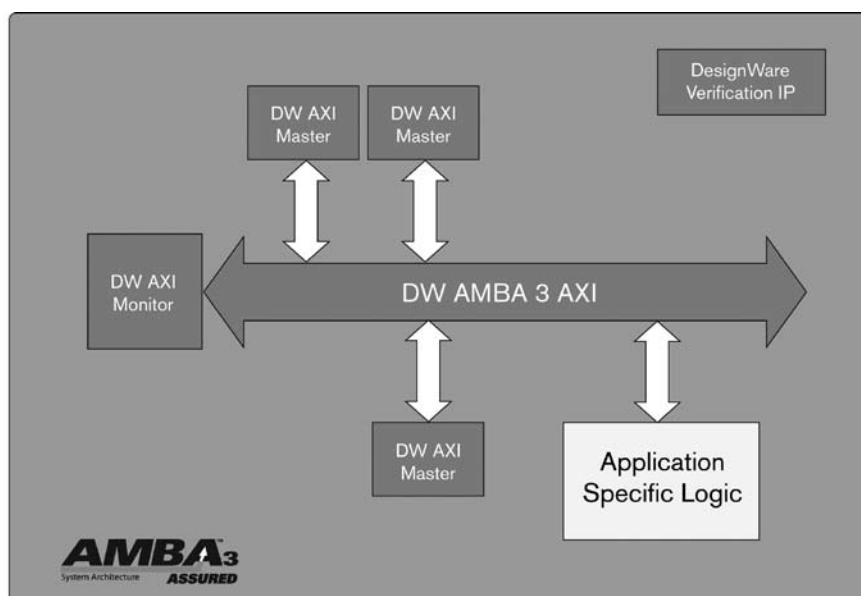
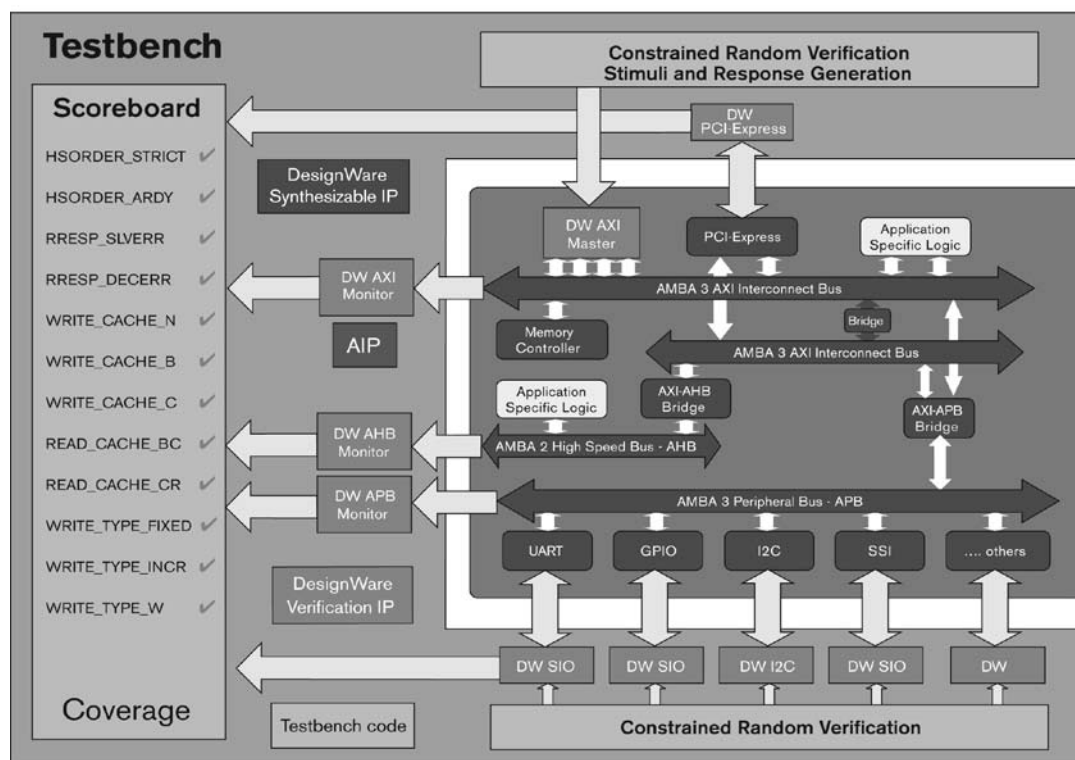


图 3 使用为 AMBA 3 AXI 的 DesignWare 验证 IP 进行模块级的验证

为加快一个基于AMBA 3 AXI协议系统的验证，DesignWare验证IP应被用来依次验证单个的元件接口，子系统，最终是完整的系统。在模块级，验证IP可产生有效准确的激励以测试AMBA 3 AXI接口的应用。如果测试是根据RVM指南生成的，此级别的测试可以在子系统级再次运行。由于DesignWare为AMBA 3 AXI的验证IP均以通过AMBA3认证，设计人员可以对于验证过程的质量足够放心。

一个原始的基于AMBA 3 AXI的子系统的有效验证可以用许多松散连接的IP和DesignWare验证IP的设计模块来实现。这样可使互连、处理事务和特征能很快被验证，同时很快创建一套高覆盖率的测试。DesignWare验证IP的主模块和从模块被用于替代元件，这样主模块的VIP即可用于创建定向和约束的随机验证事务。这种方法允许快速地创建子系统的激励和响应，可以快速解决任何设计互连的问题。DesignWare验证IP的监视器被用于检查是否适应AMBA的需求以及提供和基于测试标准的得分板（scoreboard）的直接接口。



得分板实质是测试程序的一个模块，可提供一种自动智能的方法跟踪事务，覆盖和数据流。对于数据，它可设置为跟踪源标准数据并比较目标数据来为所测试的数据路径产生一个通过或失败的标准。得分板和DesignWare验证IP的监视器直接相连，以使所有的事务和覆盖数据被提取，捕获和验证。使用DesignWare验证IP监视器的优点在于当主模块和从模块的验证IP被删除或者被系统级别测试的真实RTL替代时，相同的基于得分板的验证环境可以继续使用。当监视器为被动元件时，它们可以用于整个验证周期。

为了进一步加快验证过程，在模块和子系统级的环境中应该加入断言IP从而能使formal和hybrid formal的验证工具，例如Synopsys的magllan工具。验证环境应包括验证IP和断言IP。验证IP监视器提供了高级模拟特征，例如：cross-port的覆盖和得分板通告。由于ARM提供定义了断言的IP作为可执行规范，(specification)，所以它可以作为参考的标准结果。所有的DesignWare的验证IP元件已经通过ARM提供的作为AMBA3确认证过程的一部分的断言IP的验证。此外，DesignWare验证IP的监视器可以帮忙确定何时验证完成，通过跟踪和记录每个事务，提供覆盖信息，给出违反规范的错误和警告。

验证的最后一阶段就是完整系统级别的验证。在此阶段，必须包括对于松散连接应用的元件的RTL和IP。外部接口必须经过验证，其他的DesignWare验证IP此时可以用来减少系统级测试的负担。设计人员能广泛使用DesignWare Verification IP，它是作为VCS Verification Library的一部分，DesignWare Library产品包括PCI Express®，串行IO，I2C，以太网，USB，USB-OTG以及成千上万种基于存储器模型。DesignWare Verification IP中为ABMA 3 AXI的主模块仍应用于产生激励因为原始子系统的测试能立即重用。另外的DesignWare Verification IP 还可以直接和得分板一起提供完整的智能验证平台。

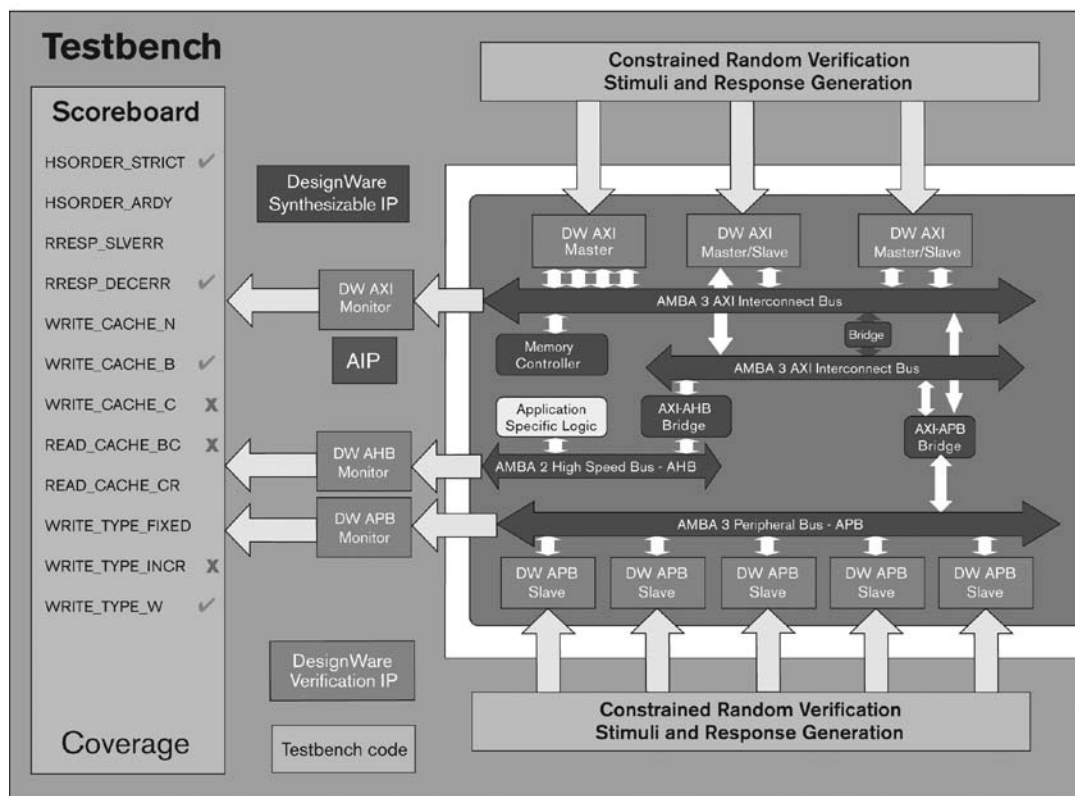


图 5 使用 DesignWare 验证 IP 进行系统级的验证

验证工程师也希望尽可能快地模拟验证设计、标准测试、验证IP和断言IP。Synopsys VCS®模拟器可得到很高的模拟性能。VCS把完整的设计环境、设计、标准测试、验证IP和断言IP优化成单个统一的内核。这单个编译的内核能消除传统模拟环境中经常出现的通信和同步的问题。此方法具有5倍或者更多的模拟性能提高。对于验证工程，这意味着以前需5天运行的测试现在可以在1天以内完成。工程师能有更多的时间确保覆盖数目，提高最终设计的信心。

集成一体：DesignWare IP和Synopsys的coreAssembler工具

DesignWare IP的解决方案的第三部分，是Synopsys的coreAssembler工具。当DesignWare Library IP和coreAssembler工具一起使用时，设计人员可在更少的时间内自动集成模拟和综合基于AMBA的子系统。coreAssembler工具能使子系统自动生成设计和AMBA 3 AXI和AMBA 2.0 AHB/APB元件的模块集成。coreAssembler工具可减少含有DesignWare IP的专用子系统的生成时间。这再次让设计人员可以专注于产品的其他测试或者差异性设计。coreAssembler工具完全支持“在工具流程内专为封装、集成和重用IP的结构”，SPIRIT，格式，适合SPIRIT的第三部分和定制IP模块能轻而易举地被封装到装配子系统。

DesignWare的综合和验证IP和“assembly intent”封装在一起。（这句翻译成：在打包DesignWare的可综合IP和验证IP时使用了“装配导向技术”。会不会更好？）这是内置的，专门协议技术，能使coreAssembler自动完成IP模块的相互连接。Synopsys集成的专门技术是从AMBA IP和基于AMBA子系统的创建中多年形成的。它支持任何AMBA 3 AXI或者AMBA 2.0或者多层子系统的配置，另外还支持AMBALITE的配置。例如，设计人员具有AMBA 3 AXI互连的制造和AMBA 3 AXI到AMBA 2 AHB的桥元件，coreAssembler内置的集成系统可以自动将两个AMBA 3 AXI接口连接集成。这种自动构造方法可以消除印制产生线的错误。所有的DesignWare Library 综合IP元件和这种设计技术一起捆绑，还有一套缺省的参数。因此，产生一个子系统的初始设计就简单到只需点几下鼠标，选择几个下拉菜单以及配置一些子系统参数即可完成。

总结

采用基于AMBA 3 AXI协议的高性能SoC的设计的最大障碍在于综合IP、验证IP的获得以及在可能短的时间内有效地产生复杂架构的能力。为了适应市场需求，所有这些部分对于设计工程师必须是易懂的。使用Synopsys的 DesignWare Library和coreAssembler工具，这些关键部分变得很容易获得。DesignWare的AMBA 3 AXI和AMBA 2.0 AHB/APB的综合IP包含了下一代子系统所需要的基础构建模块。为AMBA 3 AXI和AMBA 2.0 AHB/APB的DesignWare Verification IP 能满足和达到复杂高性能的子系统设计所必须的验证要求。最后，Synopsys的coreAssembler工具将综合和验证元件集成到自动化的流程中，来优化子系统设计的创建、模拟和综合。DesignWare IP 的为AMBA的解决方案易于实现基于AMBA 3 AXI协议的设计。

SYNOPSYS®
Predictable Success

700 East Middlefield Road, Mountain View, CA 94043 T 650 584 5000 www.Synopsys.com

Synopsys, the Synopsys logo, Design Compiler, DesignWare and Physical Compiler are registered trademarks and Astro is a trademark of Synopsys, Inc. All other trademarks or registered trademarks mentioned in this release are the intellectual property of their respective owners and should be treated as such. All rights reserved. Printed in the U.S.A.
©2006 Synopsys, Inc. 8/06.PS.06-14766. CPR.50