

华南农业大学期末考试试卷（A 卷）

2016-2017 学年第 2 学期

考试科目：计算机组成原理

考试类型：（闭卷）考试

考试时间：120 分钟

学号 姓名 年级专业班级

题号	一	二	三	四	总分
得分					
评阅人					

注意事项：

(1) 本试题分为试卷与答卷 2 部分。试卷有四大题，共 8 页；

(2) 所有解答必须写在答卷上，写在试卷上不得分；

(3) 考试过程中不得使用计算器；

(4) 考试结束后只交答卷。

得分	
----	--

一、选择题（本大题共15小题，每小题2分，共30分）

1. 下列说法正确的是_____。

A. 微程序是计算机能够直接执行的机器语言

B. 汉字字模码是指从键盘输入时用的编码（如拼音码、五笔码等）

C. 奇偶校验码是一种功能很强的检错纠错码

D. 控制器的主要作用是在时序发生器的作用下，给 ALU、寄存器组、内存等功能部件提供恰当的控制信号

2. 设某机器有 64 个 16 位的寄存器组，寄存器 R_3 和 R_4 中各存放一以补码形式表示的整数，内容分别为 0xFFFFE 和 0x001E。以 $[x-y]_{补}=[x]_{补}+[-y]_{补}$ 方式执行指令 SUB R_3, R_4 后，进位/借位 C 和溢出标志位 V 的状态是_____。

A. C=0, V=0

B. C=0, V=1

C. C=1, V=0

D. C=1, V=1

3. 现有两二进制真值数 x 和 y，其中 x 的原码为 0101101，y 的移码为 1011100，则 x-y 的补码应为_____。

A. 0010001

B. 1010001

C. 1010011

D. 0101010

4. 现有 16KB 的 DRAM 芯片用作存储器，该芯片由 $128 \times 128 \times 8$ 的存储阵列组成，高 7 位地址为行地址，低 7 位地址为列地址。在刷新期间若刷新计数器的计数值是 89，

- 则下列哪个地址对应的字能被刷新_____。
- A. 1AB3 B. 2C9A C. 204F D. 35C2
5. 关于 CPU 和主存之间增加的高速缓冲存储器 Cache, 下列说法正确的是_____。
- A. 当没有命中时需要到主存去存取
- B. 当 Cache 即将被替换时不用写回主存
- C. 直接映射方式下的替换策略最复杂
- D. 解决 CPU 和主存之间的速度匹配问题, 且扩大了主存的容量
6. 下列一段代码①~⑥, 不可能发生的相关类型是_____。
- ①AND R1,R2,R3 ②MUL R4,R1,R5 ③ADD R4,R1,R5
- ④JRC loop ⑤SUB R1,R2,R3 ⑥loop: MVRD R7, 15
- A. RAW B. WAW C. 控制相关 D. 资源相关
7. 某浮点流水线包括对阶、尾数加减、规格化等流水段。相对于未采用流水技术前, 浮点加减法运算速度提升了 1.5 倍。此浮点流水线性能提升是因为_____。
- A. 采用了时间并行技术 B. 采用了空间并行技术
- C. 采用了并行操作系统 D. 采用时间和空间并行技术
8. 运算器的数据通路如图 1 所示, 下列描述正确的是_____。
- A. 假定采用水平型微指令方式设计微程序, 那么控制信号 R2->Y 与 R3->Y 可以同时置为 1
- B. 若采用编码法设计微指令, 那么+、-和 V 可以编码成 2 比特
- C. 若执行逻辑左移指令 SHL R1, 则应该设置 ALU 为 M, 并设置移位器为 L
- D. BUS->主存与 BUS->R1 不能同时进行
9. 假设某系统总线在一个总线周期中并行传输 64 位的信息, 一个总线周期占用 2 个总线时钟周期, 总线时钟频率为 33MHz, 则该总线带宽是_____MB/s。
- A. 264 B. 132 C. 2112 D. 1056
10. 下列不在中断接口中的触发器是_____。
- A. 准备就绪的标志(RD) B. 允许中断触发器(EI)
- C. 中断请求触发器(IR) D. 设备忙标志(BS)
11. 若磁盘的位密度提高一倍, 则_____。
- A. 磁盘存储容量提高一倍 B. 平均找道时间减半
- C. 磁盘转速提高一倍 D. 相同数据量时传送时间延长一倍

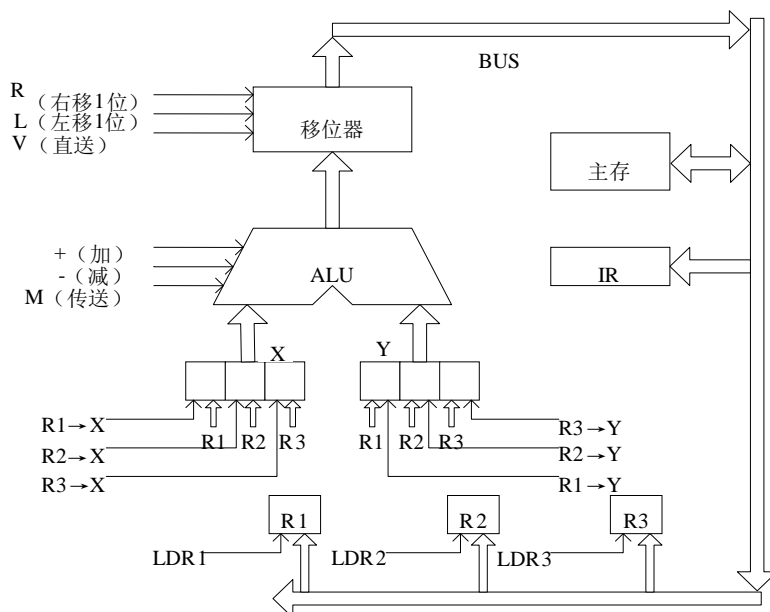


图 1 某运算器模型

12. 常见的分辨率为 1920×1080 的高清视频，颜色为 32 位，刷新频率为 60Hz。若不经过程序编码压缩，则 1 分钟的视频所占用的硬盘空间为_____。
- A. 8MB B. 30GB C. 498GB D. 2MB
13. 下列叙述中正确的是_____。
- A. 网卡数据缓冲区满了后，经由接口向 CPU 发出中断请求。CPU 接到请求后，立即停止当前的操作，转而去响应网卡的中断请求
- B. 从 CPU 的有效利用角度来看，程序中断方式优于程序查询方式
- C. 关中断由中断控制器实现，开中断由中断服务子程序实施
- D. 某外设的中断允许寄存器 EI 及 CPU 的中断屏蔽寄存器 IM 值均为 0，则当该外设发出中断请求时，有可能获得 CPU 的授权
14. 关于 DMA 控制器，下列说法正确的是_____。
- A. DMA 的主要优点是速度快，原因是因为它完全脱离 CPU 独立进行数据传送
- B. DMA 和通道主要由硬件实现输入/输出控制，更适合中高速外设
- C. 采用停止 CPU 访问内存的传送方式时，因不需要反复切换总线，故总线利用率高
- D. 对于 DMA 的周期挪用传送方式，又称为“透明的 DMA”方式
15. 某 32 位计算机内存的最大存储空间为 $64\text{M} \times 32$ ，内存按字编址，实际布局结构如下图所示，上为低位地址下为高位地址，阴影部分为不可用区域。现有 $8\text{M} \times 16$ 和 $2\text{M} \times 16$ 两种大小的 ROM、DRAM 和 SRAM 芯片若干，用高 3 位地址经由 3-8 译码器产生译码线 $\overline{Y}_0 \sim \overline{Y}_7$ 作片选，则 $2\text{M} \times 32$ 的那两个 SRAM 芯片的片选 \overline{CS} 应为_____。

$8\text{M} \times 32$ (ROM)
$40\text{M} \times 32$ (DRAM)
$2\text{M} \times 32$ (SRAM)
$6\text{M} \times 32$ (不用)
$8\text{M} \times 32$ (不用)

- A. \bar{Y}_6 B. $\bar{A}_{22}\bar{A}_{21}\bar{Y}_6$ C. $\bar{A}_{22}\bar{A}_{21} + \bar{Y}_6$ D. $A_{22} + A_{21} + \bar{Y}_6$

得分	
----	--

二、填空题（本大题共10小题20空，每题2分，共20分）

- 按照冯·诺伊曼思想，计算机中的信息应表示为_____进制，指令和数据都存储在存储器中，按_____访问存储器中的指令和数据。
- 采用变形补码进行浮点减法运算，得到二进制结果 $10.101011(10) \times 2^{-110}$ ，则在其后进行的规格化处理但未进行舍入操作前的结果为_____。（11.010101 (11) *2⁻¹⁰¹）
- 为了在计算机内部将加加减法统一成加法进行运算，需要采用_____作为机器码。_____的数值范围与原码的相同。
- 计算机指令系统分为CISC和_____，普遍使用的 Intel x86 系列机属于_____。（RISC, CISC）
- 设某 8 位字长的 CPU，采用双字长方式设计绝对跳转指令 JMPA L1。其中，JMPA 的 OP 码为 1110，L1 指向内存的 10 号单元；当前的 PC 值为 5。经过编译器后，生成如下的机器指令以 VHDL 语言放置于对应的内存单元，即

ram (x) <= "11100000";

ram (x+1) <= "_____y_____"

则 x 和 y 分别为_____和_____。（10, 00001010）

- 某非哈佛结构 CPU 在第一个 CPU 周期取到指令 STO R2, (R1)，功能为 Mem[R1] <- R2，则在第二个 CPU 周期应将 R1 的值送达_____寄存器然后打到地址总线传给 DRAM，并发出写信号，在第三个 CPU 周期将_____寄存器的值传给主存。
- 图 2 是一个二维中断系统，中断屏蔽触发器(IM)标志为“1”时，表示 CPU 对该级的所有设备的中断请求进行屏蔽。若 CPU 现执行设备 H 的中断服务程序，则 IM2、IM1、

IM0 的状态应设为_____。若想单独屏蔽某一个设备而不是同级所有设备，可通过设置该设备接口中的_____触发器来实现。

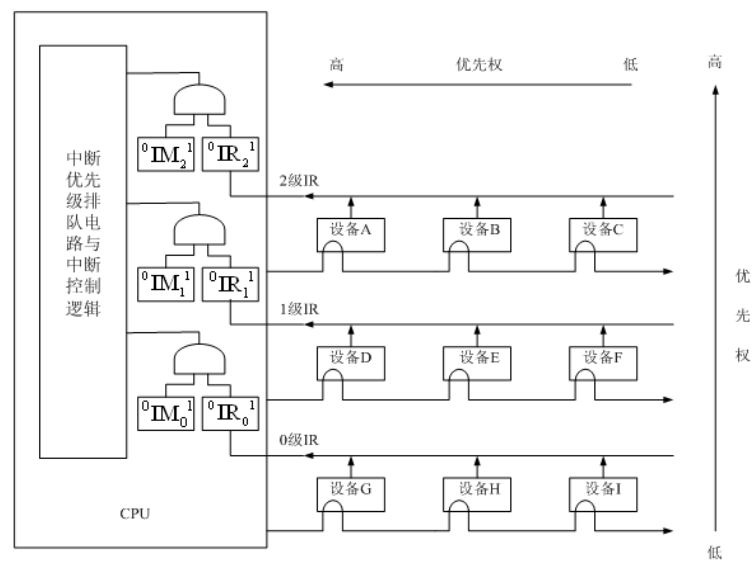


图 2 多级中断结构

8. 对于总线的定时，若挂接在总线上的各功能模块速度相近，则可以采用_____定时方式，以提高总线效率。现代的计算机中，一般采用_____仲裁方式。因为这种方式的响应速度快，优先级控制也相当灵活。（同步，独立请求）
9. 程序计数器 PC 的内容为 0x1000，变址寄存器 R_x 的内容为 0x2100，基址寄存器 R_b 的内容为 0x32B0，指令的地址码为 0x002C，且存储器内存放的内容如下：

地址	内容
0x002C	0x26A1
0x102C	0x3500
0x212C	0x560A
0x32DC	0x3840

现有取数指令 LAD R₁, 0x002C，其功能为 R₁←Mem[0x002C]。若取出的操作数是 0x26A1，则该指令采用_____寻址方式；若采用变址寻址方式，则指令执行后通用寄存器 R₁ 的值为_____。（直接，0x560A）

10. 某 CPU 采用微程序技术设计控制器。控制器实现了三条机器指令 ADD、SUB 和 BADD(BCD 码十进制加法)，OP 码分别是 00、01、10。这三条机器指令对应的微程序在控存中的布局如下表 1 右边实线部分所示。其中 P=P₁P₂，P₁ 指示是否进行译码测试，P₂ 指示是否进行进位 C 测试，x 表示 0/1，z 表示高阻态无输出。表 1 的左边虚线部分是对每条微指令的文字性说明，表 2 为设计微程序控制器中的地址转移逻辑电路的真

值表的一部分，其中 $\mu A_3\mu A_2\mu A_1\mu A_0$ 是转移逻辑输出的 4 位微地址，请补充表 2 中的空 (1)-(2)。

表 1 控存布局

微指令地址	微指令功能说明	微命令字段	P 字段	后继微地址
0000	取指令微指令	XXXXXXXXXXXXXXXXXX	10	0000
0001	ADD, 相加	XXXXXXXXXXXXXXXXXX	00	0000
0010	SUB, 相减	XXXXXXXXXXXXXXXXXX	00	0000
0011	BADD, BCD 码相加	XXXXXXXXXXXXXXXXXX	00	0100
0100	BADD, 加 6	XXXXXXXXXXXXXXXXXX	01	0000
0101	BADD, 无进位减 6	XXXXXXXXXXXXXXXXXX	00	0000

表 2 地址转移逻辑的真值表

P1	P2	OP1	OP0	C	μA_3	μA_2	μA_1	μA_0
0	0	x	x	x	z	z	z	z
1	0	0	0	x	0	0	0	1
1	0	0	1	x	0	0	1	0
1	0	1	0	x	(1)			
0	1	x	x	0	(2)			
0	1	x	x	1	z	z	z	z

三、计算题（本大题共2小题，每题9分，共18分）

得分

- （9 分）设机器字长为 8 位，最高位为符号位，其余为尾数位。已知二进制数 $X = -101101$ ， $Y = +100110$ ，用变形补码（双符号位）计算 $X+Y$ 和 $X-Y$ ，同时指出运算结果是否溢出。
- （9 分）设浮点流水线有对阶、尾数加/减、规格化及舍入处理四个流水段，各个流水段的操作时间分别为 80ns、95ns、100ns、75ns。现有 97 条加减法操作连续输入此流水线，试回答下列问题：
 - 若此浮点流水线受统一的时钟进行控制，则时钟周期最小应为多少？（3 分）
 - 流水线的实际吞吐率（单位时间里执行完毕的加减法操作）为多少？（3 分）
 - 流水线的加速比为多少？（保留 1 位小数）（3 分）

得分

四、分析题（本大题共3小题，共32分）

1. (12分) 某 32 位 (即数据和地址位数均为 32 位) 机器, ROM 和 RAM 统一按字编址, 总容量为 $64\text{M} \times 32$, 分别占用高位和低位地址空间。ROM 和 RAM 的容量分别为 $4\text{M} \times 32$ 和 $60\text{M} \times 32$, 各自由 $4\text{M} \times 16$ 的 ROM 或 DRAM 芯片构成。ROM 芯片有 $\overline{\text{CS}}$ 信号控制端, DRAM 芯片有 $\overline{\text{CS}}$ 和 $\overline{\text{WE}}$ 信号控制端, CPU 的控制信号为 R/\overline{W} (读/写)。请问:

- (1) 总共需要多少 ROM 芯片? ROM 的地址范围是多少 (用十六进制表示)? (2 分)
- (2) 总共需要多少 DRAM 芯片? RAM 的地址范围是多少 (用十六进制表示)? (2 分)
- (3) 若采用交叉方式进行字长、位数扩充, 请画出存储器 ROM 和 DRAM 同 CPU 连接的组成逻辑框图。(6 分)
- (4) 设 CPU 访问 (3) 中组织的 DRAM 时, 给出地址 $0\text{x}020\text{A}1\text{FC}3$, 则该字位于 DRAM 的哪个 32 位字长的模块 (模块编号从 0 开始)? 模块内的字地址是多少? (2 分)

2. (10 分) 设某机器字长 32 位 (即数据线、地址线位数均为 32 位), 按字编址。在该机器上运行如下的 C 语言程序:

```
int a[16], k, sum=0;
for (k=0; k<16; k++) sum += a[k];
```

设整型数据在内存中占 4 个字节 (即一个字长), 内存足够大, 数组元素放在内存中的连续单元, k 和 sum 已经放在寄存器中。假设主存和 Cache 的块大小为 4 字长, 数组元素 $a[0]-a[3]$ 存放在主存的 B0 块中, 数组 a 的其它元素依次存放; 计算机的 Cache 有 8 行, 行号为 L0-L7; 内存数据块映射到 Cache 时采用直接映射方法。试回答下列问题:

- (1) 采用直接映射时, 内存地址格式如何? 简述理由; (3 分)
- (2) 数组元素 $a[5]$ 放在 Cache 的哪一行中? 简述理由; (2 分)
- (3) 就该程序而言, Cache 的命中率是多少? 简述理由。(5 分)

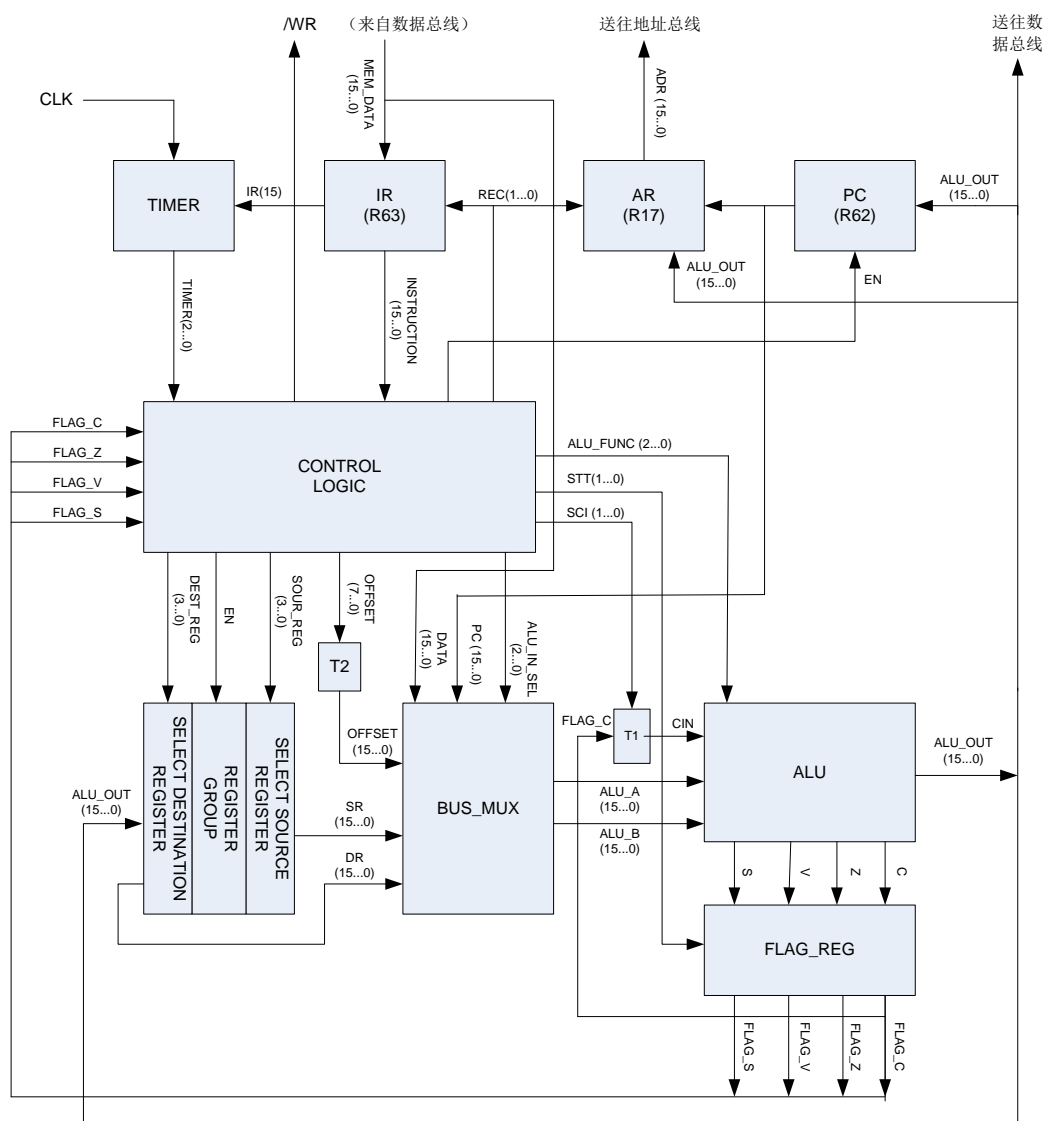
3. (10 分) 某 CPU 的数据通路图如图 3 所示。CLK 为外接时钟信号, $\overline{\text{WR}}$ 为读/写控制命令 (低电平代表写), $\text{ADR}(15..0)$ 为 16 位的地址, $\text{MEM_DATA}(15..0)$ 为数据总线的数 据。REC(1..0)、 $\overline{\text{WR}}$ 、PC_EN、ALU_FUNC(2..0)、STT(1..0)、SCI(1..0)、ALU_IN_SEL(2..0)、SOUR_REG(3..0)、REG_EN、DEST_REG(3..0) 为控制信号。根据图 3 的数据通路图, 试回答下列问题:

- (1) 指令 $\text{CMP } R_1, R_2$ 的作用是比较 R_1 和 R_2 的内容是否相同, 不改变 R_1 和 R_2 的值, 但会根据 R_1-R_2 的结果影响标志位。针对图 3 中的数据通路图, 此指令的流程图如图 4 所

示，每一方框右边只给出了该 CPU 周期所需的控制信号，其它无关控制信号略去。请填写图 x 空格中<1>-<4>的内容；（6 分）

(2) 仿照图 4，写出指令 JR offset 的指令执行流程图。其中，offset 为相对跳转偏移地址。

假定当前指令地址存放在程序计数器 PC 中。（4 分）



注：图中所有寄存器都与时钟信号相连，并当RESET信号到来时清零。

图 3 某 CPU 数据通路示意图

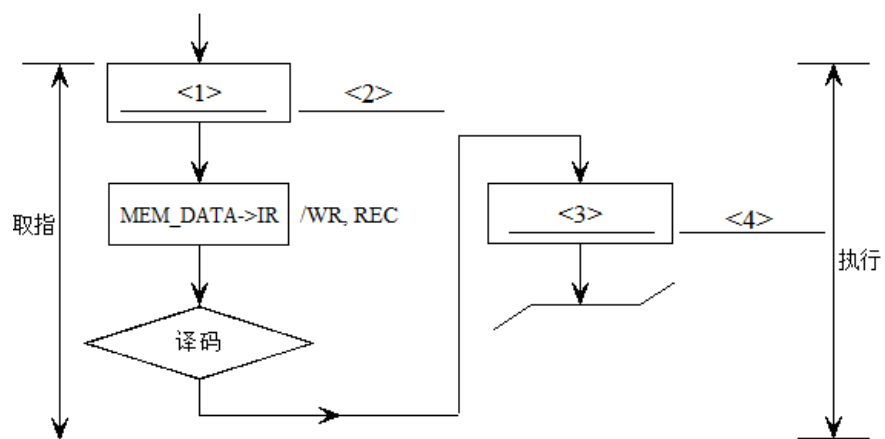


图 4 `CMP R1, R2` 的指令周期流程图