

数据通路及其控制试题

1. 图 1 为双总线结构机器的数据通路，IR 为指令寄存器，PC 为程序计数器（具有自增功能），M 为主存（受 R/\overline{W} 信号控制），AR 为地址寄存器，DR 为数据缓冲寄存器，ALU 由加、减控制信号决定完成何种操作，控制信号 G 控制的是一个门电路。

另外，线上标注有控制信号，例如 y_i 表示 y 寄存器的输入控制信号， R_{1o} 为寄存器 R_1 的输出控制信号，未标字符的线为直通线，不受控制。假设该模型机规定所有寄存器的数据打入都只能在一个 CPU 周期的最后一个时钟周期完成。

(1) 设指令“LAD (R_1), R_2 ”完成将(R_1)为地址的内存单元的内容取至寄存器 R_2 ，假设指令地址已在 PC 中, 请用方框图语言画出该指令的指令周期流程图, 并在每一个 CPU 周期右边列出相应的微操作控制信号序列。(8 分)

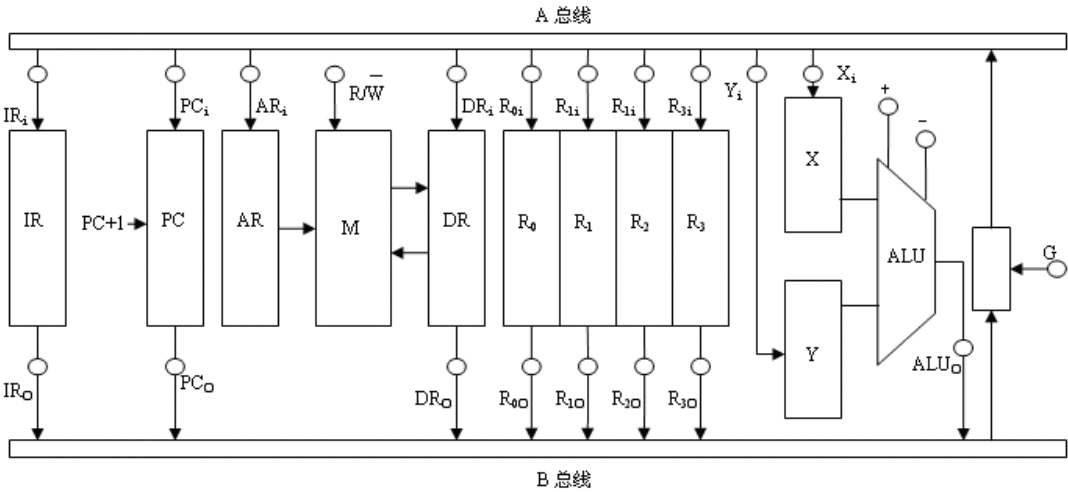
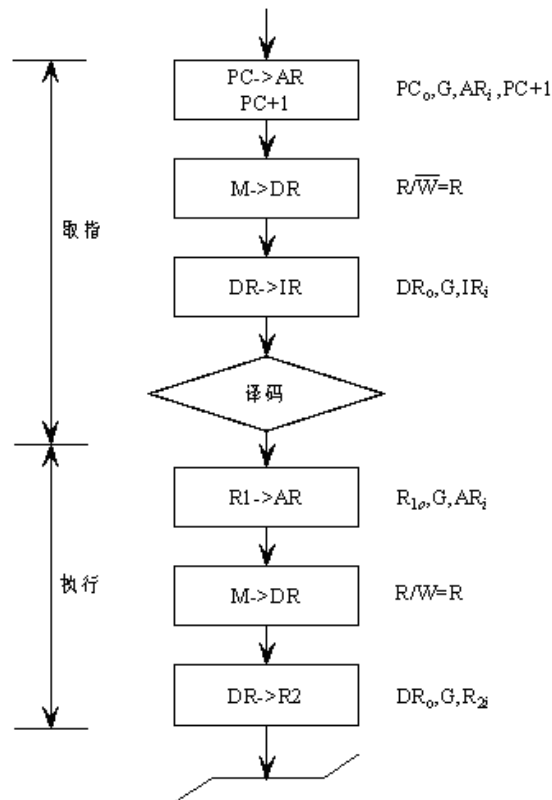


图1

参考答案：



(2) 为缩短指令周期，将存储器 M 分设为指令存储器 M1 和数据存储器 M2，修改的数据通路如图 2 所示。对于此修改后的数据通路图，画出指令“LAD (R₁), R₂”的指令周期流程图，并在每一个 CPU 周期右边列出相应的微操作控制信号序列。(4 分)

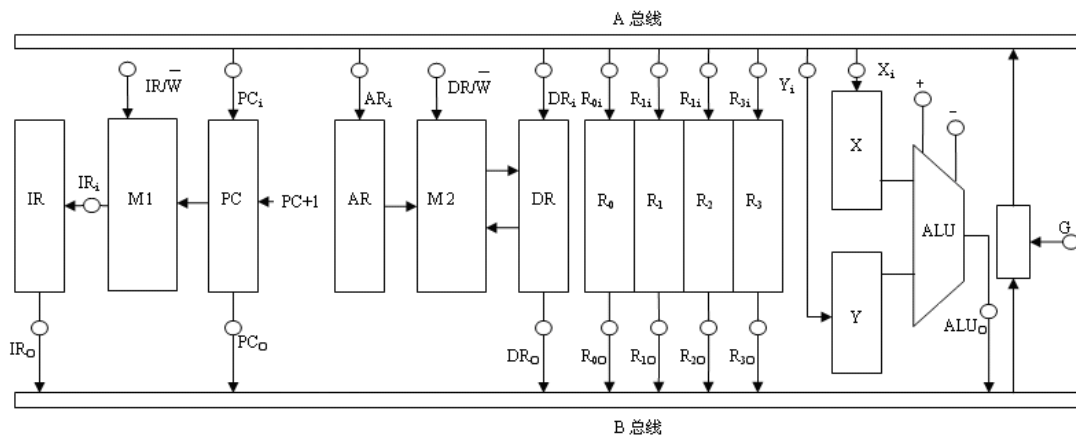
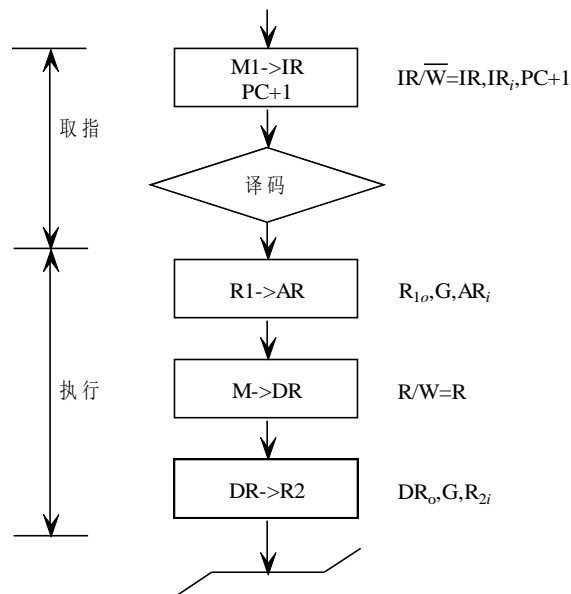


图 2

参考答案:



2. 图 3 为某模型机的数据通路图。其中，R1 和 R2 为通用寄存器，MDR 为内存数据寄存器，MAR 为内存地址寄存器，M 为存储器，PC 为程序计数器，IR 为指令寄存器，ALU 为算术/逻辑运算器，T1 和 T2 为 ALU 的暂存器。

图 3 中标注有控制信号，所有的细单线箭头代表控制微命令，如 DB→MDR 命令代表将 Data Bus 上的数据打入 MDR 中。未标字符的线则为直通线，不需要微命令进行控制。假定指令地址已在 PC 中；所有的微命令由操作控制器发出，但为简便起见，未在图中画出；存储器的读/写需要一个 CPU 周期。根据图 1 的数据通路图，回答下述的问题：

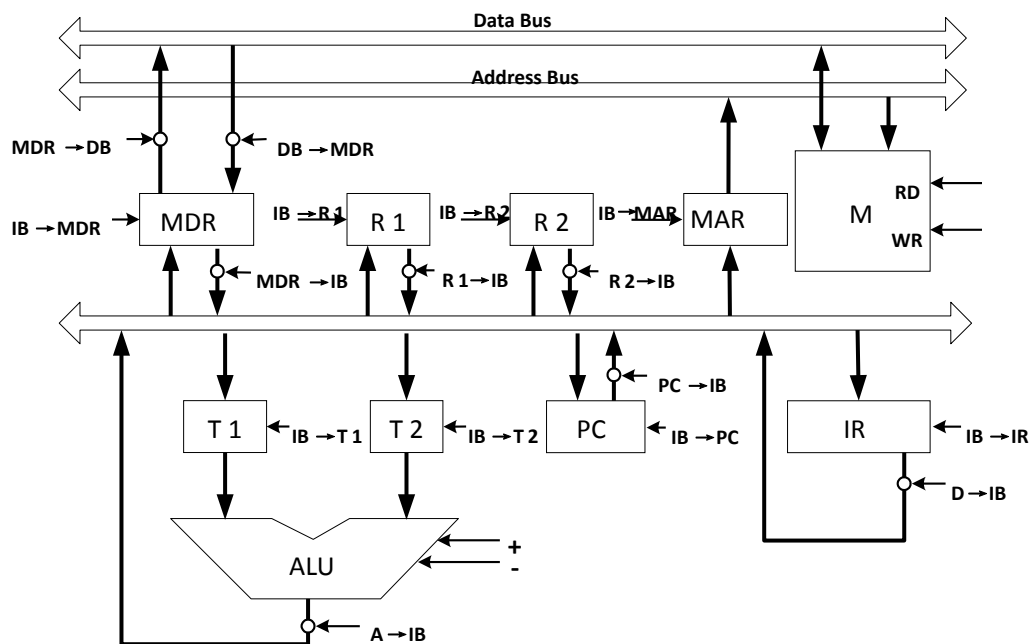


图 1 模型机数据通路示意图

- (1) 设指令“JMP ADR”实现目标地址为 ADR 的无条件跳转功能。假定这是一条双字长的指令，即先访问一次内存取出指令，然后再访问一次内存取出目标地址。参照图 4 中已经给出的、基于方框图语言的部分指令周期流程图，填写空格(1)-(4)的内容。(4 分)

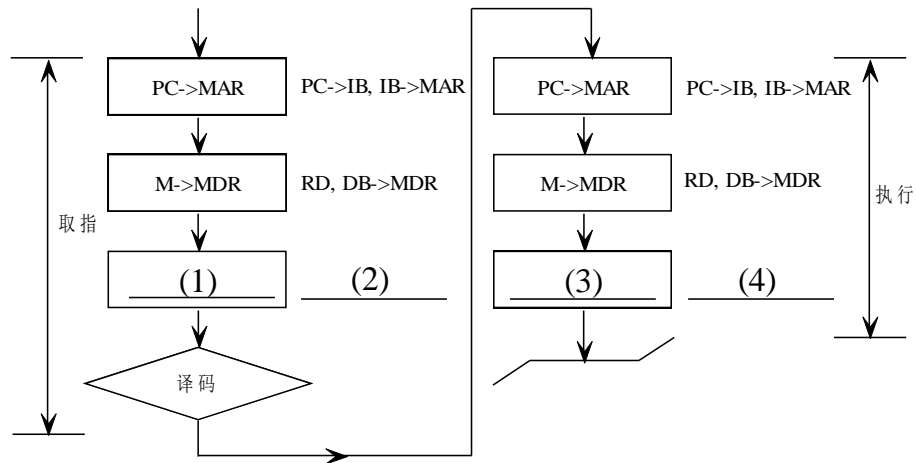


图 4 JMP ADR 的指令周期流程图

- (2) 设指令“SUB R₁, R₂”完成 $R_1 \leftarrow R_1 - R_2$ 的功能。现规定被减数放在 T1 中，减数放在 T2 中。请参照第(1)问的方法，用方框图语言画出该指令的**执行周期**流程图，并在每一个方框的右边列出相应的微操作控制信号序列。

参考答案：

- (1) 待填的两个空白方框的功能及微操作控制信号序列分别如下：

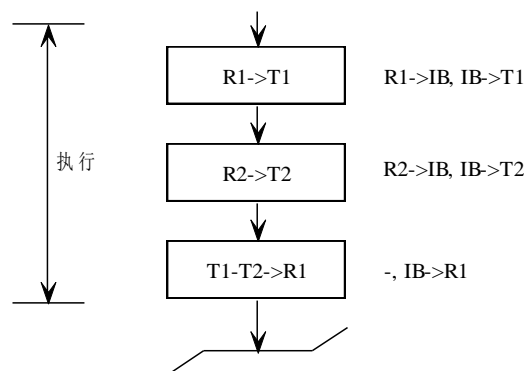
✧ 功能：MDR->IR

微操作控制信号：MDR->IB, IB->IR

✧ 功能：MDR->PC

微操作控制信号：MDR->IB, IB->PC

- (2) 指令“SUB R₁, R₂”的执行周期流程图如下：



3. 图5为某处理机逻辑框图，有两条独立的总线BUS1、BUS2和两个独立的存储器，分别是指令存储器IM和数据存储器DM。R1和R2为通用寄存器，PC为程序计数器，IR为指令寄存器，ALU为算术/逻辑运算器。图中标注有控制信号，所有的细单箭头代表控制微命令，如DARin代表将BUS1上的数据打入数存DM的地址寄存器中；C5则是通过控制门C5的信号。未标字符的线则为直通线，不需要微命令进行控制。假定指令的地址已经在PC中，所有的微命令由控制器发出，IM和DM的读/写都需要一个CPU周期。

指令“LDA A”的功能是将数存DM中存储地址为A的内容取至寄存器单元AC0。根据图1所示的数据通路图，补全该指令的流程图（图6）以及相应的微操作控制信号。

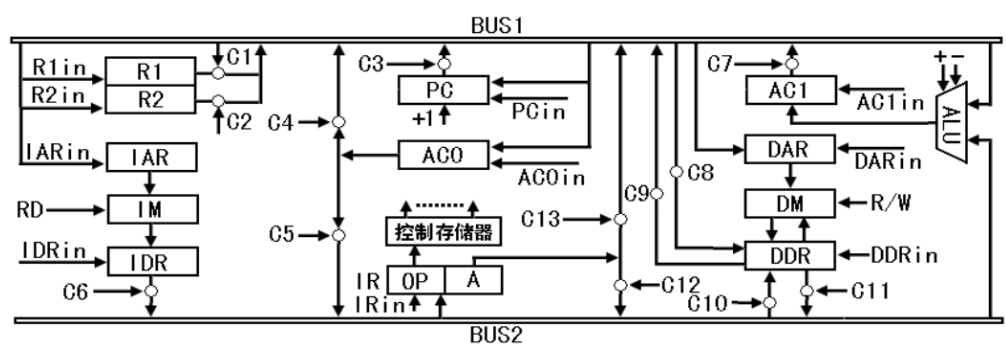


图5 模型机数据通路图

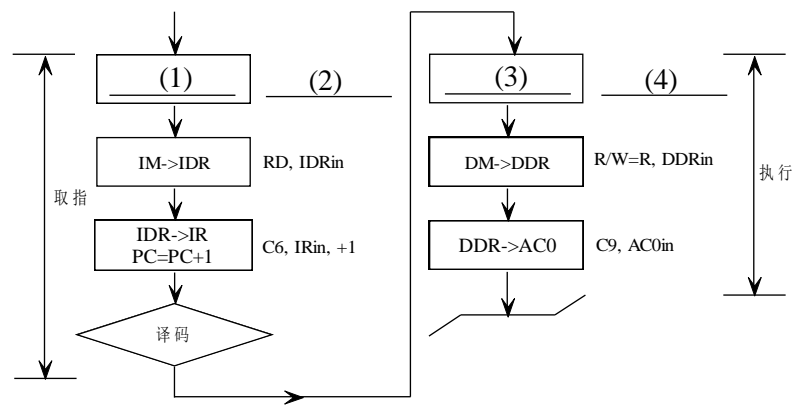


图6 LDA A 指令的指令周期流程图

参考答案：

- [1] IM->IDR
- [2] RD, IDRin
- [3] A->DAR
- [4] C13, DARin

4. 某 16 位计算机主存按字节编址。存取单位为 16 位；采用 16 位定长指令格式；CPU 采用单总线结构，主要部分如图 7 所示。图中 R0~R3 为通用寄存器；T 为暂存器；SR 为移位寄存器，可实现直送(mov)、左移一位(left)、右移一位(right)共 3 种操作，控制信号为 Srop，SR 的输出信号 SROUT 控制；ALU 可实现直送 A(mova)、A 加 B(add)、A 减 B(sub)、A 与 B(and)、A 或 B(or)、非 A(not)、A 加 1(inc)7 种操作，控制信号为 ALUop。控制信号 ALUop 和 Srop 的位数至少是_____位和_____位。

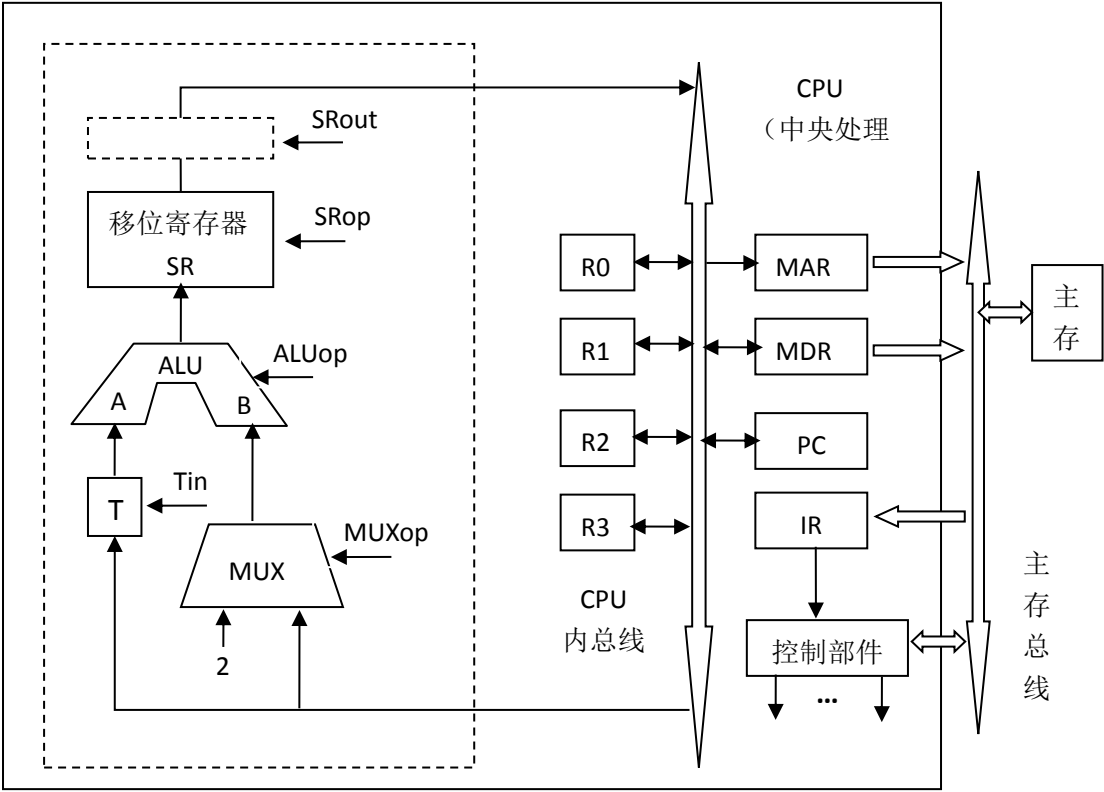


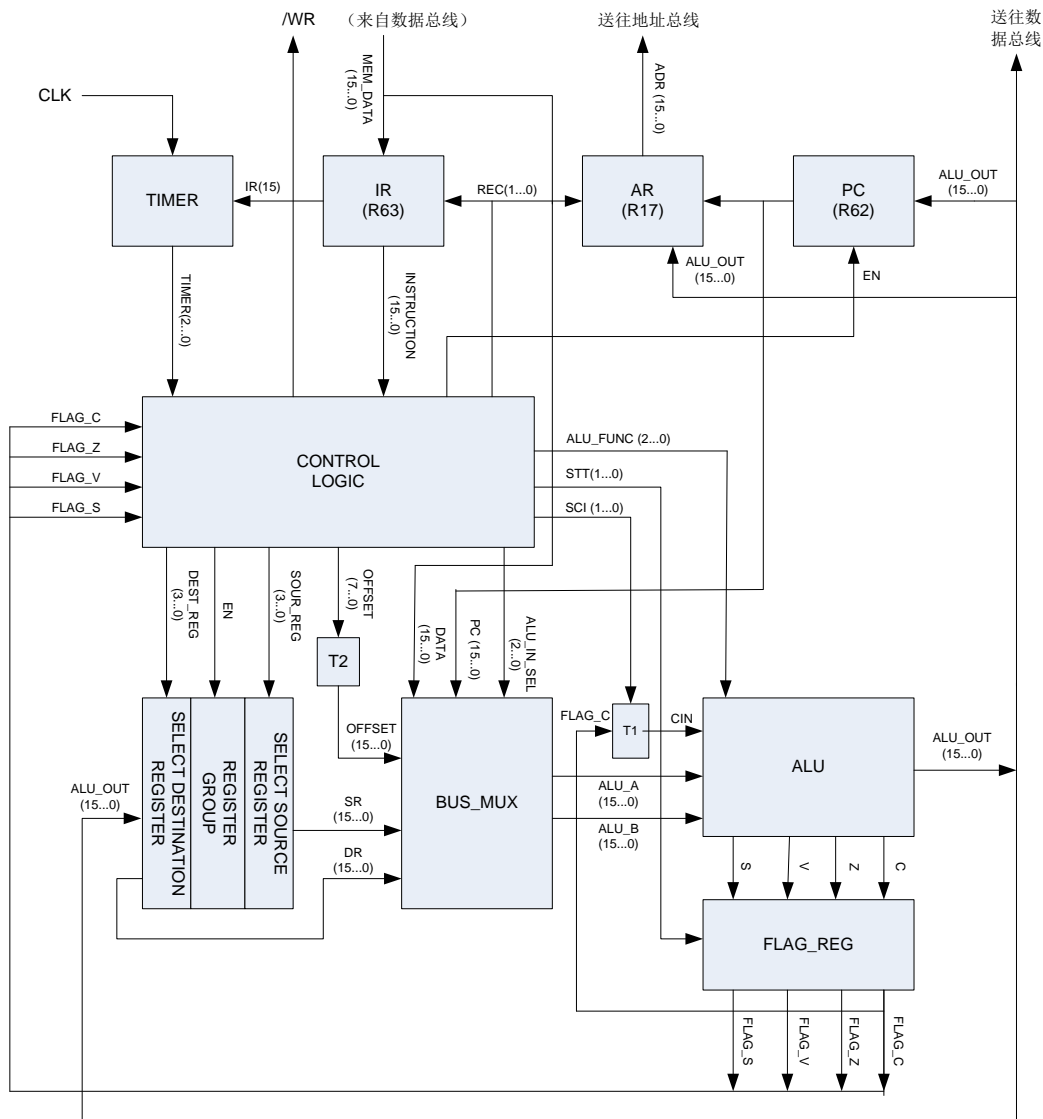
图 7 某 16 位计算机 CPU 模型图

参考答案：
 _____ 3 _____, _____ 2 _____

5. 某 CPU 的数据通路图如图 8 所示。CLK 为外接时钟信号，/WR 为读/写控制 命令(低电平代表写)，ADR(15..0)为 16 位的地址，MEM_DATA(15..0)为数据总线的数据。REC(1..0)、/WR、PC_EN、ALU_FUNC(2..0)、STT(1..0)、SCI(1..0)、ALU_IN_SEL(2..0)、SOUR_REG(3..0)、REG_EN、DEST_REG(3..0)为控制信号。根据图 8 的数据通路图，试回答下列问题：

(1) 指令 $CMP\ R_1, R_2$ 的作用是比较 R_1 和 R_2 的内容是否相同, 不改变 R_1 和 R_2 的值, 但会根据 R_1-R_2 的结果影响标志位。针对图 8 中的数据通路图, 此指令的流程图如图 9 所示, 每一方框右边只给出了该 CPU 周期所需的控制信号, 其它无关控制信号略去。请填写图 9 空格中<1>-<4>的内容; (6 分)

(2) 仿照图 9, 写出指令 $JR\ offset$ 的指令执行流程图。其中, $offset$ 为相对跳转偏移地址。假定当前指令地址存放在程序计数器 PC 中。(4 分)



注: 图中所有寄存器都与时钟信号相连, 并当RESET信号到来时清零。

图 8 某 CPU 数据通路示意图

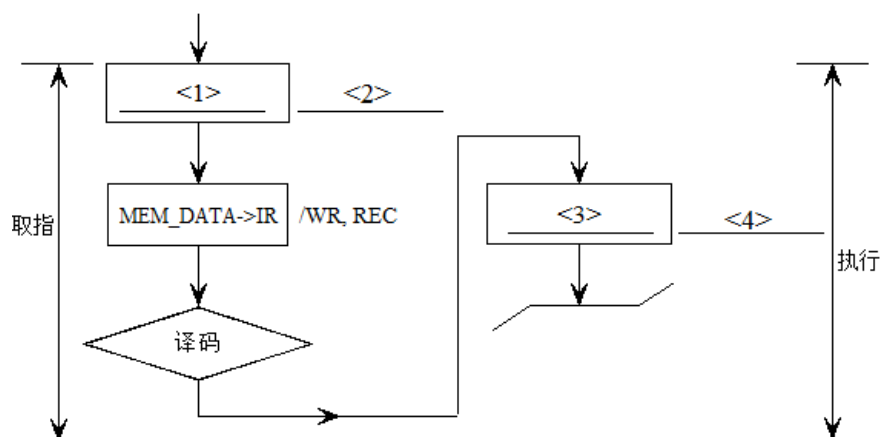


图 9 CMP R₁, R₂ 的指令周期流程图

参考答案：

解：（1）各空的内容如下：

<1> PC->AR, PC+1->PC

<2> REC, ALU_IN_SEL, SCI, ALU_FUNC, STT, PC_EN

<3> R1-R2->FLAG_REG

<4> ALU_IN_SEL, SCI, ALU_FUNC, STT, REG_EN

评分标准：<1>和<3>每空 1 分；<2>和<4>每空 2 分，控制信号数量超过一半时给 1 分，全对给 2 分。

（2）因取指的前面两个 CPU 周期与图 4 相同，故略去。执行周期只需一个 CPU 周期，指令执行流程图如下图所示。

评分标准：方框内的功能及方框外的控制信号各 2 分。

