

# 华南农业大学期末考试试卷（A 卷）

2018-2019 学年第 2 学期

考试科目： 计算机组成原理

考试类型：（闭卷）考试

考试时间： 120 分钟

学号 \_\_\_\_\_ 姓名 \_\_\_\_\_ 年级专业班级 \_\_\_\_\_

题号	一	二	三	四	总分
得分					
评阅人					

注意事项：

(1) 本试题分为试卷与答卷 2 部分。试卷有四大题，共 7 页；

(2) 所有解答必须写在答卷上，写在试卷上不得分；

(3) 考试过程中不得使用计算器；

(4) 考试结束后只交答卷。

得分	
----	--

一、选择题（本大题共15小题，每小题2分，共30分）

1. 下列说法不正确的是\_\_\_\_\_。

- A. 固件就功能而言类似于软件，而从形态来说又类似于硬件
- B. 面向高级语言的机器是完全可以实现的
- C. 任何可以由软件实现的操作也可以由硬件来实现
- D. 存储程序是冯·诺伊曼计算机框架的主要思想之一

2. 在下列编码的 4 个数中最小的数为\_\_\_\_\_。

- A.  $(-101001)_2$
- B.  $(-52)_8$
- C. 补码为 1010011 的数
- D.  $(-2C)_{16}$

3. 下列各类存储器中，不采用随机存取方式的是\_\_\_\_\_。

- A. DDR
- B. CDROM
- C. DRAM
- D. SRAM

4. 交叉存储器实质上是一种\_\_\_\_\_存储器，它能够\_\_\_\_\_执行\_\_\_\_\_独立的读写操作。

- A. 模块式，并行，多个
- B. 模块式，串行，多个
- C. 整体式，并行，一个
- D. 整体式，串行，多个

5. 某字长 32 位计算机内存的最大存储空间为  $64\text{M} \times 32$ ，内存按字编址，实际布局结构如图 1 所示，上为低位地址下为高位地址，阴影部分为不可用区域。则地址为  $(15\text{A}0\text{B}1\text{F})_{16}$  的存储单元位于\_\_\_\_\_。



图 1 计算机内存布局

- A. ROM 区域      B. DRAM 区域      C. SRAM 区域      D. 不可用区域
6. 设有  $64\text{K} \times 32$  的 DRAM 存储芯片按字编址，其阵列结构为  $256 \times 256 \times 32$ （每行 256 字），字长 32 位；地址长度为 16 位，其中高 8 位为行地址，低 8 位为列地址。若采用分散式刷新（即每一行的刷新均匀地分散插入到正常的读/写周期之中），且存储器读/写周期为  $0.5\mu\text{s}$ ，刷新间隔不超过 8ms，则最佳平均行刷新时间间隔为\_\_\_\_\_  $\mu\text{s}$ 。
- A. 31      B. 32      C. 15      D. 16
7. 关于 cache 的叙述，下列说法正确的是\_\_\_\_\_。
- A. 设置 cache 是为了增加存储容量
- B. 全相联映射方式最容易发生换行冲突导致频繁置换
- C. 直接映射在查找时的比较电路简单且跟 cache 容量没有关系
- D. 三种映射方式中组相联发生换行冲突的可能性最小
8. 假设变址寄存器 R 的内容为 1000H，指令中的形式地址为 2000H；内存地址 1000H 中的内容为 2000H，地址 2000H 中的内容为 3000H，地址 3000H 中的内容为 4000H，则变址寻址方式下访问到的操作数是\_\_\_\_\_。
- A. 4000H      B. 3000H      C. 2000H      D. 1000H
9. 下列寻址方式中，最适合按下标顺序访问一维数组元素的是\_\_\_\_\_。
- A. 寄存器寻址      B. 相对寻址      C. 直接寻址      D. 变址寻址
10. 下列说法正确的是\_\_\_\_\_。
- A. 广泛使用的微机采用了精简指令系统(RISC)
- B. 现代计算机中多采用 RS 型寻址方式
- C. 对于间接寻址方式，操作数的地址在指令中

- D. RISC 的大多数指令都是 RR 型的, 因此指令执行速度通常比较快
11. 多端口存储器和浮点流水线分别采用\_\_\_\_\_和\_\_\_\_\_提升性能。
- A. 时间并行, 空间并行                      B. 空间并行, 时间并行
- C. 时间并行, 时间并行                      D. 空间并行, 空间并行
12. 先后执行指令 ADD R1, R2 (R1 为目标寄存器) 和 SUB R2, R3 (R2 为目标寄存器) 会存在的数据相关类型是\_\_\_\_\_。
- A. 资源相关      B. WAW      C. WAR      D. RAW
13. 关于系统总线, 下列说法**不正确**的是\_\_\_\_\_。
- A. 多总线可以连接速度差异很大的各类设备
- B. 现代计算机多采用单总线结构
- C. 总线时分复用可以减少连接线的数量, 有利于实际的布线
- D. 总线同步传输方式可以获得较高的总线带宽
14. 在磁盘的各磁道中, 下列说法正确的是\_\_\_\_\_。
- A. 最外圈磁道的位密度最大
- B. 中间磁道的位密度最大
- C. 最内圈磁道的位密度最大
- D. 所有磁道的位密度一样大
15. 下列关于中断 I/O 方式和 DMA 方式比较的叙述中, **错误**的是\_\_\_\_\_。
- A. 中断 I/O 方式请求的是 CPU 处理时间, DMA 方式请求的是总线使用权
- B. 中断响应发生在一条指令执行结束后, DMA 响应发生在一个总线事务完成后
- C. 中断 I/O 方式下数据传送通过软件完成, DMA 方式下数据传送由硬件完成
- D. 中断 I/O 方式适用于所有外部设备, DMA 方式仅适用于快速外部设备

得分	
----	--

二、 填空题 (本大题共5小题10空, 每空1分, 共10分)

1. 一个浮点数, 当其尾数右移时, 欲使其值不变, 阶码必须\_\_\_\_\_。尾数右移 1 位, 阶码\_\_\_\_\_。
2. 某指令格式结构如下图所示, 操作码 OP 可指定\_\_\_\_\_条指令, 计算机最多可以有\_\_\_\_\_个通用寄存器。

15	11	10	8	7	4	3	0
OP				-	目标寄存器		源寄存器

3. 某显示器的分辨率为  $1080 \times 720$ ，颜色采用真彩色（即 32 位），刷新频率为 75Hz，则为该显示器提供刷新处理的显存容量至少应为\_\_\_\_\_MB，显存的带宽为\_\_\_\_\_MB/s（两个空的结果都保留两位小数）。
4. 图 2 是一个二维中断系统，中断屏蔽触发器标志 IM 设为“1”时表示 CPU 对该级的所有设备的中断请求进行屏蔽。设备 A、B、D、E 和 H 按中断响应优先级从高到低排序应为\_\_\_\_\_。若 IM2、IM1、IM0 的状态设为 001，则表明\_\_\_\_\_级的设备正在处于中断响应阶段。

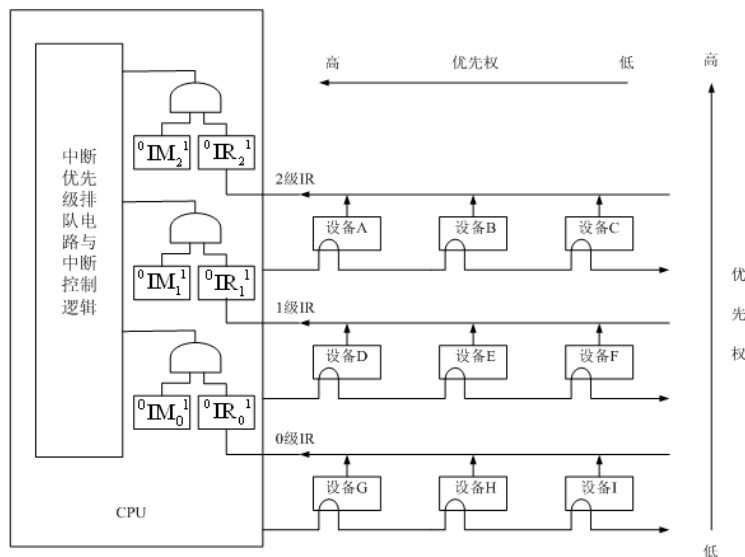


图 2 多级中断结构

5. 在集中式总线仲裁中，为提高总线响应速度和控制的灵活性，通常采用\_\_\_\_\_仲裁方式。当网络聊天过程中接收的文件充满网卡缓冲区后，为尽可能提高 CPU 的利用率，可以采用\_\_\_\_\_输入/输出控制方式，实现网卡与内存间的直接文件传送。

得分

## 三、计算题（本大题共4小题，共36分）

1. （10 分）已知  $f(n) = \sum_{i=0}^n 2^i = 11 \dots 1$ ，其中最后一个式子表示有  $n+1$  个 1 组成的二进制。设用下列的 C 语言函数 f1(n) 计算 f(n)：

```
float f1(unsigned n) {
    float sum=1, power=1;
    for (unsigned i=0; i<=n-1; i++) {
        power *= 2;
        sum += power;
    }
}
```

```

    }
    return sum;
}

```

其中 float 和 int 都假定用 32 位表示, float 用 IEEE 754 标准表示, int 及 ALU 运算结果都用补码表示; 尾数运算时采用 0 舍 1 入的处理方法, 即待进行舍入操作的最高 1 位为 1 即进位, 为 0 即舍去。根据  $f(n)$  的定义及函数  $f_1(n)$ , 试回答下列问题:

- (1) 若  $f_1(n)$  的计算结果为  $(7F80\ 0000)_{16}$ , 则其二进制数真值是什么? (5 分)
  - (2) 若  $n=24$ , 则  $f_1(n)$  的结果用 IEEE 754 表示为什么? (用十六进制数表示) (3 分)
  - (3) 若将 float 改为 int, 则函数  $f_1(0)$  是否会出现死循环? 理由是什么? (2 分)
2. (9 分) 某计算机 Cache 的存取周期为 50ns, 主存的为 250ns。该计算机执行一段程序时, 存取 Cache 的次数为 1900, 存取主存的次数为 100, 计算该 Cache 的命中率、平均访问时间和访问效率。
3. (8 分) 设浮点流水线有对阶、尾数加/减、规格化及舍入处理四个流水段, 各个流水段的操作时间分别为 90ns、100ns、95ns 和 75ns。现有 197 条加减法操作连续输入此流水线, 试回答下列问题:
- (1) 若此浮点流水线受统一的时钟信号进行控制, 则时钟周期最小应为多少? (2 分)
  - (2) 流水线的实际吞吐率 (单位时间里执行完毕的加减法操作) 为多少? (3 分)
  - (3) 流水线的加速比为多少? (保留 1 位小数) (3 分)
4. (9 分) 假设某温彻斯特硬盘, 内有 6 个盘片, 最上和最下的两个盘面不能使用。磁盘转速为 7200 转/分, 找道时磁头每横越百条磁道花费 1ms。盘面有效记录区域的外直径为 30cm, 内直径为 14cm, 最内层位密度为 600 位/cm, 磁道密度为 100 道/cm, 盘面分为 50 个扇区, 每个格式化扇区存放 512 个字节。试求:
- (1) 平均找道时间是多少? (3 分)
  - (2) 读取一个格式化扇区的数据传送时间是多少? (不包括找道和等待时间) (3 分)
  - (3) 格式化磁盘总容量是多少? (注: 可用 2 和 10 的幂次混合表示) (3 分)

得分	
----	--

#### 四、分析题 (本大题共2小题, 共24分)

1. (12 分) 某机器字长为 32 位, 按字编址, 总容量为  $64M \times 32$ 。其中, ROM 的容量为  $4M \times 32$ , 占用低位地址空间, 由  $1M \times 16$  的 ROM 芯片构成; RAM 的容量为  $60M \times 32$ ,

占用高位地址空间，由  $4\text{M} \times 16$  的 DRAM 芯片构成。ROM 芯片有  $\overline{\text{CS}}$  信号控制端，DRAM 芯片有  $\overline{\text{CS}}$  和  $\overline{\text{WE}}$  信号控制端，CPU 的控制信号为  $R/\overline{W}$ （读/写）。请问：

- (1) 总共需要多少 ROM 芯片？ROM 的地址范围是多少（用十六进制表示）？（2 分）
- (2) 总共需要多少 DRAM 芯片？RAM 的地址范围是多少（用十六进制表示）？（2 分）
- (3) 若 ROM 和 RAM 采用顺序方式进行字、位扩充，请画出存储器 ROM 和 DRAM 同 CPU 连接的组成逻辑框图。（6 分）
- (4) 若在 CPU 和内存间引入 512K 的高速缓存 Cache，且采用 4-路组相连映射方式，块大小为 32 字节，则 Cache 可以分为多少组？若将包含内存地址  $(5010\text{ CA}00)_{16}$  的块调入 Cache，则将映射到 Cache 的哪个组（下标从 0 开始）？（2 分）

2. （12 分）某 16 位计算机主存按字节编址。存取单位为 16 位；采用 16 位定长指令格式；CPU 采用单总线结构，主要部分如图 3 所示。图中各个部分的解释如下：

✧ T 为暂存器，受  $T_{in}$  控制；

✧ MUXop 为 0 时，常数 2 送入 ALU 的 B 端，否则将来自于 CPU 内部总线的数据送入 ALU 的 B 端；

✧ ALU 可实现直送 A(mova)、A 加 B(add)、A 减 B(sub)、A 与 B(and)、A 或 B(or)、非 A(not)、A 加 1(inc)、A 减 1(dec)等 8 种操作，控制信号为 ALUop，取值为括号中的缩写；

✧ SR 为移位寄存器，可实现直送(mov)、左移一位(left)、右移一位(right)共 3 种操作，控制信号为 SROP，取值为括号中的缩写。SR 的输出受信号 SRout 控制；

✧ R0~R3 为通用寄存器，它们受 REN 信号控制，当 REN=0xx 时，控制寄存器 xx 的输出；当 REN=1xx 时，控制寄存器 xx 的输入。其中 xx 代表寄存器的编号，如 00 代表 R0；

✧ MAR 和 IR 分别受 MAin 和 IRin 控制，输出不受控制；

✧ MDR 在主存总线侧受 MDc 控制，当 MDc=00 时接收主存总线的输入，当 MDc=01 时向主存总线输出信号，其它情况时无操作。MDR 在 CPU 内总线侧受 MCc 信号控制，当 MCc=00 和 01 时分别接收来自 CPU 内总线的数据和向 CPU 内总线输出数据；

✧ PC 受控制信号 PCc 控制，当 PCc=00 时接受输入信号，当 PCc=01 时输出 PC 值，其它情况无操作；

✧ 主存受 MEMop 控制，值为 0 时代表写，值为 1 时代表读。

试回答下列问题：

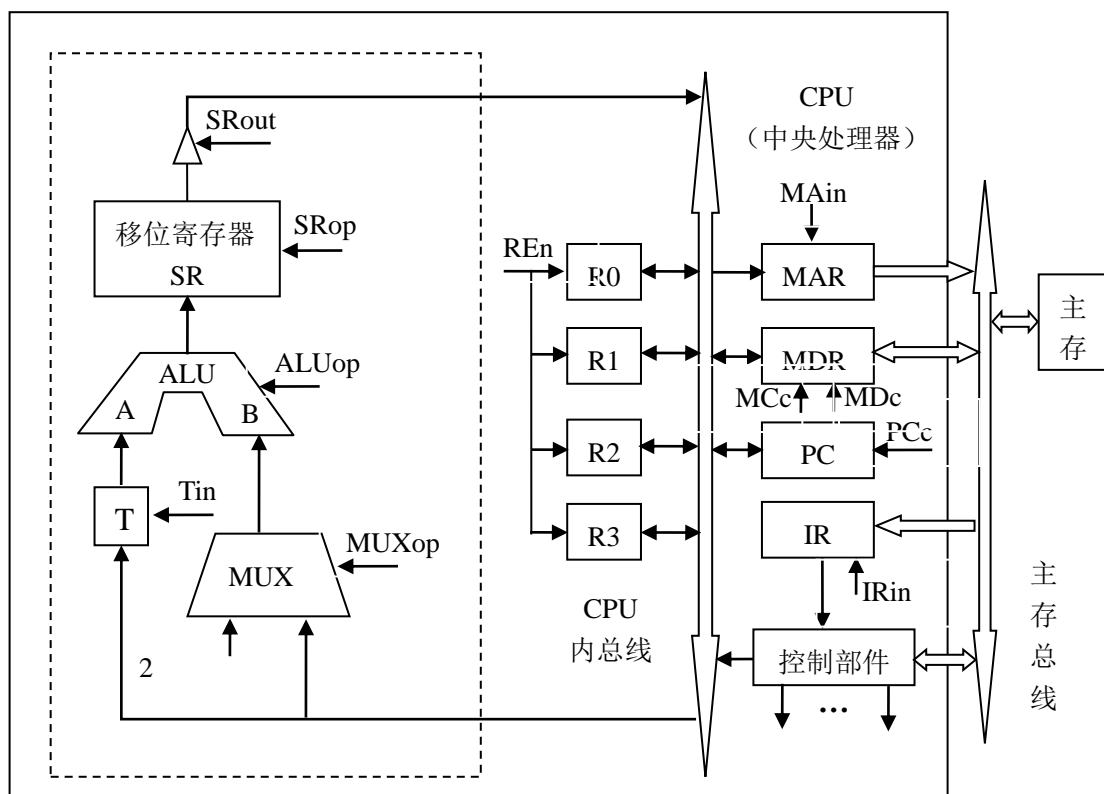


图 3 某 16 位计算机 CPU 模型图

- (1) 现有指令 `LDA R0, R1`，功能为  $R0 \leftarrow Mem[R1]$ 。该指令在图 3 所示的 CPU 上执行，指令周期取指和执行的流程图如图 4 所示，请填写空格<1>-<8>的内容。(8 分)

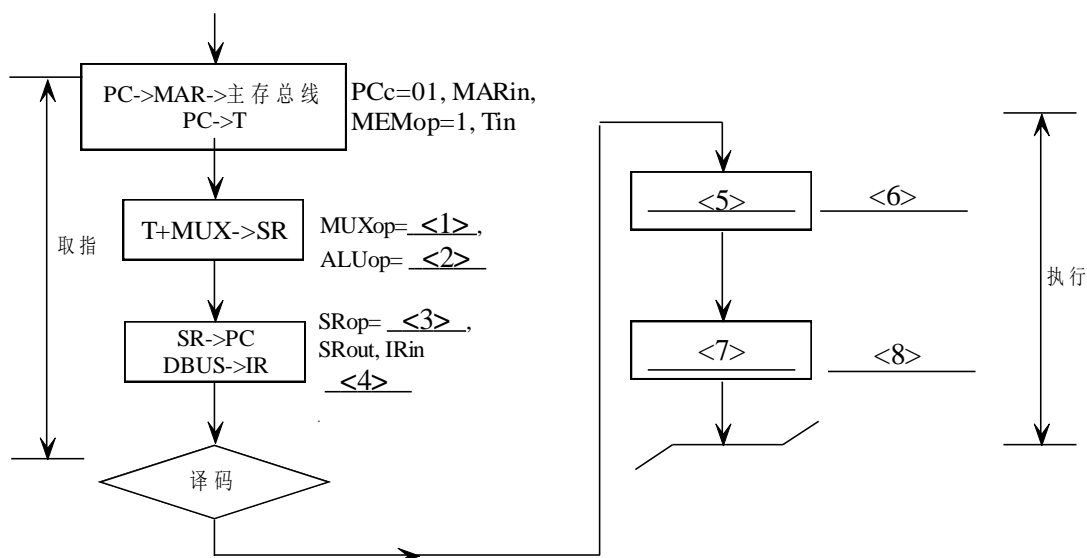


图 4 `LDA R0, R1` 的指令周期流程图

- (2) 设有指令 `JR OFFSET`，其功能为  $PC \leftarrow PC + OFFSET$ 。该指令在图 3 所示的 CPU 上执行，请参考图 4 画出该指令的**执行阶段**的流程图。假定 `OFFSET` 可以从控制器传到 CPU 内总线。(4 分)