

华南农业大学期末考试试卷（A 卷）

2017-2018 学年第 2 学期

考试科目：计算机组成原理

考试类型：（闭卷）考试

考试时间：120 分钟

学号 姓名 年级专业班级

题号	一	二	三	四	总分
得分					
评阅人					

注意事项：

(1) 本试题分为试卷与答卷 2 部分。试卷有四大题，共 8 页；

(2) 所有解答必须写在答卷上，写在试卷上不得分；

(3) 考试过程中不得使用计算器；

(4) 考试结束后只交答卷。

得分	
----	--

一、选择题（本大题共15小题，每小题2分，共30分）

1. 下列说法正确的是_____。

- A. 带求补级的阵列乘法器中的求补器对正数会得到与输入不同的输出
- B. 五笔输入属于汉字的字模码
- C. 在信息后面附上奇偶校验位可以检错和纠错
- D. 存储程序是冯·诺伊曼计算机框架的主要思想之一

2. -73.625 按 32 位 IEEE754 浮点格式编码应为_____。

- A. $(C5932000)_{16}$
- B. $(B4756000)_{16}$
- C. $(C2934000)_{16}$
- D. $(A5389010)_{16}$

3. 8 位补码能表示的纯整数 x 的范围是_____。

- A. $-128 \leq x \leq 128$
- B. $-127 \leq x \leq 127$
- C. $-128 \leq x \leq 127$
- D. $-127 \leq x \leq 128$

4. 下列存储器中，在工作期间需要周期性刷新的是_____。

- A. SRAM
- B. SDRAM
- C. ROM
- D. FLASH

5. 现有容量为 1MB 的 DRAM 芯片用作存储器，存储阵列为 $512 \times 512 \times 32$ ，高 9 位地址为行地址，低 9 位地址为列地址。某字的地址为 $(2D89B)_{16}$ ，则该字被刷新时刷新计数器的计数值应为_____。

A. A3C B. 5B9 C. 24F D. 16C

6. 某字长 32 位计算机内存的最大存储空间为 $64M \times 32$ ，内存按字编址，实际布局结构如下图所示，上为低位地址下为高位地址，阴影部分为不可用区域。地址为 $(05A0B1F)_{16}$ 的存储单元位于_____。

16M×32(ROM)
32M×32(DRAM)
8M×32(SRAM)
8M×32(不用)

- A. ROM 区域 B. DRAM 区域 C. SRAM 区域 D. 不可用区域
7. 已知条件同上题，现有 $16M \times 16$ 和 $8M \times 8$ 两种大小的 ROM、DRAM 和 SRAM 芯片若干，则总共至少需要_____片各类芯片构成该计算机内存。
- A. 8 B. 10 C. 12 D. 16

8. 下列关于指令系统的描述，错误的是_____。

A. 二地址指令中 RR 型执行最快

B. 变址寻址适合于数组操作

C. 指令中地址码为位移量则寻址方式为直接寻址

D. Intel 采用系列机是为了解决兼容问题

9. 下列关于 CISC 和 RISC 的叙述，正确的是_____。

A. ARM 是当今世界上最流行的指令集，它属于 CISC

B. Intel x86 属于 RISC 技术，指令条数少执行速度快

C. ARM 指令最多不超过两个地址码

D. 指令 $STR R1, [R2, \#80]$ 中，R2 为基址寄存器，则第 2 个操作数属于基址寻址

10. 某 16 位机器的一种 RS 型指令格式如下图所示。其中 I 为间接特征, X 为寻址模式, D 为形式地址。I、X、D 组成该指令的操作数有效地址 E。设 R 为变址寄存器, R1 为基址寄存器, PC 为程序计数器。

6 位		4 位		1 位	2 位	16 位	
OP	—	通用寄存器		I	X	偏移量 D	

间接寻址方式的有效地址是_____。

- A. $EA = D$ B. $EA = (D)$ C. $EA = ((D))$ D. $EA = (R_1) + D$
11. 设某系统总线在一个总线周期中并行传输 64 位的信息, 一个总线周期占用 2 个总线时钟周期, 总线时钟频率为 33MHz, 则该总线带宽是_____ MB/s。
- A. 132 B. 264 C. 2112 D. 1056
12. 下列 4 项中, 有_____项是异步传输的特点。
- I. 需要应答信号 II. 各部件的存取时间比较接近
III. 总线周期的长度不可变 IV. 统一的公共时钟信号
- A. 1 B. 2 C. 3 D. 4
13. 若磁盘的位密度提高一倍, 则_____。
- A. 磁盘存储容量提高一倍 B. 平均找道时间减半
C. 磁盘转速提高一倍 D. 相同数据量时传送时间延长一倍
14. 若磁盘转速为 6000 转/分, 平均找道时间为 8ms, 每个磁道包含 20 个扇区, 则访问一个扇区的平均存取时间为_____。
- A. 9.5ms B. 13.5ms C. 18.5ms D. 23ms
15. 下列叙述错误的是_____。
- A. 在分辨率和颜色位数相同情况下, 显示器的刷新频率越高, 显存带宽越高
B. 关中断与开中断必须匹配, 关了忘了开则无法响应外设的中断请求
C. 关中断和开中断都在中断服务子程序中完成
D. DMA 与 CPU 交替访内方式无需申请、建立和归还总线控制权

二、填空题（本大题共9小题20空，每空1分，共20分）

得分

- 按照冯·诺伊曼思想，计算机由五大部件组成，分别为运算器、_____、存储器，输入/输出设备和_____。
- 采用变形补码进行浮点减法运算，得到尾数结果为 11.0010111，则在尾数规格化处理后（但还未进行舍入操作），尾数应为_____。
- 通常存储器利用三组信号线与 CPU 或外部打交道，这三组信号线分别是_____、_____和_____。
- 某指令格式结构如下图所示，操作码 OP 可指定_____条指令，计算机最多有多少个通用寄存器_____。



- 假设变址寄存器 R 中的值是 $(1000)_{16}$ ，指令中的形式地址为 $(2000)_{16}$ 。地址 $(1000)_{16}$ 、 $(2000)_{16}$ 和 $(3000)_{16}$ 中的内容分别为 $(2000)_{16}$ 、 $(3000)_{16}$ 和 $(4000)_{16}$ ，若采用直接寻址方式，则取出的操作数是_____。若采用变址寻址方式，则取出的操作数是_____。
- 某哈佛结构 CPU 基本组成如图 1 所示。对于“LAD R1, 6”指令，在第一个 CPU 周期取到指令“LAD R1, 6”；在第二个 CPU 周期应将指令中的“6”送达_____然后打到地址总线传给数据 Cache，并发出读信号；在第三个 CPU 周期从数据 Cache 读取数据后经过_____最终打入_____。（注：空格中填图 1 的某寄存器）
- 在总线的三种集中式仲裁方式中，菊花链式查询方式的主要缺点是优先级固定，离中央仲裁器越近的设备，获得总线控制权的几率就越_____。与此方式不同，仲裁方式_____和_____优先级的顺序是可以调整的。
- 图 2 是一个二维中断系统，中断屏蔽触发器(IM)标志为“1”时，表示 CPU 对该级的所有设备的中断请求进行屏蔽。设备 A、D 和 E 按优先级从高到低排序应为_____，现 CPU 现执行设备 D 的中断服务程序，则 IM2、IM1、IM0 的状态应设为_____。
- 对于机械硬盘，最小的寻址单位是_____；机械硬盘的格式化容量比非格式化容量_____。

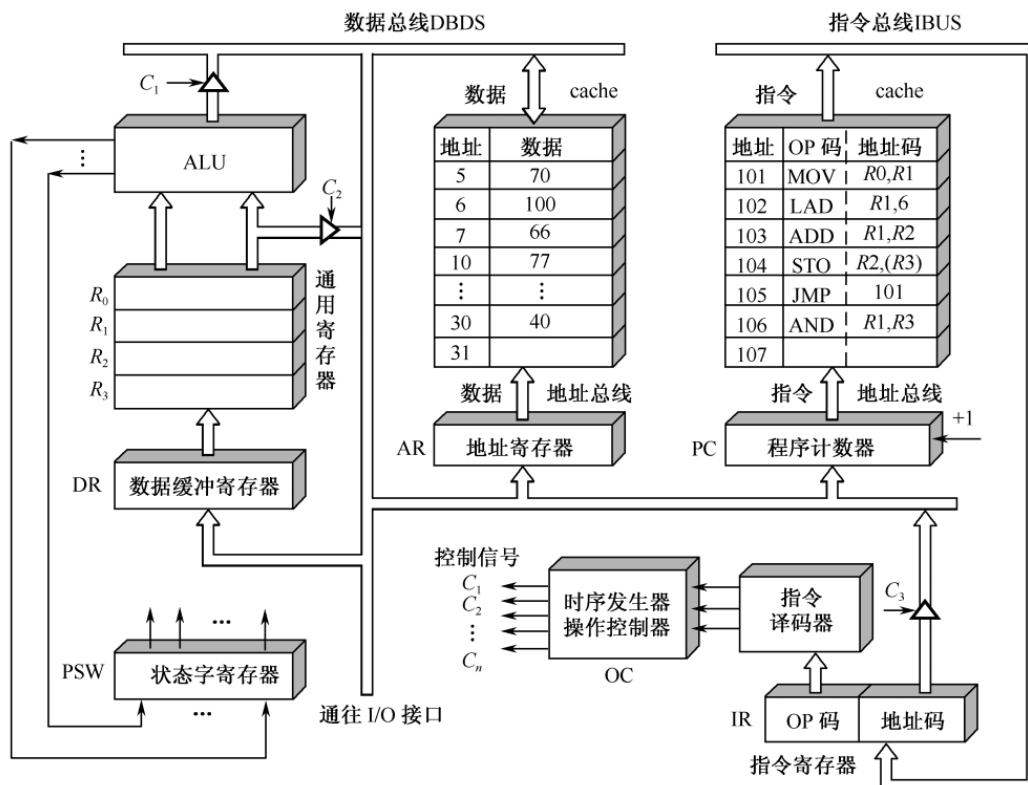


图 1 某哈佛结构 CPU 基本组成

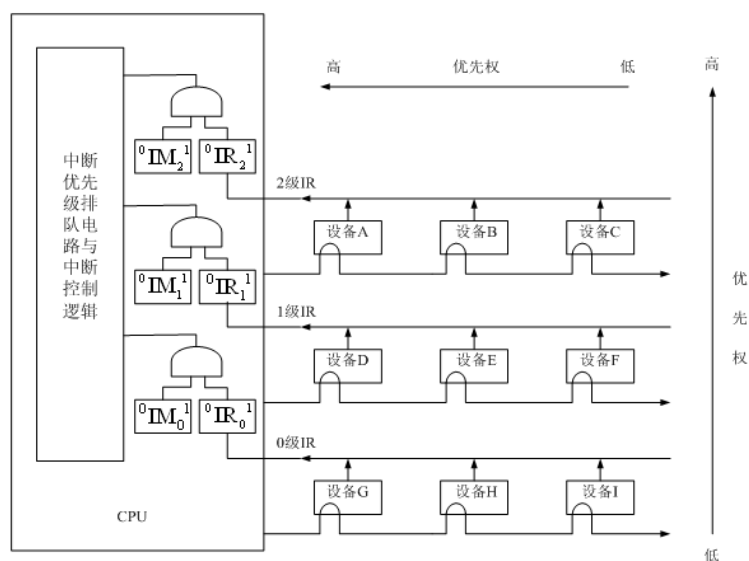


图 2 多级中断结构

三、计算题（本大题共2小题，共17分）

得分

1. （9分）某计算机主存容量 256MB，按字编址，字长 1B，块大小 32B，Cache 容量 512KB。

对如下的直接映射方式、4-路组相联映射方式、全相联映射方式的内存地址格式，求：

直接映射方式：

标记 A	Cache 行号 B	字地址 C
------	------------	-------

4-路组相联映射方式：

标记 D	Cache 组号 E	字地址 F
标记 G		字地址 H

全相联映射方式：

- (1) 计算 A、B、C、D、E、G 字段的位数；(6 分)
- (2) 若某字的地址为 $(2BF3A2E)_{16}$ ，若采用 4-路组相联映射方式，则该字对应的标记 D 是什么？对于包含该地址在内的组，对应的字地址范围是多少？(结果用十六进制表示。)(3 分)

2. (8 分) 用 $8K \times 16$ 的 DRAM 存储芯片组装成 $64K \times 32$ 的存储器，采用交叉方式，设存储周期为 $400ns$ ，数据总线宽度为 32 位，总线传送周期为 $50ns$ ，试求：
 - (1) 地址为 $(3A2E)_{16}$ 的字位于哪个模块，在模块内第几个字？(从 0 开始编号)(4 分)
 - (2) 某程序要连续读取 8 个字，则此时存储器的带宽为多少？(4 分)

四、分析题（本大题共3小题，共33分）

得分	
----	--

1. (9 分) 假设某机器字长为 8，双符号运算时扩展为 9 位。已知两二进制数 $X = -1101011$ ， $[Y]_{\text{补}} = 00100101$ ， $[Z]_{\text{移}} = 00100101$ ，其中的移码为标准（即非 IEEE754 方式）移码，试用变形补码（双符号位）完成如下问题：

- (1) 计算 $[X+Y-Z]_{\text{补}}$ ；(4 分)
- (2) 判断结果是否溢出？若溢出，则判断是上溢还是下溢？(2 分)
- (3) 根据 (1) 的计算结果，确定进位/借位 C、符号标志 S、零标志 Z 的状态值（即 0 或 1）。(3 分)

2. (10 分) 设某处理器具有五段指令流水线：IF（取指令）、ID（指令译码及取操作数）、EXE（ALU 执行）、MEM（访存取数）和 WB（结果写回）。现处理器执行如下指令：

I_1 : LAD $R_1, 30$; $R_1 \leftarrow M(30)$

I_2 : ADD R_1, R_2 ; $R_1 \leftarrow R_1 + R_2$

I_3 : SUB R_2, R_3 ; $R_2 \leftarrow R_2 - R_3$

I_4 : AND R_3, R_2 ; $R_3 \leftarrow R_3 \text{ and } R_2$

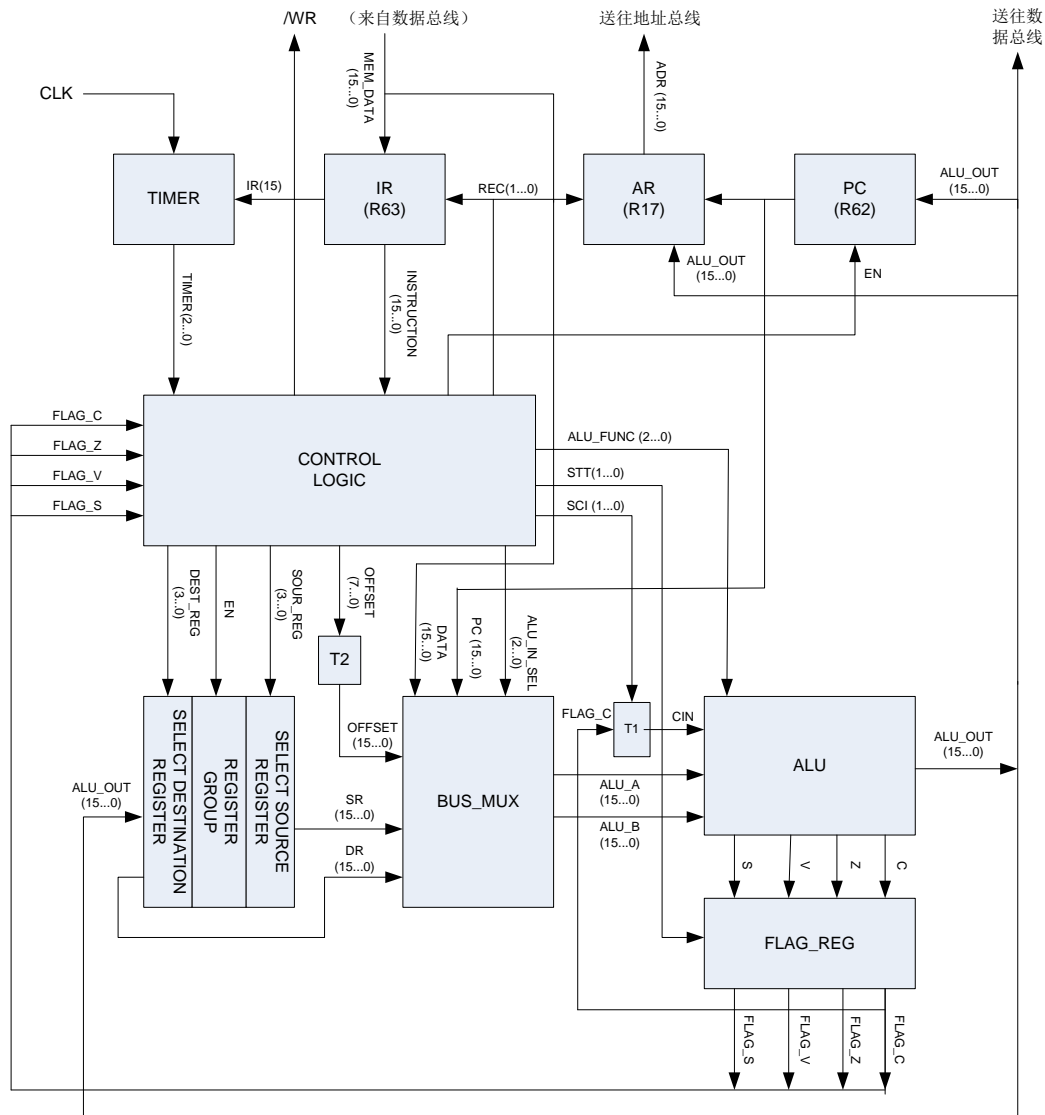
- (1) 流水线中可能存在资源相关，请指出 4 条指令中是否有指令间存在资源相关？如果有请指出来，并画出采用延迟策略下的指令序列执行时空图；(5 分)

(2) 流水线中有三类可能存在的数据相关：写后读 (RAW)；读后写 (WAR)；写后写 (WAW)。4 条指令中，哪两条指令间存在哪些类型的数据相关？要求指出所有的数据相关。(5 分)

3. (14 分) 某实验 CPU 的数据通路图如图 3 所示。CLK 为外接时钟信号，/WR 为读/写控制命令（低电平代表写），ADR(15..0)为 16 位的地址，MEM_DATA(15..0)为数据总线的数据。REC(1..0)、/WR、PC_EN、ALU_FUNC(2..0)、STT(1..0)、SCI(1..0)、ALU_IN_SEL(2..0)、SOUR_REG(3..0)、REG_EN、DEST_REG(3..0)为控制信号。根据图 3 的数据通路图，试回答下列问题：

- (1) 指令 MVRR R1,R2 的作用是把 R2 的值传给 R1。针对图 3 中的数据通路图，此指令的流程图如图 4 所示，每一方框右边只给出了该 CPU 周期所需的控制信号，其它无关控制信号略去。请填写图 4 空格中<1>-<4>的内容；(6 分)
- (2) 针对图 3 中的数据通路图，画出指令“MVRD R2, 25”的指令执行周期流程图及相应的控制信号。该指令为双字长指令，功能是把内存中存放的立即数 25 取出后保存到寄存器 R2 中。(4 分)
- (3) 阅读下列汇编代码，基于本课程综合实验的知识判断执行完 JRZ 指令及其前面的指令一共需要多少个时钟周期？指令 JRNZ 被汇编成机器指令，其中的 offset 字段应为多少（用 8 位补码表示）？(4 分)

```
MAIN:  MVRD    R0,25          ; 被乘数
        MVRD    R1,6          ; 乘数
        MVRD    R2,0          ; 结果
        MVRD    R3,8          ; 循环次数
LOOP:  MVRD    R4,1
        AND     R4,R1
        JRZ     L1             ; Z=1 时跳转到 L1
        ADD     R2,R0          ; 否则加到部分积
L1:    SHL      R0              ; 逻辑左移一位
        SHR      R1             ; 逻辑右移一位
        DEC     R3             ; R3 减 1
        JRNZ    LOOP
L2:    JR       L1             ; 跳转到 L1
```



注：图中所有寄存器都与时钟信号相连，并当RESET信号到来时清零。

图 3 某 CPU 数据通路示意图

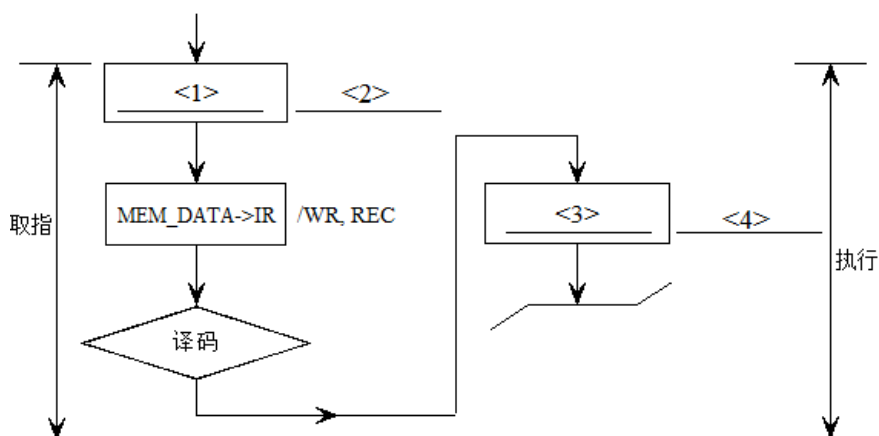


图 4 MVR R₁, R₂ 的指令周期流程图