

华南农业大学期末考试试卷（A 卷）

2019-2020 学年第 2 学期

考试科目：计算机组成原理

考试类型：（闭卷）考试

考试时间：120 分钟

学号 姓名 年级专业班级

题号	一	二	三	四	总分
得分					
评阅人					

注意事项：

(1) 本试题分为试卷与答卷 2 部分。试卷有四大题，共 8 页；

(2) 所有解答必须写在答卷上，写在试卷上不得分；

(3) 考试过程中不得使用计算器；

(4) 考试结束后只交答卷。

得分

一、选择题（本大题共15小题，每小题2分，共30分）

1. 下列说法正确的是_____。

A. 补码的正数范围与负数范围一致

B. 移码的符号位与补码的一致

C. 计算机系统是一个由硬件、软件组成的多级层次结构，由下至上各层级分别为微程序级、一般机器级、操作系统级、汇编语言级和高级语言级

D. 数据库管理系统属于计算机应用软件

2. 在下列编码的 4 个数中最小的数为_____。

A. $(-1111001)_2$

B. $(-52)_8$

C. $(-48)_{10}$

D. $(-2C)_{16}$

3. 下列关于冯·诺依曼结构计算机基本思想的叙述中，错误的是_____。

A. 程序的功能都通过中央处理器执行指令实现

B. 指令和数据都用二进制表示，形式上无差别

C. 指令按地址访问，数据都在指令中直接给出

D. 程序执行前，指令和数据需预先存放在存储器中

4. 下列存储器中，_____需要在工作期间进行周期性刷新。

I. SRAM II. SDRAM III. ROM IV. DDR4

A. I 和 III B. 仅 II C. II 和 IV D. III 和 IV

5. 某字长 32 位计算机内存的最大存储空间为 $64\text{M} \times 32$, 内存按字编址, 实际布局结构如图 1 所示, 上为低位地址下为高位地址, 阴影部分为不可用区域。则地址为 $(14\text{A}0\text{B}1\text{F})_{16}$ 的存储单元位于_____。

16M×32(ROM)
16M×32(DRAM)
8M×32(SRAM)
24M×32(不用)

图 1 计算机内存布局

- A. ROM 区域 B. DRAM 区域 C. SRAM 区域 D. 不可用区域
6. 已知条件同上题, 现有 $16\text{M} \times 16$ 和 $8\text{M} \times 8$ 两种大小的 ROM、DRAM 和 SRAM 芯片若干, 则总共至少需要_____片各类芯片构成该计算机内存。
- A. 8 B. 10 C. 12 D. 16
7. 主存有 2048 个数据块 ($\text{B}0 \sim \text{B}2047$), Cache 有 64 行 ($\text{L}0 \sim \text{L}63$), 若采用直接映射方式, 则数据块 $\text{B}130$ 可映射到 Cache 的_____行。若采用 4 路组相联映射方式, 则数据块_____可映射到 Cache 的 $\text{L}3$ 行。
- A. $\text{L}1, \text{B}5$ B. $\text{L}2, \text{B}3$ C. $\text{L}1, \text{B}8$ D. $\text{L}2, \text{B}0$
8. 下列说法中错误的是_____。
- A. 计算机指令系统分为 RISC 和 CISC
- B. 可以采用异步刷新方式实现 CPU 无“死区”访问内存
- C. 最适合按下标顺序访问一维数组元素的寻址方式是变址寻址
- D. 现代指令系统多采用 RS 型寻址方式以提高执行速度
9. 指令寄存器属于_____部分。
- A. 控制器 B. 运算器 C. 存储器 D. 适配器
10. 设某系统总线在一个总线周期中并行传输 64 位的信息, 一个总线周期占用 2 个总线时钟周期, 总线时钟频率为 33MHz。某文件大小为 528MB, 则持续读取该文件所需的最小时间是_____秒。

- A. 2 B. 4 C. 0.25 D. 0.5

11. 下列_____是同步传输的特点。

- I. 需要应答信号 II. 各部件的存取时间比较接近
III. 总线周期的长度不可变 IV. 统一的公共时钟信号
A. I 和 III B. II C. I 和 IV D. II 和 IV

12. 若磁盘的位密度提高一倍, 则下列说法正确的是_____。

- I. 磁盘存储容量提高一倍 II. 平均找道时间减半
III. 数据传输速率提高一倍 IV. 相同数据量时传送时间延长一倍
A. I 和 III B. III 和 IV C. I 和 IV D. I 和 II

13. 在微程序控制器中, 一条机器指令的功能通常由_____。

- A. 一条微指令实现 B. 一段微程序实现
C. 一个指令码实现 D. 一个条件码实现

14. 下列说法中正确的是_____。

- A. 允许中断触发器(EI)位于中断控制器中
B. 关中断在中断周期中完成
C. 网卡数据缓冲区数据发送完毕后, 经由网卡接口向 CPU 发出中断请求。CPU 接到请求后, 立即停止当前的操作来响应网卡的中断请求
D. DMA 与 CPU 交替访问方式需要申请、建立和归还总线控制权

15. 先后执行指令 ADD R₁, R₂ (R₁ 为目标寄存器) 和 SUB R₂, R₃ (R₂ 为目标寄存器) 会存在的数据相关类型有_____种。

- A. 0 B. 1 C. 2 D. 3

得分	
----	--

二、填空题 (本大题共10小题, 每小题2分, 共20分)

1. 按照冯·诺伊曼思想, 计算机由五大部件组成, 分别为运算器、____、____和输入/输出设备及适配器。
2. 由 4 个“1”和 4 个“0”组成的 8 位二进制补码, 能表示的最小整数是_____。

3. 已知带符号整数用补码表示, float 型数据用 IEEE 754 标准表示, 假定变量 x 的类型只能是 int 或 float, 当 x 的机器数为 C8000000H 时, x 的值可能是_____和_____。
4. 存储器的刷新操作有集中式刷新和分散式刷新两种方式, 后者把每一行的刷新插入到正常的读/写周期之中。现有一 4M×32 位的 DRAM 芯片, 其存储体结构中, 每行 512×32 个存储元。采用分散式刷新, 如下图所示, 若存储器读/写周期为 0.5μs, 单元刷新间隔不超过 8ms, 其平均行刷新时间 τ =_____μs。(取最接近计算值的 0.5μs 的整数倍。)

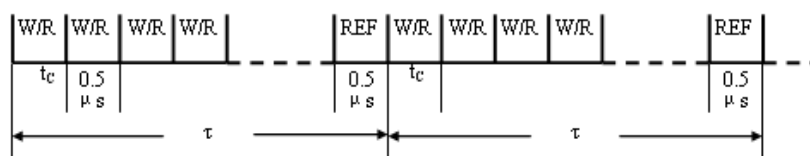


图 2 刷新方式

5. 某 CPU 微程序控制器控存容量为 480×25 位, 分别根据 OP 字段、SF 条件码和 ZF 条件码进行分支转移, OP 字段有 4 位, 则 P 字段和操作控制字段应分别为_____位和_____位。
6. 设浮点流水线有对阶、尾数加/减、规格化及舍入处理四个流水段, 各个流水段的操作时间分别为 90ns、100ns、95ns 和 75ns。若此浮点流水线受统一的时钟信号进行控制, 则时钟周期最小应为_____。现有 200 条加减法操作连续输入此流水线, 流水线的实际吞吐率(单位时间里执行完毕的加减法操作)为_____。
7. 总线是构成计算机系统的_____, 是多个_____之间进行数据传送的公共通路。
8. 在总线的三种集中式仲裁方式中, 菊花链式查询方式的主要优点是_____, 但优先级固定, 且对硬件故障很敏感。与此不同, 计数器查询和_____这两种仲裁方式优先级的顺序是可以调整的。
9. 一台有 3 个盘片的磁盘组, 共有 4 个记录面, 转速为 7200 转/分, 盘面有效记录区域的外直径为 30cm, 内直径为 20cm, 内层位密度为 300 位/mm, 磁道密度为 8 道/mm, 盘面分为 16 个扇区, 每个扇区有 1024 个字节, 则它的格式化容量为_____ MB。
10. 图 3 是一个二维中断系统, _____标志为“1”时, 表示 CPU 对该级的所有设备的中断请求进行屏蔽。请将外部设备 C、D 和 F 按优先级从高到低排序应为_____。

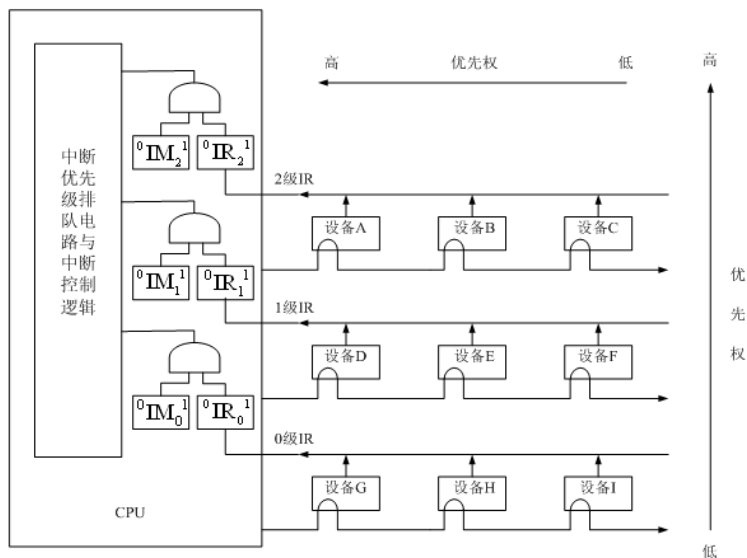


图 3 多级中断结构

得分

三、计算题（本大题共3小题，共26分）

- （8分）设有两浮点数进行浮点加法，阶码用含双符号在内共 5 位的变形补码整数表示，尾数用含双符号在内共 8 位的一般规格化（即符号位与最高数值有效位不同）变形补码小数表示。根据下列的计算结果回答问题：

（1）浮点对阶后尾数相加的结果为 $10.101011 \times 2^{00101}$ ，其中除 2 外均为二进制。则要针对结果进行什么操作？该操作后获得的结果是什么？（4分）

（2）浮点对阶后尾数相加的结果为 $11.111001 \times 2^{11110}$ ，其中除 2 外均为二进制。则要针对结果进行什么操作？该操作后获得的结果是什么？（4分）

- （10分）将 $4K \times 8$ 的 DRAM 存储芯片组装成 $128M \times 32$ 的存储器，按字节从地址 0 开始编址，字长 32 位。设存储周期为 400ns，数据总线宽度为 32 位，总线传送周期为 50ns，试求：

（1）若采用顺序存储方式，则地址为 $(1A2C0005)_{16}$ 的字位于哪个模块？在模块内第几个字？（从 0 开始编号；结果用十六进制表示）（5分）

（2）若采用交叉方式来组织存储器，某程序要连续读取 41 个字，则此存储器的带宽为多少？该带宽是顺序方式存储器带宽的多少倍？（5分）

3. (8 分)某显示器的分辨率为 1024×720 , 颜色采用真彩色(即 32 位), 刷新频率为 75Hz, 则为该显示器提供刷新处理的显存容量至少应为多少 MB? (4 分) 显存的带宽为多少 MB/s? (4 分) (结果都保留两位小数)

得分

四、分析题 (本大题共2小题, 共24分)

1. (12 分) 某 16 位机器的一种 RS 型指令格式如下:

6 位		4 位		1 位	2 位	16 位	
OP	—	通用寄存器		I	X	偏移量 D	

寻址方式	I	X	有效地址 EA 算法	说明
直接寻址	0	00	EA = <u>①</u>	PC 为程序计数器 R ₁ 为基址寄存器
<u>②</u>	0	01	EA = (PC) + D	
基址寻址	0	10	EA = (R ₁) + D	
<u>③</u>	1	11	EA = (R ₂)	R ₃ 为变址寄存器
间接寻址	1	00	EA = <u>④</u>	
变址寻址	0	11	EA = (R ₃) + D	

(1) 请写出①~④四处的寻址方式或有效地址 EA 算法 (8 分)

(2) 现有“LAD (R₂), R₄”完成将(R₂)为地址的内存单元的内容取至寄存器 R₄, 则该指令的源操作数和目的操作数分别采用什么寻址方式? (4 分)

2. (12 分) 图 4 为某处理机逻辑框图, 有两条独立的总线 BUS1 和 BUS2; 有两个独立的存储器, 即指令存储器 IM 和数据存储器 DM。R1 和 R2 为通用寄存器, PC 为程序计数器, IR 为指令寄存器, ALU 为算术/逻辑运算器。图中标注有控制信号, 所有的细单箭头代表控制微命令, 如 DAR_{in} 代表将 BUS1 上的数据打入数存 DM 的地址寄存器中; C5 则是通过控制门 C5 的信号。未标字符的线则为直通线, 不需要微命令进行控制。假定指令的地址已经在 PC 中, 所有的微命令由控制器发出, IM 和 DM 的读/写都需要一个 CPU 周期。指令“STO A”的功能是将寄存器 AC0 中的内容存入到数存 DM 中存储地址为 A 的存储单元。请写出该指令的流程图以及相应的微操作控制信号。

装

订

线

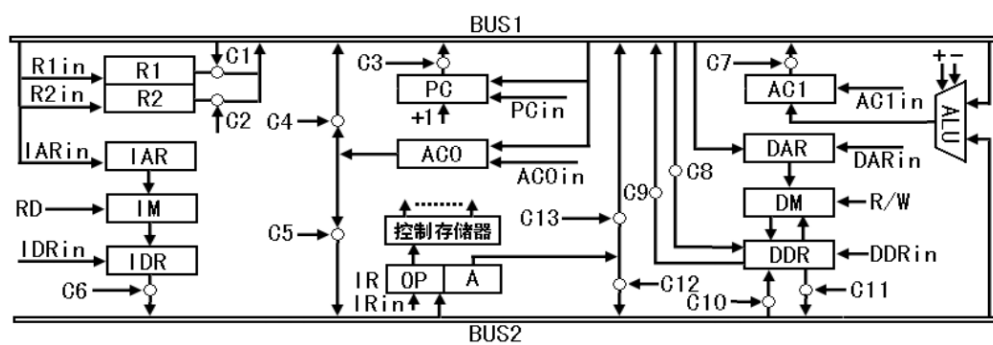


图4 模型机数据通路图

