

华南农业大学期末考试试卷 (A 卷)

2013-2014 学年第 2 学期

考试科目: 计算机组成原理

考试类型: (闭卷) 考试

考试时间: 120 分钟

学号_____姓名_____年级专业班级_____

题号	一	二	三	四	总分
得分					
评阅人					

注意事项:

(1) 本试题分为试卷与答卷 2 部分。试卷有四大题, 共 8 页;

(2) 所有解答必须写在答卷上, 写在试卷上不得分;

(3) 考试过程中不得使用计算器;

(4) 考试结束后只交答卷。

一、选择题 (本大题共15小题, 每小题2分, 共30分)

得分

1. 下列说法不正确的是_____。

A. 存储程序是冯·诺伊曼的思想

B. MIPS 是衡量计算机性能的指标之一

C. 哈佛结构就是把指令和数据放在两个存储器, 但这样速度会变慢

D. 一段微程序可实现一条机器指令功能

2. 设某计算机的寄存器为 16 位, 可以存放的最小补码定点纯整数为_____。

A. $-2^{15}+1$

B. $2^{15}-1$

C. -2^{15}

D. 2^{15}

3. Float 型数据常用 IEEE754 单精度浮点格式。现有两个 float 型变量 x 和 y, 程序执行时分别存放于寄存器 R0 和 R1 中。若 R0 的内容为 CC90 0000H, R1 的内容为 B0C0 000H, 则_____。

A. $x < y$, 且同号

B. $x < y$, 且异号

C. $x > y$, 且异号

D. $x > y$, 且同号

4. 设某 8 位 ALU 具有 C、Z、V、S 等标志位, 值为 1 时分别表示有进位、结果为零、产生溢出、符号位为 1。现 ALU 的两个输入端分别为 0BH 和 F9H, 功能选择模式置为减法, 则完成运算后标志位 CZVS 的值为_____。

A. 1010

B. 0110

C. 1001

D. 0000

5. 下列关于浮点数，正确的是_____。

- A. 移码通常用于表示浮点数的阶码
- B. 基于变形补码的尾数求和结果为 10.101011，则需要左规
- C. 基于变形补码的尾数求和结果为 11.110101，则需要右规
- D. 对阶原则是大阶向小阶看齐

6. 某计算机存储器按字节编址，采用大端存储方式（即高位字节存放在较低的存储器地址，低位字节存放在较高的存储器地址的一种数据存放模式）以补码形式存放数据。

设编译器规定 int 型和 short 型长度分别为 32 位和 16 位。某 C 语言程序段如下：

```
struct {  
    int x;  
    short y;  
} stu;  
stu.x = 15;  
stu.y = -293;
```

若 record 变量的首地址为 $(C008)_{16}$ ，则地址 $(C00C)_{16}$ 中的内容是_____。

- A. 00H B. FEH C. 01H D. DBH
7. 某机器中，配有一个大小为 $16K \times 32$ 的 ROM 芯片，安放在地址空间为 $0000H \sim 3FFFH$ 的 ROM 区域中。现再用若干 $16K \times 8$ 的 DRAM 芯片形成容量为 $32K \times 32$ 位的 RAM 区域，起始地址为 $6000H$ 。假设 ROM 芯片有 \overline{CS} 控制信号，RAM 芯片有 \overline{CS} 和 \overline{WE} 控制信号。CPU 的地址总线为 $A_{15} \sim A_0$ ，数据总线为 $D_{15} \sim D_0$ ，控制信号为 R/\overline{W} ，则当采用顺序存储方式， $A_{15} \sim A_{13}$ 为 010 且 $R/\overline{W} = 0$ 时，执行_____操作。

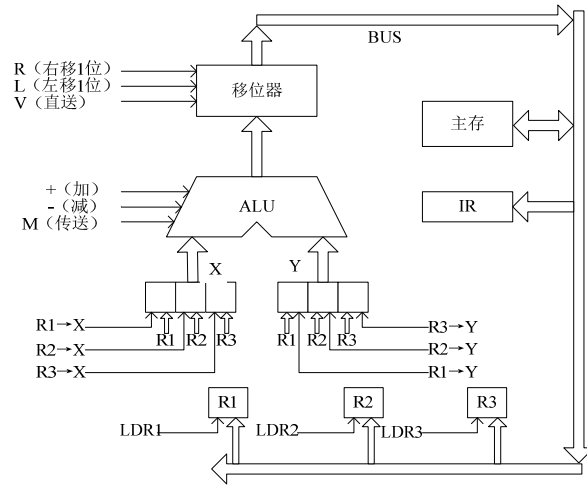
- A. 读 ROM B. 写 RAM C. 读 RAM D. 以上都不对
8. 已知 cache 存取周期为 50ns，主存的为 250ns，cache/主存系统的平均访问时间为 58ns，则 cache 的命中率为_____。

- A. 0.93 B. 0.96 C. 0.95 D. 0.98
9. 主存有 256 个数据块（ $B_0 \sim B_{255}$ ），cache 有 16 行（ $L_0 \sim L_{15}$ ），现采用 2 路组相联地址映射方式，则主存的 B_{178} 数据块可以映射到 cache 的第_____行？
- A. L_1 B. L_3 C. L_5 D. L_7

10. 假设变址寄存器 R 中的值是 $1000H$ ，指令中的形式地址为 $2000H$ 。地址 $1000H$ 、 $2000H$ 和 $3000H$ 中的内容分别为 $2000H$ 、 $3000H$ 和 $4000H$ ，则该指令访问到的数据为_____。

- A. 1000H B. 2000H C. 3000H D. 4000H

11. 运算器的数据通路如下图所示, 下列_____属于相斥性的微操作。



- A. R1->X 与 R3->Y B. R2->X 与 R3->Y
C. R3->X 与 R1->Y D. R1->X 与 R3->X

12. 关于硬布线控制器, 正确的说法是_____。

- A. 指令执行速度慢, 指令功能的修改和扩展容易
B. 无法对控制信号加上时序控制
C. 指令执行速度快, 指令功能的修改和扩展难
D. 适合于实现 CISC 指令系统

13. 下列不会引起指令流水阻塞的是_____。

- A. 数据旁路(forwarding) B. 数据相关 C. 条件转移 D. 资源冲突

14. 下列关于总线的说法正确的是_____。

- A. 单总线结构容易扩展, 而多总线结构效率高
B. 对电路故障最敏感的仲裁方式是独立请求方式
C. 响应速度最快的集中式仲裁方式是计数器定时查询
D. 链式查询方式可保证所有设备都可获得总线控制权

15. 在多级中断中, 对某一级设备的中断请求不响应的硬件是_____。

- A. 准备就绪的标志(RD) B. 允许中断触发器(EI)
C. 中断请求触发器(IR) D. 中断屏蔽触发器(IM)

得分

二、填空题（本大题共4小题，每空1分，共10分）

1. 计算机系统是一个由硬件、软件组成的多级层次结构，由下至上各层级分别为：一般机器级、_____、汇编语言级、_____、高级语言级。
2. 已知 y 的二进制补码为 10100111，则 $[-y]_{\text{补}}$ 为_____， $[y]_{\text{移}}$ 为_____。
3. 设有真值数 $x = +76$ ， $y = -83$ ，均用双符号 9 位补码表示（最高两位为符号，其它 7 位为数值），则 $x - y$ 的双符号补码为_____，该结果表明_____。
4. 图1为某处理机逻辑框图，有两条独立的总线BUS1、BUS2和两个独立的存储器，分别是指令存储器IM和数据存储器DM。R1和R2为通用寄存器，PC为程序计数器，IR为指令寄存器，ALU为算术/逻辑运算器。图中标注有控制信号，所有的细单箭头代表控制微命令，如DARin代表将BUS1上的数据打入数存DM的地址寄存器中；C5则是通过控制门C5的信号。未标字符的线则为直通线，不需要微命令进行控制。假定指令的地址已经在PC中，所有的微命令由控制器发出，IM和DM的读/写都需要一个CPU周期。

指令“LDA A”的功能是将数存DM中存储地址为A的内容取至寄存器单元AC0。

根据图1所示的数据通路图，补全该指令的流程图（图2）以及相应的微操作控制信号。

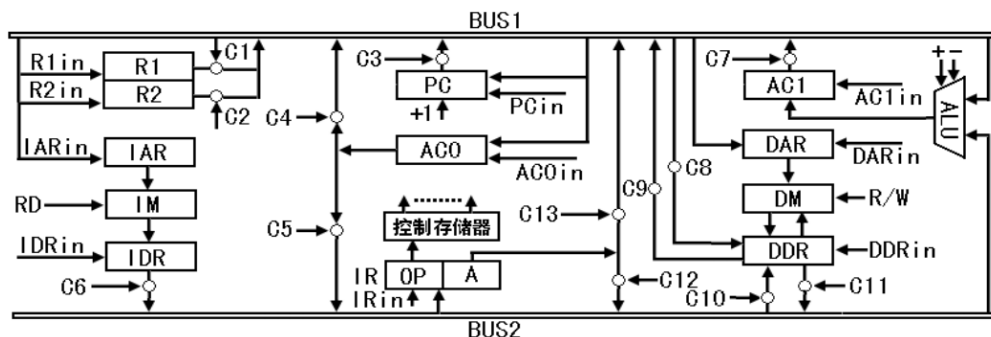


图1 模型机数据通路图

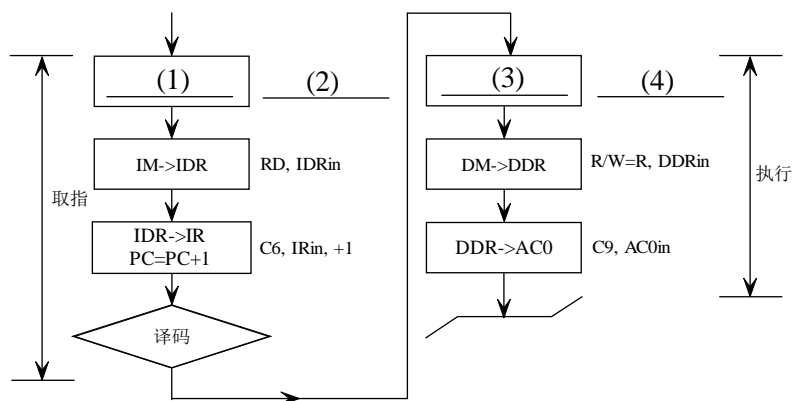


图2 LDA A 指令的指令周期流程图

三、计算题（本大题共3小题，共35分）

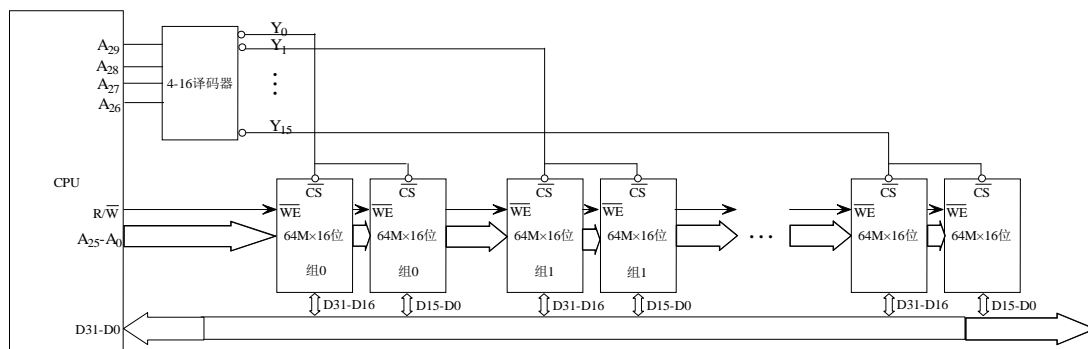
得分

- （10 分）设某存储器的存储容量为 128M，字长为 32 位，存储模块数为 $m=8$ ，分别用顺序方式和交叉方式进行组织。假定系统总线数据宽度为 32 位，总线传送周期为 $\tau=50\text{ns}$ ，存储周期为 $T=400\text{ns}$ 。若连续读出 16 个字，求顺序和交叉方式下，存储器的带宽分别是多少 Mb/s？（若结果非整数，保留一位小数。）
- （13 分）某指令流水线有取指（IF）、译码（ID）、执行（EX）、和写回寄存器堆（WB）4 个过程段，各功能段所用的时间分别为 120ns、100ns、100ns 和 80ns。今有 81 条指令流过此流水线，试问：
 - 流水线的时钟周期最少应是多少？
 - 画出执行这 81 条指令的时空图。
 - 该流水线的实际吞吐率（单位时间里执行完毕的指令数）是多少？（保留一位小数。）
 - 相对于顺序执行，该流水线能获得多大的加速比？（保留一位小数。）
- （12 分）假设某温彻斯特硬盘，内有 2 个盘片，采用现代工艺后最上和最下的两个盘面均可使用。磁盘转速为 7200 转/分，盘面有效记录区域的外直径为 30cm，内直径为 14cm，内层位密度为 600 位/cm，磁道密度为 100 道/cm，盘面分为 32 个扇区，每个扇区有 512 个字节。分别求该盘组的格式化容量和非格式化容量。（注：计算时若用到 π ，可以带 π 符号运算。）

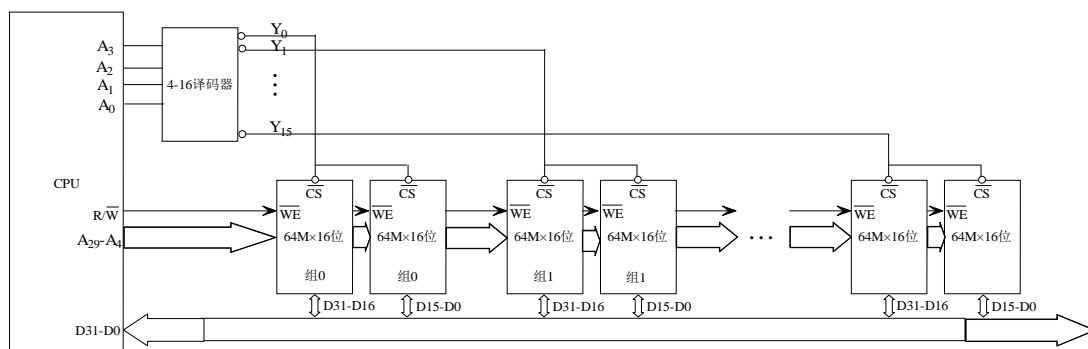
四、分析题（本大题共2小题，共25分）

得分

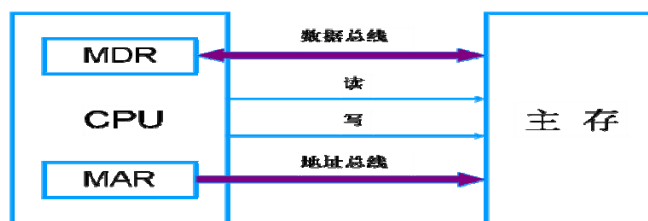
- （12 分）现有一条容量为 $1\text{G}\times 32$ 位内存条，由若干 $64\text{M}\times 16$ 位的 DRAM 芯片所构成。每个 DRAM 芯片都有 \overline{CS} 和 \overline{WE} 信号引脚用于片选和读/写控制，内存条与 CPU 的连接方式如图 3 所示。对于图中的 4-16 译码器，当输入为 0000 时，Y0 为低电平，其它为高电平；当输入为 0001 时，Y1 为低电平，其它为高电平；如此类推。根据图 3，回答下列问题：
 - 构造该内存条时，总共需要多少片 $64\text{M}\times 16$ 位的 DRAM 芯片？（3 分）
 - 分析方式一和二的特点，包括存储组织方式、片选方式及优缺点等方面。（4 分）
 - 计算图 3(a)中组 1 对应的两片 DRAM 芯片的地址范围（用十六进制表示）。（3 分）
 - 根据图 3(c)，寄存器 MDR 和 MAR 最少分别应该是多少位？需说明原因。（2 分）



(a) 方式一



(b) 方式二



(c) 内存与 CPU 的连接示意图

图 3 内存条内部构成及与 CPU 的连接方式示意图

2. (13 分) 已知 ARM 指令的格式 (位数是二进制) 如下:

4 位	2 位	1 位	4 位	1 位	4 位	4 位	12 位
cond	F	I	opcode	S	Rn	Rd	operand2

其中, cond 指明条件转移指令的条件, F 说明指令类型, I 指明立即数, opcode 为指令操作码, S 用于设置状态, Rn 指明源寄存器, Rd 指明目标寄存器, operand2 指明第 2 个操作数 (如第 2 个源寄存器或者偏移量)。

设 ARM 指令 ADD、SUB、LDR、STR 的汇编助记符使用方式如下：

```
ADD DR, SR1, SR2 ;DR←SR1+SR2
SUB DR, SR1, SR2 ;DR←SR1-SR2
LDR DR, [BR, addr] ;DR←[BR+addr]
STR DR, [BR, addr] ;[BR+addr]←DR
```

其中，DR 为目的寄存器，SR1 和 SR2 为两个源寄存器，BR 为用作基址的源寄存器，addr 为偏移量。这几条汇编指令的译码方式如表 1 所示。

表 1 ADD、SUB、LDR 和 SDR 的十进制译码格式

指令名称	cond	F	I	opcode	S	Rn	Rd	operand2
ADD(加)	14	0	0	4	0	reg	reg	reg
SUB(减)	14	0	0	2	0	reg	reg	reg
LDR(取字)	14	1	—	24	—	reg	reg	addr
STR(存字)	14	1	—	25	—	reg	reg	addr

某一段 C 语言程序如下：

```
int g=10, h=0;
int a[10] = {0, 1, 2, 3, 4, 5, 6, 7, 8, 9};
a[5] = g - h + a[5];
```

现假定编译器定义 int 型数据的大小为 4 字节，ARM 设备的内存按字节编码。将编译后的程序调进 ARM 内存时，变量 g、h 及 a[0] 分别存放在起始为(2000)₁₆、(2004)₁₆ 和(2008)₁₆ 的内存单元中。假定 ARM 总共有 16 个寄存器，g 和 h 已经加载到寄存器 R0 和 R1 中，a 的首地址(2008)₁₆ 已经加载到基址寄存器 R15 中，则 a[5] = g - h + a[5] 的 ARM 汇编语句为：

```
I1: LDR R2, [R15, 20]
I2: SUB R1, R0, R1
I3: ADD R2, R1, R2
I4: STR R2, [R15, 20]
```

据上述给出的条件，回答下列问题：

- (1) 分析 I1-I4 中存在哪些数据相关？ (5 分)
- (2) 分析 I1-I4 中分别采用了哪些寻址方式？ (4 分)
- (3) 表 2 是根据表 1 将 I1-I3 翻译成的十进制格式，其中已经给出了 I2 的十进制译码结果。请完成表 2 中 I1 和 I3 指令的十进制格式。 (4 分)

表 2 汇编语句 I1-I3 的十进制译码结果

指令名称	cond	F	I	opcode	S	Rn	Rd	operand2
I1								
I2	14	0	0	4	0	0	1	1
I3								