

华南农业大学期末考试试卷（A 卷）

2015-2016 学年第 2 学期 考试科目：计算机组成原理

考试类型：（闭卷）考试 考试时间：120 分钟

学号姓名年级专业班级

题号	一	二	三	四	总分
得分					
评阅人					

注意事项：

(1) 本试题分为试卷与答卷 2 部分。试卷有四大题，共 8 页；

(2) 所有解答必须写在答卷上，写在试卷上不得分；

(3) 考试过程中不得使用计算器；

(4) 考试结束后只交答卷。

得分	
----	--

一、选择题（本大题共15小题，每小题2分，共30分）

1. 下列说法不正确的是_____。

- A. 存储程序是冯·诺伊曼的思想
- B. 机器语言程序是计算机能够直接执行的程序
- C. 一般机器级主要是实施指令系统的功能，因此属于软件级
- D. 计算机系统是一个由硬件、软件组成的多级层次结构，由下至上各层级分别为微程序级、一般机器级、操作系统级、汇编语言级和高级语言级

2. 冯·诺伊曼型计算机中，存储器主要用来_____。

- A. 存放程序 B. 存放数据 C. 存放微程序 D. 存放程序和数据

3. 设寄存器内容为 80H，若它对应的真值是-127，则该机器数是_____。

- A. 原码 B. 补码 C. 反码 D. 移码。

4. 已知 y 的二进制补码为 01011101，则 $[-y]_{补}$ 和 $[y]_{移}$ 分别为_____。

- A. 00100011, 11011101 B. 10100011, 11011101
- C. 00100011, 00100011 D. 10100011, 00100011

5. 现有若干 7 位补码进行下列 4 组加减运算，其中可能会有溢出发生的是_____。

① $(0\cdots\cdots) + (0\cdots\cdots)$ ② $(0\cdots\cdots) + (1\cdots\cdots)$

③ $(1\cdots\cdots) - (0\cdots\cdots)$ ④ $(1\cdots\cdots) - (1\cdots\cdots)$

A. ①②

B. ②③

C. ①③

D. ③④

6. 下列叙述中正确的是_____。

A. 某计算机的字长为 16 位，则可以存放的最小定点整数补码为 2^{-16}

B. 设有两浮点数进行对阶和尾数加法操作后，得到变形补码表示的尾数 10.01100 (00)，则将该尾数进行左规后得到 11.00110 (00)

C. 设某二进制真值为 -0010，那么其在 8 位字长的计算机中的补码形式为 10001110

D. 设两真值数 $x = +76$ 和 $y = -83$ ，均用双符号 9 位补码表示，则 $x-y$ 的双符号为 01

7. 用 $16K \times 8$ 位的 DRAM 芯片构成 $64K \times 32$ 位的内存条，每个 $16K \times 8$ 位的芯片组织成 128×128 的存储阵列。若采用分散式刷新（即每一行的刷新插入到正常的读/写周期之中），且存储器读/写周期为 $0.5\mu s$ ，单元刷新闻隔不超过 $2ms$ ，则其平均行刷新时间间隔为_____ μs 。

A. 15.5

B. 16

C. 8

D. 7.5

8. 主存和 CPU 之间增加高速缓冲存储器的目的是_____。

A. 解决 CPU 和主存之间的速度匹配问题

B. 扩大主存容量

C. 既扩大主存容量，又提高了存取速度

D. 扩大辅存容量

9. 在微程序控制器中，一条机器指令的功能通常由_____。

A. 一条微指令实现

B. 一段微程序实现

C. 一个指令码实现

D. 一个条件码实现

10. 关于 RISC 和 CISC，下列说法正确的是_____。

A. Pentium 系列采用的是 RISC 技术

B. RISC 寻址方式比 CISC 多

C. RISC 指令功能简单，控制器多采用硬布线方式

D. 流水 CPU 一定采用 RISC 技术

11. 运算器的数据通路如下图所示，下列描述正确的是_____。

A. $R3 \rightarrow X$ 与 $R2 \rightarrow Y$ 是互斥性的微操作

B. $+$ 、 $-$ 和 M 是相容性的微操作

- C. 当采用微程序设计时, LDR1、LDR2 和 LDR3 可以在同一条微指令中都置为 1
- D. BUS->主存与 BUS->R1 不能同时进行

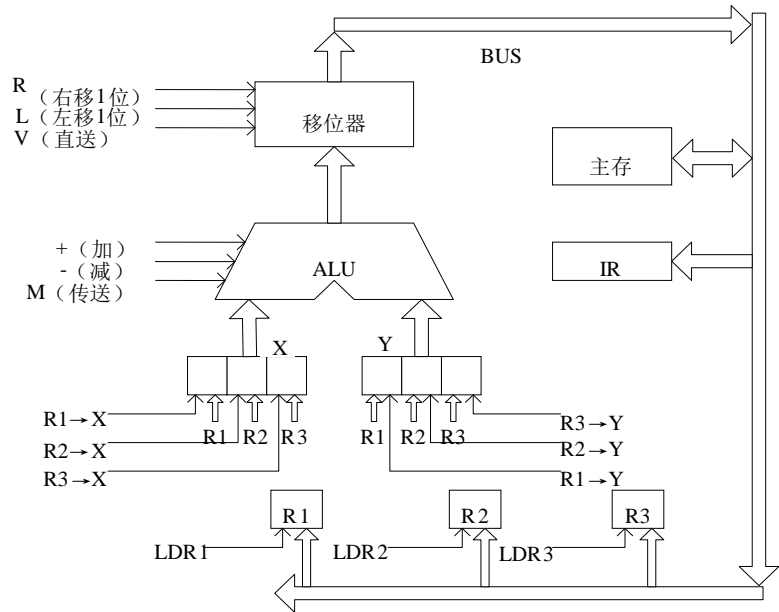


图 1 某运算器模型

12. 假设某系统总线在一个总线周期中并行传输 32 位的信息, 一个总线周期占用 2 个总线时钟周期, 总线时钟频率为 10MHz, 则总线带宽是_____ MB/s。
- A. 20 B. 32 C. 16 D. 10
13. 在单总线结构的 CPU 中, 连接在总线上的多个部件_____。
- A. 某一时刻只有一个可以向总线发送数据, 并且只有一个可以从总线接收数据
- B. 某一时刻只有一个可以向总线发送数据, 但可以有多个同时从总线接收数据
- C. 可以有多个同时向总线发送数据, 并且可以有多个同时从总线接收数据
- D. 可以有多个同时向总线发送数据, 但可以有一个同时从总线接收数据。
14. 在多级中断中, 对某一级设备的中断请求不响应的硬件是_____。
- A. 准备就绪的标志(RD) B. 允许中断触发器(EI)
- C. 中断请求触发器(IR) D. 中断屏蔽触发器(IM)
15. 关于程序中断, 下列叙述中是错误的_____。
- A. 中断在当前指令执行完毕进入公操作时才进行
- B. 为了保证中断服务子程序能够正确返回, 必须要保存现场
- C. 在关闭中断并找到中断源, 随后在中断服务子程序结束时开中断
- D. 中断屏蔽寄存器 IM 为 1 时, 表明可以受理 CPU 外部的中断源

得分

二、填空题（本大题共9小题20空，每空1分，共20分）

1. 计算机的硬件是由有形的电子器件构成，它包括运算器、_____、_____、适配器、输入输出设备。
2. 数的真值变成机器码时有四种表示方法，分别是原码、反码、补码、_____。
3. 设有补码为1.0010，则它所表示的定点纯小数真值为_____。
4. 某指令格式结构如下所示，操作码 OP 可指定_____条指令，计算机最多有多少个通用寄存器_____。

15	10	9	8	7	4	3	0
OP				-	目标寄存器		源寄存器

5. 设寄存器 R1 和 R3 的内容分别为 1250H 和 2000H。某时刻 CPU 取到的指令为 LOAD R3, (R1)，它的功能为 $R3 \leftarrow \text{Mem}[(R1)]$ ，则控制器在译码后将_____经由地址总线传给 DRAM，并发出_____控制信号给 DRAM。经过一个存取周期后，CPU 在数据总线上获得所需要的数据。
6. 某 CPU 微程序控制器控存容量为 512×32 位，分别根据 OP 字段、SF 条件码和 CF 条件码进行分支转移。采用水平型微指令，则 P 字段和操作控制字段分别为_____和_____位。
7. 菊花链式查询方式的主要缺点是，离中央仲裁器越近的设备，获得总线控制权的几率就越_____。与此方式不同，方式中，_____优先级的顺序是可以调整的。
8. 某显示器分辨率为 1024×1024 ，颜色为 32 位，刷新频率为 60Hz，则显存容量和带宽分别为_____ MB 和_____ MB/s。
9. 某 16 位计算机主存按字节编址。存取单位为 16 位；采用 16 位定长指令格式；CPU 采用单总线结构，主要部分如图 2 所示。图中 R0~R3 为通用寄存器；T 为暂存器；SR 为移位寄存器，可实现直送(mov)、左移一位(left)、右移一位(right)共 3 种操作，控制信号为 SROp，SR 的输出受信号 SROUT 控制；ALU 可实现直送 A(mov)、A 加 B(add)、A 减 B(sub)、A 与 B(and)、A 或 B(or)、非 A(not)、A 加 1(inc)、A 减 1(dec) 等 8 种操作，控制信号为 ALUOp；MUXOp 为 0 时，常数 2 送入 ALU 的 B 端，否则将来自于 CPU 内部总线的数据送入 ALU 的 B 端。现有指令 add R0,R2,(R1)，功能为 $R0 \leftarrow \text{Mem}[(R1)] + R2$ ，该指令在图 2 所示的 CPU 上执行，指令周期取指和执行的流程图如图 3 所示，填写空格<1>-<6>的内容。

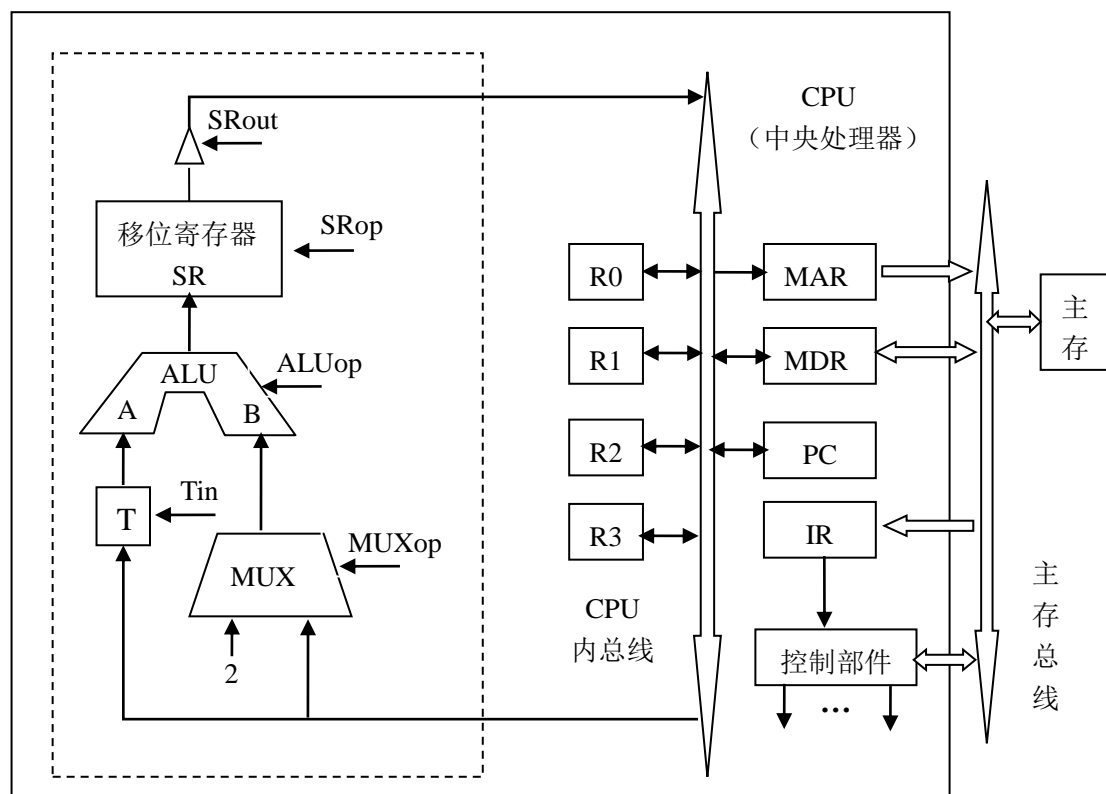


图 2 某 16 位计算机 CPU 模型图

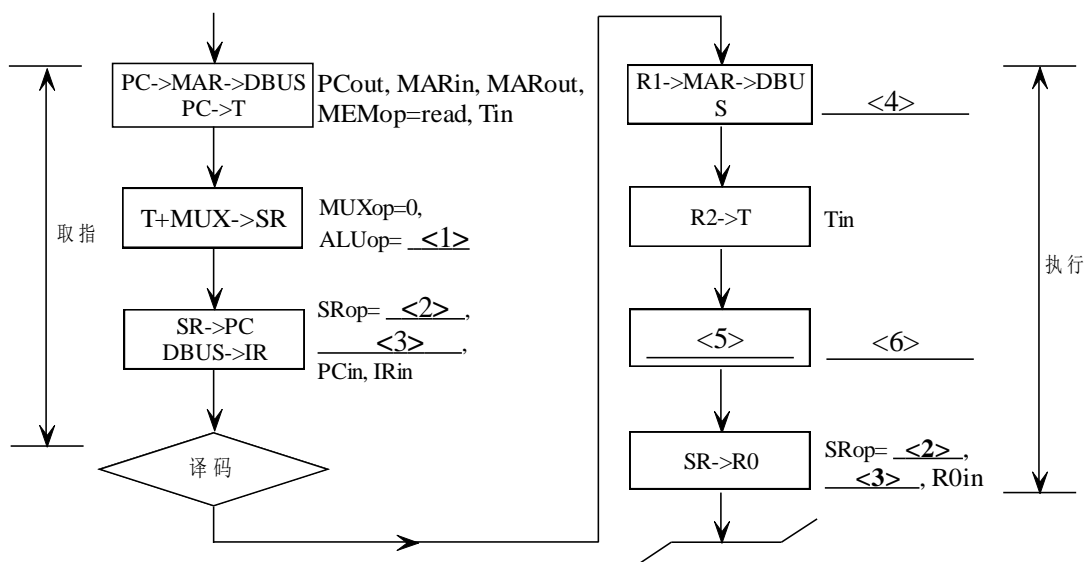


图 3 **add** R0,R2,(R1)的指令周期流程图

三、计算题（本大题共3小题，每题9分，共27分）

得分

- （9 分）设浮点寄存器 FR1 和 FR2 中分别存放着两个按 32 位 IEEE 754 格式编码的浮点数 $(42658000)_{16}$ 和 $(C1890000)_{16}$ ，那么 $(C1890000)_{16}$ 的十进制真值是多少？现对这两个浮点数做加法运算，则浮点运算器进行对阶运算后，阶码应等于多少？
- （9 分）某指令流水线有取指（IF）、译码（ID）、执行（EX）、访存（Mem）和写回寄存器堆（WB）共 5 个过程段，各功能段完成各自任务所需的时间分别为 120ns、80ns、100ns、120ns 和 80ns。现假定该流水线的各段都将受到统一时钟的控制，当有 81 条指令流过此流水线时，回答下列问题：
 - 流水线的时钟周期最少应是多少？
 - 该流水线的实际吞吐率（单位时间里执行完毕的指令数）是多少？（保留一位小数。）
 - 相对于未受到统一时钟控制的顺序执行（即每个流水段按实际所需时间进行计算），该流水线能获得多大的加速比？（保留一位小数。）
- （9 分）假设某温彻斯特硬盘，内有 6 个盘片，采用现代工艺后最上和最下的两个盘面均可使用。磁盘转速为 7200 转/分，找道时磁头每横越百条磁道花费 1ms。盘面有效记录区域的外直径为 30cm，内直径为 14cm，内层位密度为 600 位/cm，磁道密度为 100 道/cm，盘面分为 50 个扇区，每个扇区有 512 个字节。试求：
 - 平均找道时间是多少？
 - 平均等待时间是多少？
 - 设磁盘为已格式化的磁盘，则读取一个扇区的数据传送时间是多少？

得分

四、分析题（本大题共2小题，共23分）

- （13 分）设 CPU、高速缓存（Cache）和主存间的组织结构图如图 4 所示。其中，Cache 用高速 SRAM 构成，容量为 64KB，采用 4-路组相联映射方式；内存容量为 256M×32 位，由 64M×8 位的 DRAM 芯片 DRAM 构成，每个 DRAM 芯片组织成 8192×8192（即 $2^{13} \times 2^{13}$ ）存储矩阵，且每个芯片都有 \overline{CS} 和 \overline{WE} 信号引脚用于片选和读/写控制，内存按字节编址。Cache 和内存均进行分块，每块的大小均为 8 个字节。CPU 通过 R/\overline{W} 信号

对 Cache 或内存进行读/写，但为简便记该信号并未在图 4 中给出。根据图 4，回答下列问题：

- (1) 构造该内存条时，总共需要多少片 64M×8 位的 DRAM 芯片？ (3 分)
- (2) 设内存采用顺序方式组织存储单元，且称组成一 64M×32 位的若干存储芯片称为一组。当 CPU 给出的内存地址为(04006001)₁₆时，请问内存如何进行寻址？即选中哪个组内的哪个存储芯片的哪行和哪列？假定片内地址的低位为行地址，高位为列地址，且组号、组内芯片号、行号、列号均从 0 开始。 (4 分)
- (3) 请问 Cache 可以分成多少块？总共有多少组？ (2 分)
- (4) 设 Cache 分块后，用 L0、L1……进行编号；内存分块后，用 B0、B1……等进行分块。对于包含内存地址(04006001)₁₆在内的内存块，若调进 Cache 后，映射到 Cache 的哪一块中？调进 Cache 后，需要在相联存储表的对应行中记录标记 (tag)，请问该的 tag 是什么？（注：结果可用十六进制数表示。） (4 分)

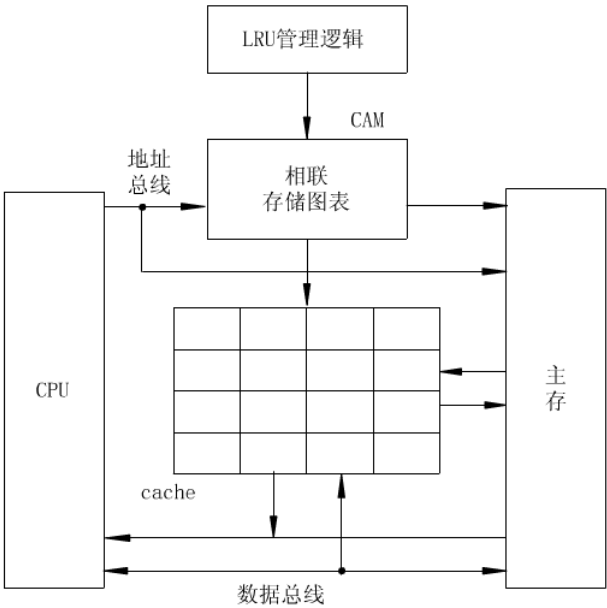


图 4 CPU、高速缓存（Cache）与内存条组织结构图

2. （10 分）基址寄存器 R_b 的内容为(3000)₁₆，变址寄存器 R_x 的内容为(32B0)₁₆，指令的地址码为(002B)₁₆，程序计数器（存放当前正在执行的指令的地址）的内容为(4500)₁₆，且存储器内存放的内容如下：

地址	内容
(002B) ₁₆	(3500) ₁₆
(302B) ₁₆	(3000) ₁₆

$(32B0)_{16}$	$(5600)_{16}$
$(32DB)_{16}$	$(2800)_{16}$
$(3500)_{16}$	$(2600)_{16}$
$(452B)_{16}$	$(2500)_{16}$

试回答下列问题，并说明理由。

- (1) 若采用基址寻址方式，则取出的操作数是什么？ (2 分)
- (2) 若采用变址寻址方式，取出的操作数是什么？ (2 分)
- (3) 若采用立即寻址方式，取出的操作数是什么？ (2 分)
- (4) 现有取数指令 $LAD R_1, (002B)_{16}$ ，它的功能是 $R_1 \leftarrow Mem[(002B)_{16}]$ ，则该指令采用何种寻址方式？指令执行后，通用寄存器 R_1 的值为多少？ (4 分)