

华南农业大学期末考试试卷（A 卷）

2014-2015 学年第 2 学期

考试科目： 计算机组成原理

考试类型：（闭卷）考试

考试时间： 120 分钟

学号 _____ 姓名 _____ 年级专业班级 _____

题号	一	二	三	四	总分
得分					
评阅人					

注意事项：

(1) 本试题分为试卷与答卷 2 部分。试卷有四大题，共 6 页。

(2) 所有解答必须写在答卷上，写在试卷上不得分。

(3) 考试过程中不得使用计算器；

(4) 考试结束后只交答卷。

一、选择题（本大题共10小题，每小题2分，共20分）

得分

1. 计算机硬件能够直接执行的是_____。

I. 机器语言程序 II. 汇编语言程序 III. 硬件描述语言程序(如 VHDL)

A. 仅 I B. 仅 I、II C. 仅 I、III D. I、II、III

2. 若 $x=102$, $y=-26$, 则下列表达式采用 8 位定点整数补码运算实现时, 会产生溢出的是_____。

A. $x+y$ B. $-x+y$ C. $x-y$ D. $-x-y$

3. 下列有关浮点数加减运算的叙述中, 正确的是_____。

I. 对阶操作不会引起阶码上溢或下溢

II. 右规和尾数舍入都可能引起阶码上溢

III. 左规时可能引起阶码下溢

IV. 尾数溢出时结果不一定溢出

A. 仅 II 和 III B. 仅 I、II 和 IV C. 仅 I、III 和 IV D. I、II、III 和 IV

4. 下列存储器中, 在工作期间需要周期性刷新的是_____。

A. SRAM B. DDR C. ROM D. FLASH

5. 主存有 8 个数据块（编号为 B0-B7），cache 有 4 行（编号为 L0-L3），现采用 2 路组相联地址映射方式，则 B6 数据块可映射到 cache 的第_____行。

- A. L0 或 L1 B. L3 或 L4 C. L1、L2、L3 和 L4 D. 以上都不对

6. 设某处理器具有四段指令流水线：IF（取指令）、ID（指令译码及取操作数）、EXE（ALU 执行）和 WB（结果写回）。现处理器执行如下指令序列：

ADD R3, R2, R5 ; $R3 \leftarrow R2 + R5$

SUB R4, R3, 2 ; $R4 \leftarrow R3 - 2$

ADD R5, R2, R3 ; $R5 \leftarrow R2 + R3$

流水线中有三类可能存在的数据相关：I. 写后读（RAW）相关；II. 读后写（WAR）相关；III. 写后写（WAW）相关。上述 3 条指令间存在_____数据相关。

- A. 只有 I B. 只有 II C. 只有 I 和 II D. I、II、III

7. 下面有关总线的叙述，**不正确**的是_____。

- A. 同步定时适用于总线周期长度可变
B. 同步定时需要统一的公共时钟信号
C. 异步定时适用于各功能模块存取时间相差很大的情况
D. 异步定时适用于总线长度较长

8. 如图 1 所示，这是一个二维中断系统，中断屏蔽触发器(IM)标志为“1”时，表示 CPU 对该级的所有设备的中断请求进行屏蔽。若 CPU 现执行设备 D 的中断服务程序，IM2、IM1、IM0 的状态为_____。

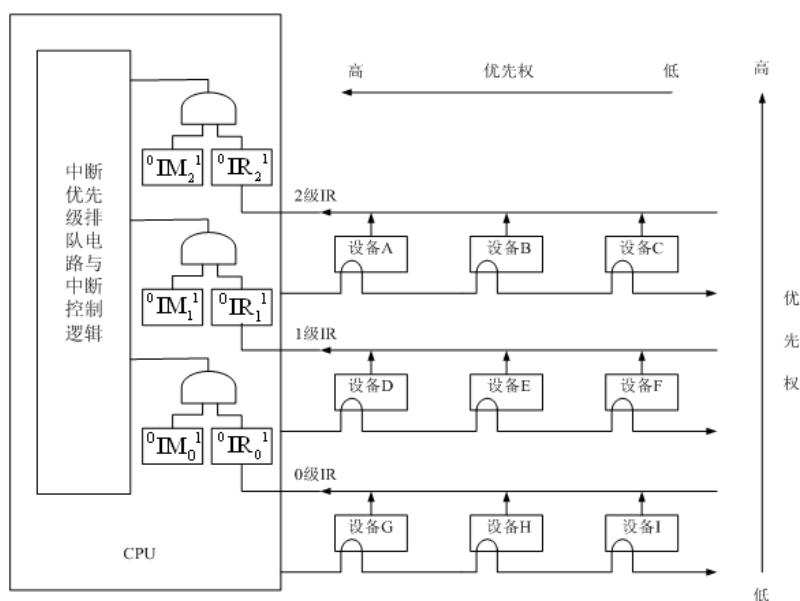


图 1 二维中断系统

- A. 001 B. 010 C. 011 D. 111

9. 若磁盘转速为 7200 转/分, 平均寻道时间为 8ms, 每个磁道包含 1000 个扇区, 则访问一个扇区的平均存取时间是_____。

- A. 8.1ms B. 12.2ms C. 16.3ms D. 20.5ms

10. 在 DMA 控制器与 CPU 分时使用内存的三种方法中, _____方式不需要总线使用权的申请、建立和归还过程, 对 CPU 而言, 如透明玻璃一般, 没有任何感觉或影响, 因此又被称为“透明的 DMA”, 在这种方式下, CPU 既不停止主程序的运行, 也不进入等待状态, 是一种高效的工作方式, 但相应的硬件逻辑也更加复杂。

- A. 停止 CPU 访问内存 B. 周期挪用
C. DMA 与 CPU 交替访问 D. 以上都不对

二、填空题（本大题共10小题，每题2分，共20分）

得分	
----	--

1. 由 3 个“1”和 5 个“0”组成的 8 位二进制补码, 能表示的最小整数是 _____。
2. 若浮点数据格式中阶码的基数已确定, 且尾数采用规格化表示法。则在浮点数阶码和尾数中, _____的位数决定了浮点数表示数的范围, _____的位数决定了浮点数的精度。
3. 通常存储器利用三组信号线与外部打交道, 这三组信号线分别是数据线、_____、_____。
4. 某采用多模块交叉方式编址的存储器容量为 32 字, 存储模块数为 4, 则地址为 10110 的字位于第_____号模块内的第_____号字（模块号和字号都是从 0 开始编号的）。
5. 请写出 CPU 中任意两个的寄存器名称: _____、_____。
6. 某 16 位计算机主存按字节编址。存取单位为 16 位; 采用 16 位定长指令格式; CPU 采用单总线结构, 主要部分如图 2 所示。图中 R0~R3 为通用寄存器; T 为暂存器; SR 为移位寄存器, 可实现直送(mov)、左移一位(left)、右移一位(right)共 3 种操作, 控制信号为 Srop, SR 的输出信号 SROUT 控制; ALU 可实现直送 A(mova)、A 加 B(add)、A 减 B(sub)、A 与 B(and)、A 或 B(or)、非 A(not)、A 加 1(inc)7 种操作, 控制信号为 ALUop。控制信号 ALUop 和 Srop 的位数至少是_____位和_____位。

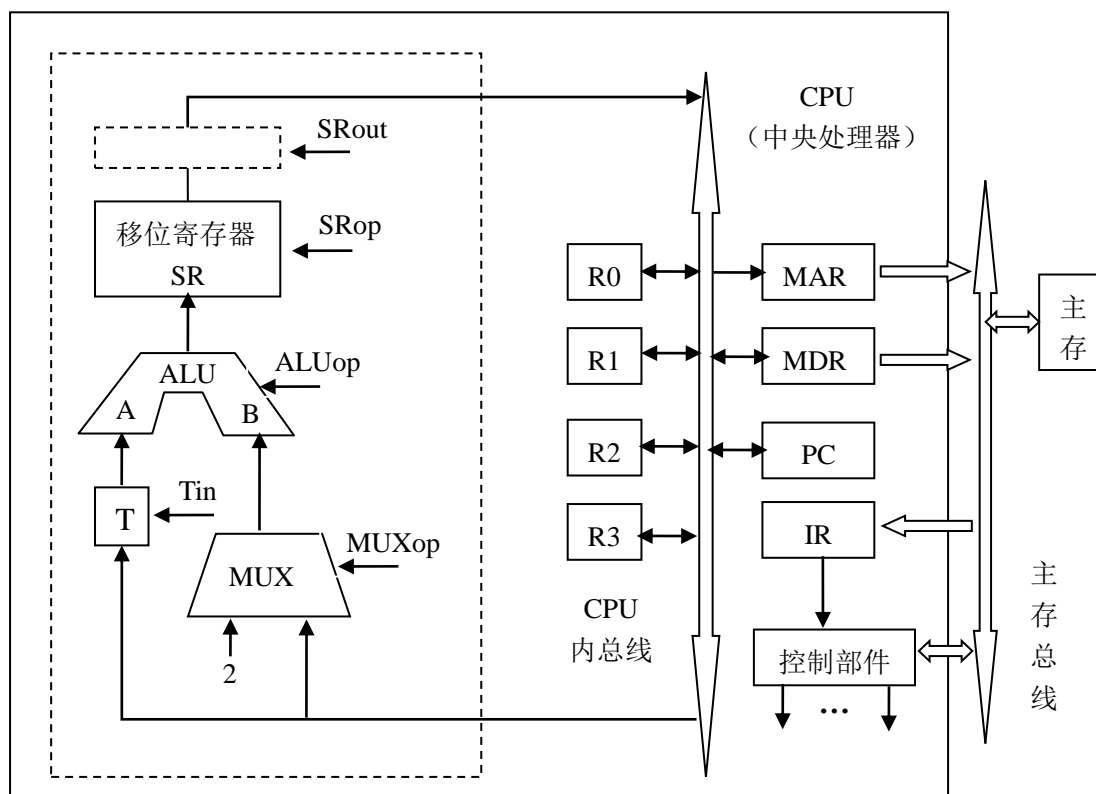


图 2 某 16 位计算机 CPU 模型图

7. 在图 2 的 CPU 中，设置暂存器 T 的作用是_____。二路选择器 MUX 的一个输入端是 2 的作用是_____。
8. 某 CPU 微程序控制器控存容量为 384×20 位，分别根据 OP 字段、ZF 条件码和 C 条件码进行分支转移，OP 字段有 4 位，则 P 字段和后继地址字段应分别为_____位和_____位。
9. 某指令流水线有取指（IF）、译码（ID）、执行（EX）、和写回寄存器堆（WB）4 个过程段，各功能段所用的时间分别为 120ns、100ns、100ns 和 80ns。流水线的时钟周期最少应是_____ns。
10. 磁盘盘面有效记录区域的外直径为 30cm，内直径为 20cm，磁道密度为 8 道/mm，找道时间是每横越百条磁道花费 1ms，则平均找道时间是_____。

三、计算题（本大题共 2 小题，每题 10 分，共 20 分）

得分	
----	--

1. （10 分）若某浮点数 x 的 IEEE754 标准存储格式为 $(C2170000)_{16}$ ，求该浮点数的十进制数值。

- #### 四、分析题（本大题共3小题，共40分）

1. (14 分) 已有 $256\text{K} \times 16$ 位的 DRAM 芯片若干片, 每个 DRAM 芯片都有 \overline{CS} 和 \overline{WE} 信号引脚用于片选和读/写控制。现要求利用这些存储芯片构建一个 $2\text{M} \times 32$ 位的存储器, 现假定 CPU 能给出必要的数据线、地址线以及读/写控制信号 R/\overline{W} 。请回答下列问题:

 - (1) 该存储器能存储多少个字节的信息? (2 分)
 - (2) 共需要多少片 $256\text{K} \times 16$ 位 DRAM 芯片? 需要多少位地址作芯片选择? (4 分)
 - (3) 假设该存储器采用交叉方式进行组织 (也即利用低位地址进行片选), 画出该存储器同 CPU 连接的组成逻辑框图。(8 分)
2. (12 分) 某 16 位计算机指令格式如图 3 所示, 支持寄存器直接和寄存器间接两种寻址方式, 寻址方式位分别为 0 (寄存器直接寻址) 和 1 (寄存器间接寻址), 通用寄存器 R0-R3 的编号分别为 0、1、2 和 3。

图 3 某 16 位计算机指令格式

- (1) 该机的指令系统最多可定义多少条指令？（4分）
- (2) 假定 inc 和 sub 指令的操作码分别为 01H 和 02H, 则以下指令对应的机器代码（以十六进制表示）各是什么？（8分）

5

3. (14 分) 图 4 为某处理机逻辑框图, 有两条独立的总线 BUS1 和 BUS2; 有两个独立的存储器, 即指令存储器 IM 和数据存储器 DM。R1 和 R2 为通用寄存器, PC 为程序计数器, IR 为指令寄存器, ALU 为算术/逻辑运算器。图中标注有控制信号, 所有的细单箭头代表控制微命令, 如 DARin 代表将 BUS1 上的数据打入数存 DM 的地址寄存器中; C5 则是通过控制门 C5 的信号。未标字符的线则为直通线, 不需要微命令进行控制。假定指令的地址已经在 PC 中, 所有的微命令由控制器发出, IM 和 DM 的读/写都需要一个 CPU 周期。

- (1) 指令“LAD A”的功能是将数存 DM 中存储地址为 A 的内容取至寄存器单元 AC0。根据图 4 所示的数据通路图, 补全该指令的流程图(图 5)以及相应的微操作控制信号。(8 分)
- (2) 指令“ADD R1, R2”的功能是将寄存器 R1 的内容与 R2 的内容相加后, 结果送至 R1 中。请写出该指令执行阶段的流程图以及相应的微操作控制信号。(6 分)

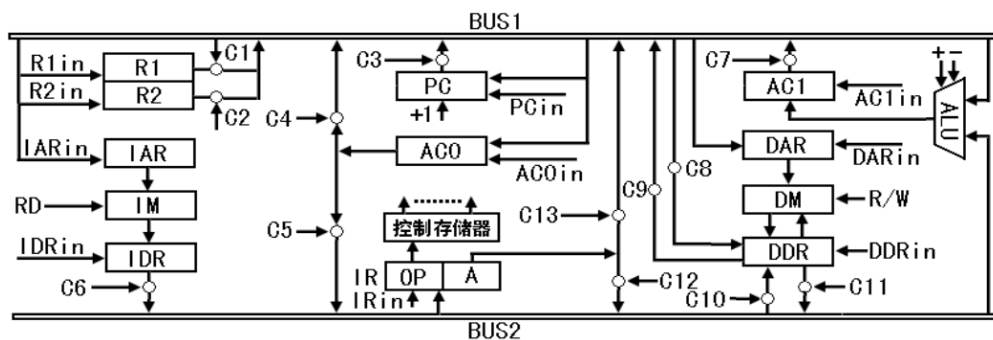


图4 模型机数据通路图

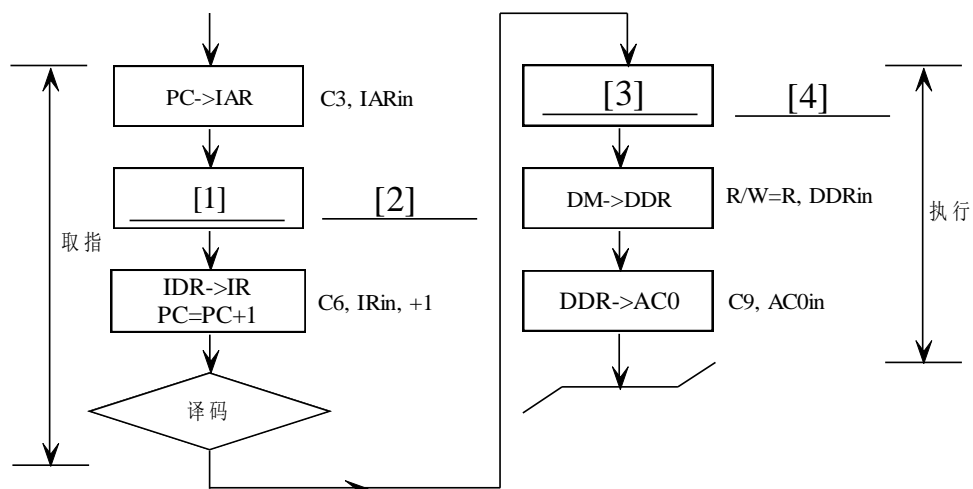


图5 “LAD A” 指令的指令周期流程图