

# 华南农业大学期末考试参考答案（A 卷）

2016-2017 学年第 2 学期

考试科目：计算机组成原理

考试类型：（闭卷）考试

考试时间：120 分钟

## 一、选择题（本大题共15小题，每小题2分，共30分）

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
D	C	A	B	A	D	A	C	B	C	A	B	C	B	D

## 二、填空题（本大题共5小题，每题2分，共10分）

- 二，地址
- $11.010101(11) * 2^{-101}$
- 补码，反码
- RISC，CISC
- 5，00001010
- AR 或地址寄存器，R2
- 001，EI
- 同步，独立请求
- 直接，0x560A
- 0011，0101

## 三、计算题（本大题共2小题，共18分）

1.（9 分）解如下。

评分标准：把 X 和 Y 表示成变形补码，各得 1 分；用变形补码计算 X+Y 和 X-Y 各得 2.5 分；判断是否溢出，各得 1 分。

注：如果按连双符号位总共 8 位来计算，酌情扣分。

解：  $[X]_{\#}=111010011$      $[Y]_{\#}=000100110$      $[-Y]_{\#}=111011010$

$[X]_{\#} \quad 111010011$

$+ \quad [Y]_{\#} \quad 000100110$

$\hline 111111001 \quad (\text{无溢出})$

↙

$[X]_{\#} \quad 111010011$

$+ \quad [-Y]_{\#} \quad 111011010$

$\hline 110101101 \quad (\text{无溢出})$

所以  $[X+Y]_{\#}=111111001$      $X+Y=-000111$

$[X-Y]_{\#}=110101101$      $X-Y=-1010011$

2. (9 分)

解：(1)  $T=\max\{t_i\}=100\text{ns}$  (3 分)

(2) 执行 97 条指令需要的时间为：  $100*4+(97-1)*100=1.0*10^{-5}(\text{s})$

则吞吐率为：  $97/(1.0*10^{-5})=9.7*10^6(\text{条/秒})$  (3 分)

(3) 顺序执行 97 条指令需要的时间为：

$(80+95+100+75)*97=3.395*10^{-5}(\text{s})$

因此加速比为：  $3.395*10^{-5}/(1.0*10^{-5})=3.395$ ，约为 3.4 (3 分)

#### 四、分析题（本大题共3小题，共32分）

1. (12 分)

解：(1) ROM 芯片数：  $4\text{M}*32/(4\text{M}*16)=2$ （片） (1 分)

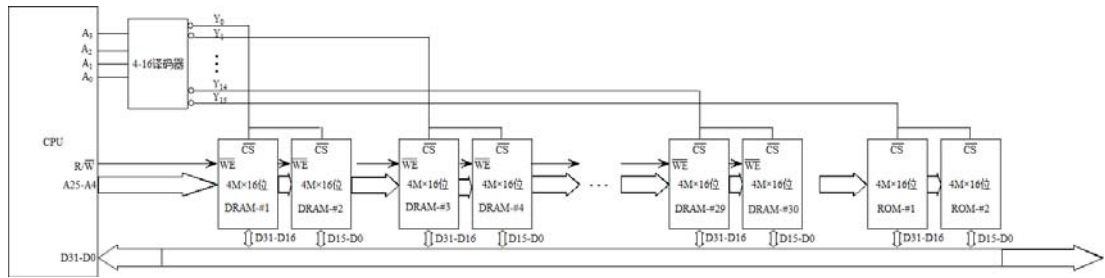
由于总存储容量是  $64\text{M}*32$  位，按字编址，因此地址线数量是 26 位。且 ROM 占高位地址，因此最后的 4M 字是 ROM 的范围，具体而言地址范围是  $0\text{x}03\text{C}0\ 0000 - 03\text{FF}\ \text{FFFF}$ 。(1 分)

(2) DRAM 芯片数：  $60\text{M}*32/(4\text{M}*16)=30$ （片） (1 分)

根据题意，DRAM 占低位地址内存空间，即低 60M 均属于 DRAM 的。具体而言，地址范围是  $0\text{x}0000\ 0000 - 0\text{x}03\text{BF}\ \text{FFFF}$ 。(1 分)

(3) ROM 和 DRAM 芯片，都是两片经由位数扩充组成一组，ROM 共 1 组，DRAM 共 15 组。按字进行编制，因此实际的地址位数为 26 位，32 位中的高 6 位为 0。对于实际的 26 位地址，因采用交叉方式组织存储器，因此低 4 位用于片选，其余用于片内选择。ROM 和 DRAM 与 CPU 的连接图如下图所示。

评分标准：4-16 译码器、ROM 的扩容连接、DRAM 的扩容连接各 2 分。



(4) 对于给定的 DRAM 地址 0x020A 1FC3，最高 6 位全 0，此 6 位没有作用；接下来的 22 位地址为模块内地址，即为 0x20A1FC；最后的 4 位为片选地址，即为 0011，选中模块 3。因此，该字位于 DRAM 的、从 0 开始编号的第 3 个 32 位字长的模块，模块内的字地址是 0x20A1FC。

(2 分，各 1 分)

2. (10 分)

解：(1) 由于每块有 4 个字，因此块内地址 2 位。Cache 总共有 8 行，因此采用直接映射方式时，用于 Cache 行号的地址为 3 位，剩余的 32-2-3=27 位为标记位。因此，内存地址格式如下：

(3 分，各 1 分)

标记 (27 位)	Cache 行号 (3 位)	块内编址 (2 位)
-----------	----------------	------------

(2) a[5]属于内存数据块 B1，通过 1%8=1 方式映射到 Cache 的 L1 行。

(2 分)

(3) 当对 a[0]进行累加时，a[0]在内存中，因此需要访问内存来获得 a[0]。内存存在将 a[0]传送给 CPU 的同时，根据局部性原理将 a[0]-a[3]同时传送给 Cache。因此，在累加 a[1]-a[3]时，这 3 个元素均可以在 Cache 中找到。对于其它数据块，有类似的情况，即某块的第 0 个元素需要访问内存，该块内的其余元素可以在 Cache 中获得。因此，执行此段 C 语言程序，共访问内存 4 次，访问 Cache 12 次，则 Cache 的命中率为：

$$12/(12+4)=75\%$$

评分标准：说明 a[4\*j] (j=0,1,2,3)需要访问内存给 1 分，说明 a[4\*j+1] - a[4\*j+3]访问 Cache 给 1 分，计算得到命中率给 3 分。

3. (10 分)

解：(1) 各空的内容如下：

<1> PC->AR, PC+1->PC

<2> REC, ALU\_IN\_SEL, SCI, ALU\_FUNC, STT, PC\_EN

<3> R1-R2->FLAG\_REG

<4> ALU\_IN\_SEL, SCI, ALU\_FUNC, STT, REG\_EN

评分标准：<1>和<3>每空 1 分；<2>和<4>每空 2 分，控制信号数量超过一半时给 1 分，全对给 2 分。

（2）因取指的前面两个 CPU 周期与图 4 相同，故略去。执行周期只需一个 CPU 周期，指令执行流程图如下图所示。

评分标准：方框内的功能及方框外的控制信号各 2 分。

