**华南农业大学期末考试试卷（A卷）**

**2015-2016学年第 2学期　考试科目：**　**计算机组成原理**

**考试类型：（闭卷）考试　　　考试时间：　120 分钟**

学号姓名年级专业班级

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **题号** | **一** | **二** | **三** | **四** | **总分** |
| **得分** |  |  |  |  |  |
| **评阅人** |  | | | |  |

注意事项：

1. 本试题分为试卷与答卷2部分。试卷有四大题，共**8**页；
2. **所有解答必须写在答卷上，写在试卷上不得分；**
3. 考试过程中不得使用计算器；

|  |  |
| --- | --- |
| **得分** |  |

1. 考试结束后只交答卷。

**一、选择题**（本大题共15小题，每小题2分，共30分）

* 1. 下列说法不正确的是 。

A．存储程序是冯·诺伊曼的思想

B．机器语言程序是计算机能够直接执行的程序

C．一般机器级主要是实施指令系统的功能，因此属于软件级

D．计算机系统是一个由硬件、软件组成的多级层次结构，由下至上各层级分别为微程序级、一般机器级、操作系统级、汇编语言级和高级语言级

* 1. 冯·诺伊曼型计算机中，存储器主要用来 。

A．存放程序 B．存放数据 C．存放微程序 D．存放程序和数据

* 1. 设寄存器内容为80H，若它对应的真值是–127，则该机器数是 。

A．原码 B．补码 C．反码 D．移码。

* 1. 已知y的二进制补码为01011101，则[-y]补和[y]移分别为 。

A．00100011，11011101 B．10100011，11011101

C．00100011，00100011 D．10100011，00100011

* 1. 现有若干7位补码进行下列4组加减运算，其中可能会有溢出发生的是 。

①（0……）+（0……） ②（0……）+（1……）

③（1……）－（0……） ④（1……）－（1……）

A．①② B．②③ C．①③ D．③④

* 1. 下列叙述中正确的是 。

A．某计算机的字长为16位，则可以存放的最小定点整数补码为2-16

B． 设有两浮点数进行对阶和尾数加法操作后，得到变形补码表示的尾数10.01100（00），则将该尾数进行左规后得到11.00110（00）

C. 设某二进制真值为-0010，那么其在8位字长的计算机中的补码形式为10001110

D. 设两真值数x = +76和y=﹣83，均用双符号9位补码表示，则x-y的双符号为01

* 1. 用16K×8位的DRAM芯片构成64K×32位的内存条，每个16K×8位的芯片组织成128×128的存储阵列。若采用分散式刷新（即每一行的刷新插入到正常的读/写周期之中），且存储器读/写周期为0.5μs，单元刷新间隔不超过2ms，则其平均行刷新时间间隔为 μs。

A．15.5 B．16 C．8 D．7.5

* 1. 主存和CPU之间增加高速缓冲存储器的目的是 。

A．解决CPU和主存之间的速度匹配问题

B．扩大主存容量

C．既扩大主存容量，又提高了存取速度

D．扩大辅存容量

* 1. 在微程序控制器中，一条机器指令的功能通常由 。

A．一条微指令实现 B．一段微程序实现

C．一个指令码实现 D．一个条件码实现

* 1. 关于RISC和CISC，下列说法正确的是 。

A．Pentium系列采用的是RISC技术

B．RISC寻址方式比CISC多

C．RISC指令功能简单，控制器多采用硬布线方式

D．流水CPU一定采用RISC技术

* 1. 运算器的数据通路如下图所示，下列描述正确的是 。

A．R3->X与R2->Y是互斥性的微操作

B．+、-和M是相容性的微操作

C．当采用微程序设计时，LDR1、LDR2和LDR3可以在同一条微指令中都置为1 D．BUS->主存与BUS->R1不能同时进行

移位器

ALU

R

1

R

2

R

3

主存

IR

X

Y

R

1

R

3

R

2

R

1

R

2

R

3

R

（

右移

1

位

）

L

（

左移

1

位

）

V

（

直送

）

+

（

加

）

-

（

减

）

M

（

传送

）

R

1

→

X

R

2

→

X

R

3

→

X

R

3

→

Y

R

2

→

Y

R

1

→

Y

LDR

1

LDR

2

LDR

3

BUS

图1 某运算器模型

* 1. 假设某系统总线在一个总线周期中并行传输32位的信息，一个总线周期占用2个总线时钟周期，总线时钟频率为10MHz，则总线带宽是 MB/s。

A．20 B．32 C．16 D．10

* 1. 在单总线结构的CPU中，连接在总线上的多个部件 。

A．某一时刻只有一个可以向总线发送数据，并且只有一个可以从总线接收数据

B．某一时刻只有一个可以向总线发送数据，但可以有多个同时从总线接收数据

C．可以有多个同时向总线发送数据，并且可以有多个同时从总线接收数据

D．可以有多个同时向总线发送数据，但可以有一个同时从总线接收数据。

* 1. 在多级中断中，对某一级设备的中断请求不响应的硬件是 。

A．准备就绪的标志(RD) B．允许中断触发器(EI)

C．中断请求触发器(IR) D．中断屏蔽触发器(IM)

* 1. 关于程序中断，下列叙述中是错误的 。

A．中断在当前指令执行完毕进入公操作时才进行

B．为了保证中断服务子程序能够正确返回，必须要保存现场

C．在关闭中断并找到中断源，随后在中断服务子程序结束时开中断

D．中断屏蔽寄存器IM为1时，表明可以受理CPU外部的中断源

|  |  |
| --- | --- |
| **得分** |  |

二、填空**题**（本大题共9小题20空，每空1分，共20分）

1. 计算机的硬件是由有形的电子器件构成，它包括运算器、 、 、适配器、输入输出设备。
2. 数的真值变成机器码时有四种表示方法，分别是原码、反码、补码、 。
3. 设有补码为1.0010，则它所表示的定点纯小数真值为 。
4. 某指令格式结构如下所示，操作码OP可指定 条指令, 计算机最多有多少个通用寄存器 。

15 10 9 8 7 4 3 0

|  |  |  |  |
| --- | --- | --- | --- |
| OP | - | 目标寄存器 | 源寄存器 |

1. 设寄存器R1和R3的内容分别为1250H和2000H。某时刻CPU取到的指令为LOAD R3, (R1)，它的功能为R3<—Mem[(R1)]，则控制器在译码后将 经由地址总线传给DRAM，并发出 控制信号给DRAM。经过一个存取周期后，CPU在数据总线上获得所需要的数据。
2. 某CPU微程序控制器控存容量为512×32位，分别根据OP字段、SF条件码和CF条件码进行分支转移。采用水平型微指令，则P字段和操作控制字段分别为

和 位。

1. 菊花链式查询方式的主要缺点是，离中央仲裁器越近的设备，获得总线控制权的几率就越 。与此方式不同，方式中， 优先级的顺序是可以调整的。
2. 某显示器分辨率为1024×1024，颜色为32位，刷新频率为60Hz，则显存容量和带宽分别为 MB和 MB/s。
3. 某16 位计算机主存按字节编址。存取单位为16 位；采用16 位定长指令格式；CPU 采用单总线结构，主要部分如图2所示。图中R0~R3 为通用寄存器；T 为暂存器；SR 为移位寄存器，可实现直送(mov)、左移一位(left)、右移一位(right)共3 种操作，控制信号为SRop，SR的输出受信号SRout 控制；ALU可实现直送A(mova)、A加B(add)、A 减B(sub)、A与B(and)、A或B(or)、非A(not)、A加1(inc)、A减1(dec)等8 种操作，控制信号为ALUop；MUXop为0时，常数2送入ALU的B端，否则将来自于CPU内部总线的数据送入ALU的B端。现有指令add R0,R2,(R1)，功能为R0←Mem[(R1)] + R2，该指令在图2所示的CPU上执行，指令周期取指和执行的流程图如图3所示，填写空格<1>-<6>的内容。

移位寄存器

SR

T

R1

R2

R0

R3

CPU

（中央处理器）

MAR

MDR

PC

IR

控制部件

主存

主存总线

SRout

SRop

ALUop

CPU

内总线

MUX

2

MUXop

Tin

**…**

ALU

A

B

00

图2 某16 位计算机CPU模型图



图3 add R0,R2,(R1)的指令周期流程图

|  |  |
| --- | --- |
| **得分** |  |

1. **计算题**（本大题共3小题，每题9分，共27分）
2. （9分）设浮点寄存器FR1和FR2中分别存放着两个按32位IEEE 754格式编码的浮点数 (42658000)16和(C1890000)16，那么(C1890000)16的十进制真值是多少？现对这两个浮点数做加法运算，则浮点运算器进行对阶运算后，阶码应等于多少？
3. （9分）某指令流水线有取指（IF）、译码（ID）、执行（EX）、访存（Mem）和写回寄存器堆（WB）共5个过程段，各功能段完成各自任务所需的时间分别为120ns、80ns、100ns、120ns和80ns。现假定该流水线的各段都将受到统一时钟的控制，当有81条指令流过此流水线时，回答下列问题：
4. 流水线的时钟周期最少应是多少？
5. 该流水线的实际吞吐率（单位时间里执行完毕的指令数）是多少？（保留一位小数。）
6. 相对于未受到统一时钟控制的顺序执行（即每个流水段按实际所需时间进行计算），该流水线能获得多大的加速比？（保留一位小数。）
7. （9分）假设某温彻斯特硬盘，内有6个盘片，采用现代工艺后最上和最下的两个盘面均可使用。磁盘转速为7200转/分，找道时磁头每横越百条磁道花费1ms。盘面有效记录区域的外直径为30cm，内直径为14cm，内层位密度为600位/cm，磁道密度为100道/cm，盘面分为50个扇区，每个扇区有512个字节。试求：

(1) 平均找道时间是多少？

(2) 平均等待时间是多少？

(3) 设磁盘为已格式化的磁盘，则读取一个扇区的数据传送时间是多少？

|  |  |
| --- | --- |
| **得分** |  |

**四、分析题**（本大题共2小题，共23分）

1.5CM

1. （13分）设CPU、高速缓存（Cache）和主存间的组织结构图如图4所示。其中，Cache用高速SRAM构成，容量为64KB，采用4-路组相联映射方式；内存容量为256M×32位，由64M×8位的DRAM芯片DRAM构成,每个DRAM芯片组织成8192×8192（即213×213）存储矩阵，且每个芯片都有和信号引脚用于片选和读/写控制，内存按字节编址。Cache和内存均进行分块，每块的大小均为8个字节。CPU通过信号对Cache或内存进行读/写，但为简便记该信号并未在图4中给出。根据图4，回答下列问题：



|  |  |
| --- | --- |
| (1) 构造该内存条时，总共需要多少片64M×8位的DRAM芯片？ | （3分） |
| (2)设内存采用顺序方式组织存储单元，且称组成一64M×32位的若干存储芯片称为一组。当CPU给出的内存地址为(04006001)16时，请问内存如何进行寻址？即选中哪个组内的哪个存储芯片的哪行和哪列？假定片内地址的低位为行地址，高位为列地址，且组号、组内芯片号、行号、列号均从0开始。 | （4分） |
| (3)请问Cache可以分成多少块？总共有多少组？ | （2分） |
| (4) 设Cache分块后，用L0、L1……进行编号；内存分块后，用B0、B1……等进行分块。对于包含内存地址(04006001)16在内的内存块，若调进Cache后，映射到Cache的哪一块中？调进Cache后，需要在相联存储表的对应行中记录标记（tag），请问该的tag是什么？（注：结果可用十六进制数表示。） | （4分） |

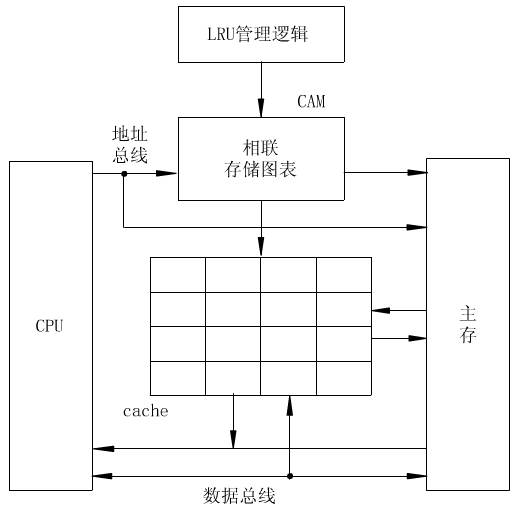


图4 CPU、高速缓存（Cache）与内存条组织结构图

1. （10分）基址寄存器Rb的内容为(3000)16，变址寄存器Rx的内容为(32B0)16，指令的地址码为(002B)16，程序计数器（存放当前正在执行的指令的地址）的内容为(4500)16，且存储器内存放的内容如下：

地址 内容

(002B)16 (3500)16

(302B)16 (3000)16

(32B0)16 (5600)16

(32DB)16 (2800)16

(3500)16 (2600)16

(452B)16 (2500)16

试回答下列问题，并说明理由。

（1）若采用基址寻址方式，则取出的操作数是什么？ （2分）

（2）若采用变址寻址方式，取出的操作数是什么？ （2分）

（3）若采用立即寻址方式，取出的操作数是什么？ （2分）

（4）现有取数指令LAD R1, (002B)16，它的功能是R1<-Mem[(002B)16]，则该指令采用何种寻址方式？指令执行后，通用寄存器R1的值为多少？ （4分）