**华南农业大学期末考试试卷（A卷）**

**2016-2017学年第 2学期　 考试科目：**　**计算机组成原理**

**考试类型：（闭卷）考试　　 　 考试时间：　120 分钟**

学号 姓名 年级专业班级

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **题号** | **一** | **二** | **三** | **四** | **总分** |
| **得分** |  |  |  |  |  |
| **评阅人** |  | | | |  |

注意事项：

1. 本试题分为试卷与答卷2部分。试卷有四大题，共**8**页；
2. **所有解答必须写在答卷上，写在试卷上不得分；**
3. 考试过程中不得使用计算器；

|  |  |
| --- | --- |
| **得分** |  |

1. 考试结束后只交答卷。

**一、选择题**（本大题共15小题，每小题2分，共30分）

* 1. 下列说法正确的是 。

A．微程序是计算机能够直接执行的机器语言

B．汉字字模码是指从键盘输入时用的编码（如拼音码、五笔码等）

C．奇偶校验码是一种功能很强的检错纠错码

D．控制器的主要作用是在时序发生器的作用下，给ALU、寄存器组、内存等功能部件提供恰当的控制信号

* 1. 设某机器有64个16位的寄存器组，寄存器R3和R4中各存放一以补码形式表示的整数，内容分别为0xFFFE和0x001E。以[x-y]补=[x]补+[-y]补方式执行指令SUB R3, R4后，进位/借位C和溢出标志位V的状态是 。

1. C=0，V=0 B．C=0，V=1 C．C=1，V=0 D．C=1，V=1
   1. 现有两二进制真值数x和y，其中x的原码为0101101，y的移码为1011100，则x-y的补码应为 。

A．0010001 B．1010001 C．1010011 D．0101010

* 1. 现有16KB的DRAM芯片用作存储器，该芯片由128×128×8的存储阵列组成，高7位地址为行地址，低7位地址为列地址。在刷新期间若刷新计数器的计数值是89，

则下列哪个地址对应的字能被刷新 。

A．1AB3 B．2C9A C．204F D．35C2

* 1. 关于CPU和主存之间增加的高速缓冲存储器Cache，下列说法正确的是 。

A．当没有命中时需要到主存去存取

B．当Cache即将被替换时不用写回主存

C．直接映射方式下的替换策略最复杂

D．解决CPU和主存之间的速度匹配问题，且扩大了主存的容量

* 1. 下列一段代码①⑥，不可能发生的相关类型是 。

①AND R1,R2,R3 ②MUL R4,R1,R5 ③ADD R4,R1,R5

④JRC loop ⑤SUB R1,R2,R3 ⑥loop: MVRD R7, 15

A．RAW B．WAW C．控制相关 D．资源相关

* 1. 某浮点流水线包括对阶、尾数加减、规格化等流水段。相对于未采用流水技术前，浮点加减法运算速度提升了1.5倍。此浮点流水线性能提升是因为 。

A．采用了时间并行技术 B．采用了空间并行技术 C．采用了并行操作系统 D．采用时间和空间并行技术

* 1. 运算器的数据通路如图1所示，下列描述正确的是 。

A．假定采用水平型微指令方式设计微程序，那么控制信号R2->Y与R3->Y可以同时置为1

B．若采用编码法设计微指令，那么+、-和V可以编码成2比特

C．若执行逻辑左移指令SHL R1，则应该设置ALU为M，并设置移位器为L

D．BUS->主存与BUS->R1不能同时进行

* 1. 假设某系统总线在一个总线周期中并行传输64位的信息，一个总线周期占用2个总线时钟周期，总线时钟频率为33MHz，则该总线带宽是 MB/s。

A．264 B．132 C．2112 D．1056

* 1. 下列不在中断接口中的触发器是 。

A．准备就绪的标志(RD) B．允许中断触发器(EI)

C．中断请求触发器(IR) D．设备忙标志(BS)

* 1. 若磁盘的位密度提高一倍，则 。

A．磁盘存储容量提高一倍 B．平均找道时间减半

C．磁盘转速提高一倍 D．相同数据量时传送时间延长一倍

移位器

ALU

R

1

R

2

R

3

主存

IR

X

Y

R

1

R

3

R

2

R

1

R

2

R

3

R

（

右移

1

位

）

L

（

左移

1

位

）

V

（

直送

）

+

（

加

）

-

（

减

）

M

（

传送

）

R

1

→

X

R

2

→

X

R

3

→

X

R

3

→

Y

R

2

→

Y

R

1

→

Y

LDR

1

LDR

2

LDR

3

BUS

图1 某运算器模型

* 1. 常见的分辨率为1920×1080的高清视频，颜色为32位，刷新频率为60Hz。若不经过编码压缩，则1分钟的视频所占用的硬盘空间为 。

A．8MB B．30GB C．498GB D．2MB

* 1. 下列叙述中正确的是 。

A． 网卡数据缓冲区满了后，经由接口向CPU发出中断请求。CPU接到请求后，立即停止当前的操作，转而去响应网卡的中断请求

B．从CPU的有效利用角度来看，程序查询方式优于程序中断方式

C．关中断由中断控制器实现，开中断由中断服务子程序实施

D．某外设的中断允许寄存器EI及CPU的中断屏蔽寄存器IM值均为0，则当该外设发出中断请求时，有可能获得CPU的授权

* 1. 关于DMA控制器，下列说法正确的是 。

A． DMA的主要优点是速度快，原因是因为它完全脱离CPU独立进行数据传送

B． DMA和通道主要由硬件实现输入/输出控制，更适合中高速外设

C． 采用停止CPU访问内存的传送方式时，因不需要反复切换总线，故总线利用率高

D．对于DMA的周期挪用传送方式，又称为“透明的DMA”方式

* 1. 某32位计算机内存的最大存储空间为64M×32，内存按字编址，实际布局结构如下图所示，上为低位地址下为高位地址，阴影部分为不可用区域。现有8 M×16和2M×16两种大小的ROM、DRAM和SRAM芯片若干，用高3位地址经由3-8译码器产生译码线作片选，则2M×32的那两个SRAM芯片的片选应为 。

|  |
| --- |
| 8M×32(ROM) |
| 40M×32(DRAM) |
| 2M×32(SRAM) |
| 6M×32(不用) |
| 8M×32(不用) |

A． B． C． D．

|  |  |
| --- | --- |
| **得分** |  |

二、填空**题**（本大题共10小题20空，每题2分，共20分）

* 1. 按照冯·诺伊曼思想，计算机中的信息应表示为 进制，指令和数据都存储在存储器中，按 访问存储器中的指令和数据。
  2. 采用变形补码进行浮点减法运算，得到二进制结果10.101011(10)×2-110，则在其后进行的规格化处理但未进行舍入操作前的结果为 。（11.010101（11）\*2-101）
  3. 为了在计算机内部将加加减法统一成加法进行运算，需要采用 作为机器码。

的数值范围与原码的相同。

* 1. 计算机指令系统分为CISC和 ，普遍使用的Intel x86系列机属于 。(RISC,CISC)
  2. 设某8位字长的CPU，采用双字长方式设计绝对跳转指令JMPA L1。其中，JMPA的OP码为1110，L1指向内存的10号单元；当前的PC值为5。经过编译器后，生成如下的机器指令以VHDL语言放置于对应的内存单元，即

ram（x）<=“11100000”；

ram（x+1）<=“ y ”

则x和y分别为 和 。(10, 00001010)

* 1. 某非哈佛结构CPU在第一个CPU周期取到指令STO R2, (R1)，功能为Mem[R1]<-R2，则在第二个CPU周期应将R1的值送达 寄存器然后打到地址总线传给DRAM，并发出写信号，在第三个CPU周期将 寄存器的值传给主存。
  2. 图2是一个二维中断系统，中断屏蔽触发器(IM)标志为“1”时，表示CPU对该级的所有设备的中断请求进行屏蔽。若CPU现执行设备H的中断服务程序，则IM2、IM1、IM0的状态应设为 。若想单独屏蔽某一个设备而不是同级所有设备，可通过设置该设备接口中的 触发器来实现。

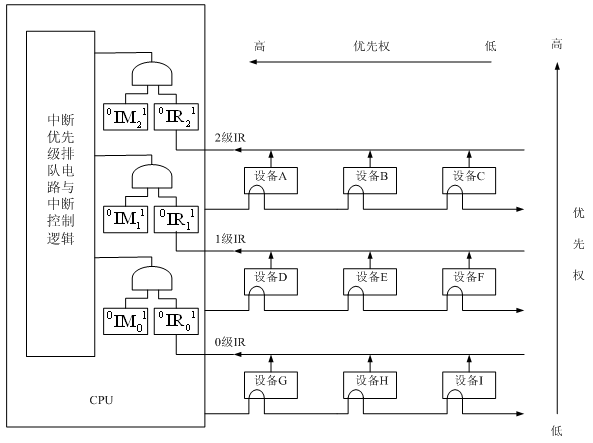


图2 多级中断结构

* 1. 对于总线的定时，若挂接在总线上的各功能模块速度相近，则可以采用 定时方式，以提高总线效率。现代的计算机中，一般采用 仲裁方式。因为这种方式的响应速度快，优先级控制也相当灵活。（同步，独立请求）
  2. 程序计数器PC的内容为0x1000，变址寄存器Rx的内容为0x2100，基址寄存器Rb的内容为0x32B0，指令的地址码为0x002C，且存储器内存放的内容如下：

地址 内容

0x002C 0x26A1

0x102C 0x3500

0x212C 0x560A

0x32DC 0x3840

现有取数指令LAD R1, 0x002C，其功能为R1<-Mem[0x002C]。若取出的操作数是 0x26A1，则该指令采用 寻址方式；若采用变址寻址方式，则指令执行后通 用寄存器R1的值为 。 （直接，0x560A）

* 1. 某CPU采用微程序技术设计控制器。控制器实现了三条机器指令ADD、SUB和BADD(BCD码十进制加法)，OP码分别是00、01、10。这三条机器指令对应的微程序在控存中的布局如下表1右边实线部分所示。其中P=P1P2，P1指示是否进行译码测试，P2指示是否进行进位C测试，x表示0/1，z表示高阻态无输出。表1的左边虚线部分是对每条微指令的文字性说明，表2为设计微程序控制器中的地址转移逻辑电路的真值表的一部分，其中是转移逻辑输出的4位微地址，请补充表2中的空(1)-(2)。

表1 控存布局

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 微指令地址 | 微指令功能说明 | 微命令字段 | P字段 | 后继微地址 |
| 0000 | 取指令微指令 | xxxxxxxxxxxxxxxxx | 10 | 0000 |
| 0001 | ADD，相加 | xxxxxxxxxxxxxxxxx | 00 | 0000 |
| 0010 | SUB，相减 | xxxxxxxxxxxxxxxxx | 00 | 0000 |
| 0011 | BADD，BCD码相加 | xxxxxxxxxxxxxxxxx | 00 | 0100 |
| 0100 | BADD,加6 | xxxxxxxxxxxxxxxxx | 01 | 0000 |
| 0101 | BADD,无进位减6 | xxxxxxxxxxxxxxxxx | 00 | 0000 |

表2 地址转移逻辑的真值表

|  |  |
| --- | --- |
| P1 P2 OP1 OP0 C |  |
| 0 0 x x x | z z z z |
| 1 0 0 0 x | 0 0 0 1 |
| 1 0 0 1 x | 0 0 1 0 |
| 1 0 1 0 x | (1) |
| 0 1 x x 0 | (2) |
| 0 1 x x 1 | z z z z |

|  |  |
| --- | --- |
| **得分** |  |

1. **计算题**（本大题共2小题，每题9分，共18分）
   1. （9分）设机器字长为8位，最高位为符号位，其余为尾数位。已知二进制数X＝－101101，Y＝＋100110，用变形补码（双符号位）计算X+Y和X-Y, 同时指出运算结果是否溢出。
   2. （9分）设浮点流水线有对阶、尾数加/减、规格化及舍入处理四个流水段，各个流水段的操作时间分别为80ns、95ns、100ns、75ns。现有97条加减法操作连续输入此流水线，试回答下列问题：

(1) 若此浮点流水线受统一的时钟进行控制，则时钟周期最小应为多少？（3分）

(2) 流水线的实际吞吐率（单位时间里执行完毕的加减法操作）为多少？（3分）

(3) 流水线的加速比为多少？（保留1位小数）（3分）

|  |  |
| --- | --- |
| **得分** |  |

**四、分析题**（本大题共3小题，共32分）

1.5CM

* 1. （12分）某32位（即数据和地址位数均为32位）机器，ROM和RAM统一按字编址，总容量为64M×32，分别占用高位和低位地址空间。ROM和RAM的容量分别为4M×32和60M×32，各自由4M×16的ROM或DRAM芯片构成。ROM芯片有信号控制端，DRAM芯片有和信号控制端，CPU的控制信号为 (读/写)。请问：

1. 总共需要多少ROM芯片？ROM的地址范围是多少（用十六进制表示）？(2分）
2. 总共需要多少DRAM芯片？RAM的地址范围是多少（用十六进制表示）？(2分）
3. 若采用交叉方式进行字长、位数扩充，请画出存储器ROM和DRAM 同CPU连接的组成逻辑框图。(6分）
4. 设CPU访问(3)中组织的DRAM时，给出地址0x020A 1FC3，则该字位于DRAM的哪个32位字长的模块（模块编号从0开始）？模块内的字地址是多少？(2分）
   1. （10分）设某机器字长32位（即数据线、地址线位数均为32位），按字编址。在该机器上运行如下的C语言程序：

int a[16], k, sum=0;

for (k=0; k<16; k++) sum += a[k];

设整型数据在内存中占4个字节（即一个字长），内存足够大，数组元素放在内存中的 连续单元，k和sum已经放在寄存器中。假设主存和Cache的块大小为4字长，数组 元素a[0]-a[3]存放在主存的B0块中，数组a的其它元素依次存放；计算机的Cache有 8行，行号为L0-L7；内存数据块映射到Cache时采用直接映射方法。试回答下列问题：

(1) 采用直接映射时，内存地址格式如何？简述理由；（3分）

(2) 数组元素a[5]放在Cache的哪一行中？简述理由；（2分）

(3) 就该程序而言，Cache的命中率是多少？简述理由。（5分）

* 1. （10分）某CPU的数据通路图如图3所示。CLK为外接时钟信号，/WR为读/写控制 命令（低电平代表写），ADR(15..0)为16位的地址，MEM\_DATA(15..0)为数据总线的 数据。REC(1..0)、/WR、PC\_EN、ALU\_FUNC(2..0)、STT(1..0)、SCI(1..0)、 ALU\_IN\_SEL(2..0)、SOUR\_REG(3..0)、REG\_EN、DEST\_REG(3..0)为控制信号。根据 图3的数据通路图，试回答下列问题：

(1) 指令CMP R1, R2的作用是比较R1和R2的内容是否相同，不改变R1和R2的值，但 会根据R1-R2的结果影响标志位。针对图3中的数据通路图，此指令的流程图如图4所 示，每一方框右边只给出了该CPU周期所需的控制信号，其它无关控制信号略去。请 填写图x空格中<1>-<4>的内容；（6分）

(2) 仿照图4，写出指令JR offset的指令执行流程图。其中，offset为相对跳转偏移地址。 假定当前指令地址存放在程序计数器PC中。（4分）

图3 某CPU数据通路示意图

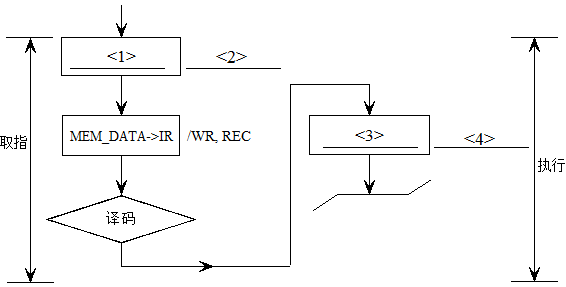


图4 CMP R1, R2的指令周期流程图