**华南农业大学期末考试试卷（A卷）**

**2017-2018学年第 2学期　 考试科目：**　**计算机组成原理**

**考试类型：（闭卷）考试　　 　 考试时间：　120 分钟**

学号 姓名 年级专业班级

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **题号** | **一** | **二** | **三** | **四** | **总分** |
| **得分** |  |  |  |  |  |
| **评阅人** |  | | | |  |

注意事项：

1. 本试题分为试卷与答卷2部分。试卷有四大题，共8页；
2. **所有解答必须写在答卷上，写在试卷上不得分；**
3. 考试过程中不得使用计算器；

|  |  |
| --- | --- |
| **得分** |  |

1. 考试结束后只交答卷。

**一、选择题**（本大题共15小题，每小题2分，共30分）

* 1. 下列说法正确的是 。

A．带求补级的阵列乘法器中的求补器对正数会得到与输入不同的输出

B．五笔输入属于汉字的字模码

C．在信息后面附上奇偶校验位可以检错和纠错

D．存储程序是冯·诺伊曼计算机框架的主要思想之一

* 1. 73.625按32位IEEE754浮点格式编码应为 。

1. (C5932000)16 B．(B4756000) 16 C．(C2934000) 16 D．(A5389010) 16
   1. 8位补码能表示的纯整数x的范围是 。

A． B．

C． D．

* 1. 下列存储器中，在工作期间需要周期性刷新的是 。

A．SRAM B．SDRAM C．ROM D．FLASH

* 1. 现有容量为1MB的DRAM芯片用作存储器，存储阵列为512×512×32，高9位地址为行地址，低9位地址为列地址。某字的地址为(2D89B)16，则该字被刷新时刷新计数器的计数值应为 。

A．A3C B．5B9 C．24F D．16C

* 1. 某字长32位计算机内存的最大存储空间为64M×32，内存按字编址，实际布局结构如下图所示，上为低位地址下为高位地址，阴影部分为不可用区域。地址为(05A0B1F)16的存储单元位于 。

|  |
| --- |
| 16M×32(ROM) |
| 32M×32(DRAM) |
| 8M×32(SRAM) |
| 8M×32(不用) |

A．ROM区域 B．DRAM区域 C．SRAM区域 D． 不可用区域

* 1. 已知条件同上题，现有16M×16和8M×8两种大小的ROM、DRAM和SRAM芯片若干，则总共**至少**需要 片各类芯片构成该计算机内存。

A．8 B．10 C．12 D．16

* 1. 下列关于指令系统的描述，错误的是 。

A．二地址指令中RR型执行最快

B．变址寻址适合于数组操作

C．指令中地址码为位移量则寻址方式为直接寻址

D．Intel采用系列机是为了解决兼容问题

* 1. 下列关于CISC和RISC的叙述，正确的是 。

A．ARM是当今世界上最流行的指令集，它属于CISC

B．Intel x86属于RISC技术，指令条数少执行速度快

C．ARM指令最多不超过两个地址码

D．指令STR R1，[R2，#80]中，R2为基址寄存器，则第2个操作数属于基址寻址

* 1. 某16位机器的一种RS型指令格式如下图所示。其中I为间接特征，X为寻址模式，D为形式地址。I、X、D组成该指令的操作数有效地址E。设R为变址寄存器，R1 为基址寄存器，PC为程序计数器。

6位 4位 1位 2位 16位

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| OP | － | 通用寄存器 | I | X | 偏移量D |

间接寻址方式的有效地址是 。

A．EA = D B．EA = (D) C．EA =((D)) D．EA =(R1)+D

* 1. 设某系统总线在一个总线周期中并行传输64位的信息，一个总线周期占用2个总线时钟周期，总线时钟频率为33MHz，则该总线带宽是 MB/s。

A．132 B．264 C．2112 D．1056

* 1. 下列4项中，有 项是异步传输的特点。

I．需要应答信号 II．各部件的存取时间比较接近

III．总线周期的长度不可变 IV．统一的公共时钟信号

A．1 B．2 C．3 D．4

* 1. 若磁盘的位密度提高一倍，则 。

A．磁盘存储容量提高一倍 B．平均找道时间减半

C．磁盘转速提高一倍 D．相同数据量时传送时间延长一倍

* 1. 若磁盘转速为6000转/分，平均找道时间为8ms，每个磁道包含20个扇区，则访问一个扇区的平均存取时间为 。

A．9.5ms B．13.5ms C．18.5ms D．23ms

* 1. 下列叙述错误的是 。

A． 在分辨率和颜色位数相同情况下，显示器的刷新频率越高，显存带宽越高

B．关中断与开中断必须匹配，关了忘了开则无法响应外设的中断请求

C．关中断和开中断都在中断服务子程序中完成

D．DMA与CPU交替访内方式无需申请、建立和归还总线控制权

|  |  |
| --- | --- |
| **得分** |  |

二、填空**题**（本大题共9小题20空，每空1分，共20分）

* 1. 按照冯·诺伊曼思想，计算机由五大部件组成，分别为运算器、 、存储器，输入/输出设备和 。
  2. 采用变形补码进行浮点减法运算，得到尾数结果为11.0010111，则在对尾数规格化处理后（但还未进行舍入操作），尾数应为 。
  3. 通常存储器利用三组信号线与CPU或外部打交道，这三组信号线分别是 、

和 。

* 1. 某指令格式结构如下图所示，操作码OP可指定 条指令, 计算机最多有多少个通用寄存器 。

15 10 9 8 7 4 3 0

|  |  |  |  |
| --- | --- | --- | --- |
| OP | - | 目标寄存器 | 源寄存器 |

* 1. 假设变址寄存器R中的值是(1000)16，指令中的形式地址为(2000)16。地址(1000)16 、(2000)16和(3000)16中的内容分别为(2000)16、(3000)16和(4000)16，若采用直接寻址方式，则取出的操作数是 。若采用变址寻址方式，则取出的操作数是 。
  2. 某哈佛结构CPU基本组成如图1所示。 对于“LAD R1，6”指令，在第一个CPU周期取到指令“LAD R1，6”；在第二个CPU周期应将指令中的“6”送达 然后打到地址总线传给数据Cache，并发出读信号；在第三个CPU周期从数据Cache读取数据后经过 最终打入 。（注：空格中填图1的某寄存器）
  3. 在总线的三种集中式仲裁方式中，菊花链式查询方式的主要缺点是优先级固定，离中央仲裁器越近的设备，获得总线控制权的几率就越 。与此方式不同，仲裁方式 和 优先级的顺序是可以调整的。
  4. 图2是一个二维中断系统，中断屏蔽触发器(IM)标志为“1”时，表示CPU对该级的所有设备的中断请求进行屏蔽。设备A、D和E按优先级从高到低排序应为 ，现CPU现执行设备D的中断服务程序，则IM2、IM1、IM0的状态应设为 。
  5. 对于机械硬盘，最小的寻址单位是 ；机械硬盘的格式化容量比非格式化容量 。

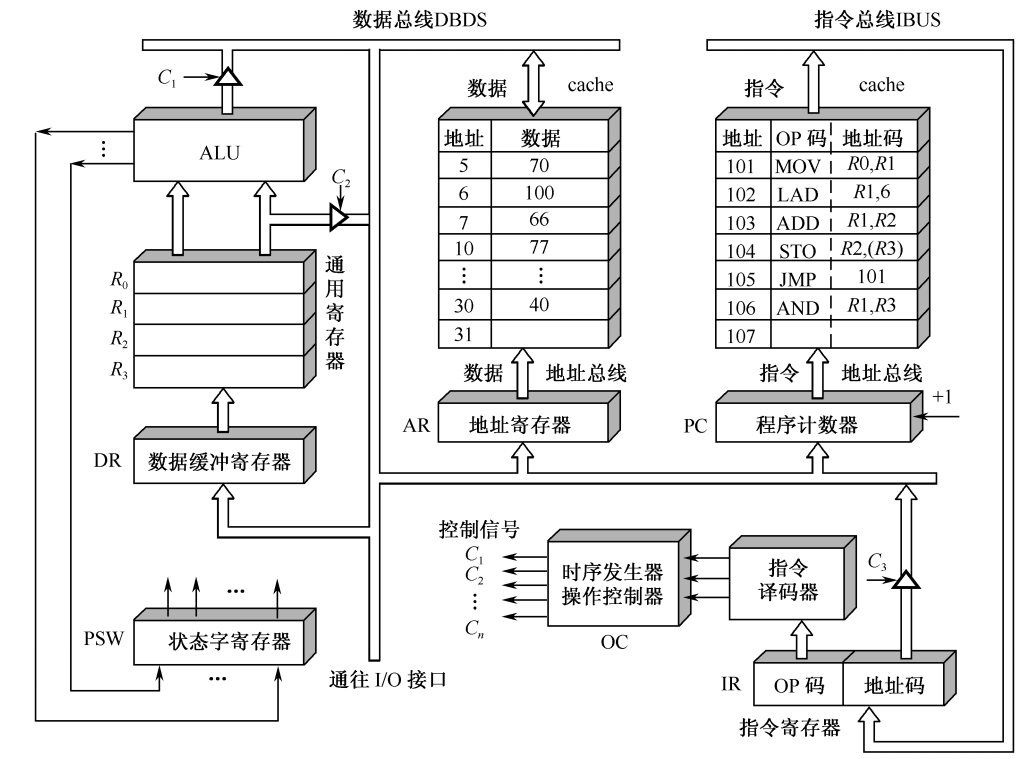


图1 某哈佛结构CPU基本组成

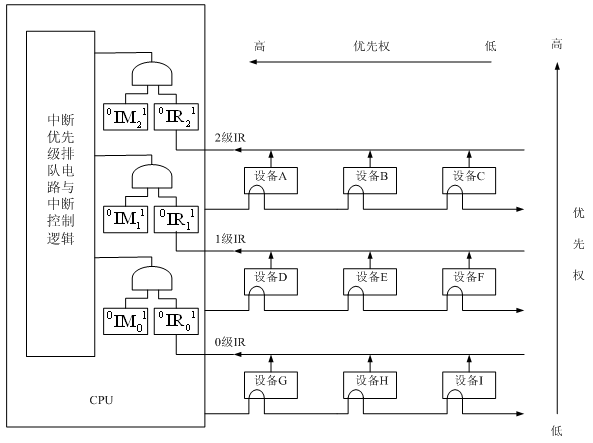


图2 多级中断结构

|  |  |
| --- | --- |
| **得分** |  |

1. **计算题**（本大题共2小题，共17分）
   1. （9分）某计算机主存容量256MB，按字编址，字长1B，块大小32B，Cache容量512KB。对如下的直接映射方式、4-路组相联映射方式、全相联映射方式的内存地址格式，求：

|  |  |  |
| --- | --- | --- |
| 标记 A | Cache行号B | 字地址C |

直接映射方式：

|  |  |  |
| --- | --- | --- |
| 标记 D | Cache组号E | 字地址F |

4-路组相联映射方式：

|  |  |
| --- | --- |
| 标记 G | 字地址H |

全相联映射方式：

1. 计算A、B、C、D、E、G字段的位数；（6分）
2. 若某字的地址为(2BF3A2E)16，若采用4-路组相连映射方式，则该字对应的标记D是什么？对于包含该地址在内的组，对应的字地址范围是多少？（结果用十六进制表示。）（3分）
   1. （8分）用8K×16的DRAM存储芯片组装成64K×32的存储器，采用交叉方式，设存储周期为400ns，数据总线宽度为32位，总线传送周期为50ns，试求：
3. 地址为(3A2E)16的字位于哪个模块，在模块内第几个字？（从0开始编号）（4分）
4. 某程序要连续读取8个字，则此时存储器的带宽为多少？（4分）

|  |  |
| --- | --- |
| **得分** |  |

**四、分析题**（本大题共3小题，共33分）

1.5CM

* 1. （9分）假设某机器字长为8，双符号运算时扩展为9位。已知两二进制数X＝－1101011，[Y]补＝00100101，[Z]移＝00100101，其中的移码为标准（即非IEEE754方式）移码，试用变形补码（双符号位）完成如下问题：

1. 计算[X+Y-Z]补；（4分）
2. 判断结果是否溢出？若溢出，则判断是上溢还是下溢？（2分）
3. 根据（1）的计算结果，确定进位/借位C、符号标志S、零标志Z的状态值（即0或1）。（3分）
   1. （10分）设某处理器具有五段指令流水线：IF（取指令）、ID（指令译码及取操作数）、EXE（ALU执行）、MEM（访存取数）和WB（结果写回）。现处理器执行如下指令：

I1：LAD R1，30 ；R1 ← M(30)

I2：ADD R1，R2 ；R1 ← R1 ＋ R2

I3：SUB R2，R3 ；R2 ← R2 － R3

I4：AND R3，R2 ；R3 ← R3 and R2

1. 流水线中可能存在资源相关，请指出**4条指令中**是否有指令间存在资源相关？如果有请指出来，并画出采用延迟策略下的指令序列执行时空图；（5分）
2. 流水线中有三类可能存在的数据相关：写后读（RAW）；读后写（WAR）；写后写（WAW）。**4条指令中**，哪两条指令间存在哪些类型的数据相关？要求指出所有的数据相关。（5分）
   1. （14分）某实验CPU的数据通路图如图3所示。CLK为外接时钟信号，/WR为读/写控制命令（低电平代表写），ADR(15..0)为16位的地址，MEM\_DATA(15..0)为数据总线的数据。REC(1..0)、/WR、PC\_EN、ALU\_FUNC(2..0)、STT(1..0)、SCI(1..0)、ALU\_IN\_SEL(2..0)、SOUR\_REG(3..0)、REG\_EN、DEST\_REG(3..0)为控制信号。根据图3的数据通路图，试回答下列问题：
3. 指令MVRR R1, R2的作用是把R2的值传给R1。针对图3中的数据通路图，此指令的流程图如图4所示，每一方框右边只给出了该CPU周期所需的控制信号，其它无关控制信号略去。请填写图4空格中<1>-<4>的内容；（6分）
4. 针对图3中的数据通路图，画出指令“MVRD R2, 25”的指令**执行周期**流程图及相应的控制信号。该指令为双字长指令，功能是把内存中存放的立即数25取出后保存到寄存器R2中。（4分）
5. 阅读下列汇编代码，基于本课程综合实验的知识判断执行完JRZ指令及其前面的指令一共需要多少个时钟周期？指令JRNZ被汇编成机器指令，其中的offset字段应为多少（用8位补码表示）？（4分）

MAIN: MVRD R0,25 ; 被乘数

MVRD R1,6 ; 乘数

MVRD R2,0 ; 结果

MVRD R3,8 ; 循环次数

LOOP: MVRD R4,1

AND R4,R1

JRZ L1 ; Z=1时跳转到L1

ADD R2,R0 ; 否则加到部分积

L1: SHL R0 ; 逻辑左移一位

SHR R1 ; 逻辑右移一位

DEC R3 ; R3减1

JRNZ LOOP

L2: JR L1 ; 跳转到L1

图3 某CPU数据通路示意图

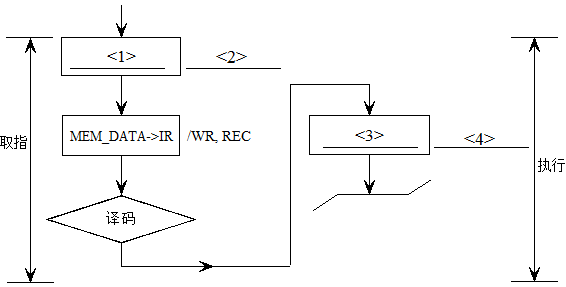


图4 MVRR R1, R2的指令周期流程图