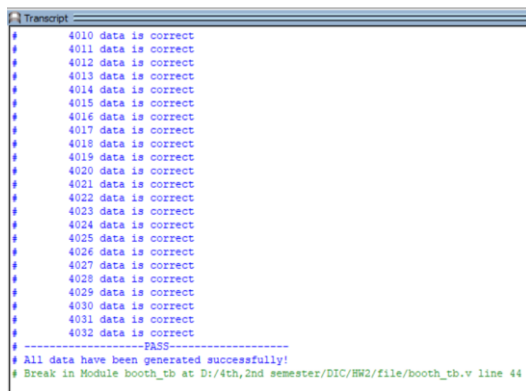
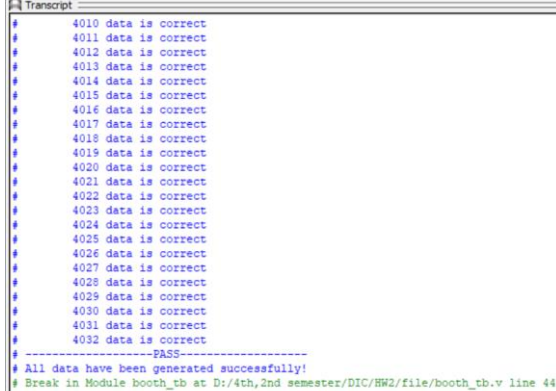


## 2021 Digital IC Design Homework 2

NAME	李秉軒				
Student ID	E24066755				
Simulation Result					
Functiona 1 simulation	Pass	Gate-level simulation	Pass	Gate-level simulation time	simulation time (ns)
(your pre-sim result)			(your post-sim result)		
					
Synthesis Result					
Total logic elements		70 / 68,416 ( < 1 % )			
Total memory bit		0 / 1,152,000 ( 0 % )			
Embedded multiplier 9-bit element		0 / 300 ( 0 % )			
Clock width (Cycle)		22 ns			
(your flow summary)					
Flow Summary					
Flow Status		Successful - Sun Apr 18 19:49:52 2021			
Quartus II 64-Bit Version		13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition			
Revision Name		booth			
Top-level Entity Name		booth			
Family		Cyclone II			
Device		EP2C70F896C8			
Timing Models		Final			
Total logic elements		70 / 68,416 ( < 1 % )			
Total combinational functions		70 / 68,416 ( < 1 % )			
Dedicated logic registers		0 / 68,416 ( 0 % )			
Total registers		0			
Total pins		24 / 622 ( 4 % )			
Total virtual pins		0			
Total memory bits		0 / 1,152,000 ( 0 % )			
Embedded Multiplier 9-bit elements		0 / 300 ( 0 % )			
Total PLLs		0 / 4 ( 0 % )			

### Description of your design

本電路為以 booth algorithm 為原理進行乘法運算的電路，共有兩個 input 及一個 output，將兩個 input 相乘輸出作為 output。設計上以組合電路的形式，以一 register P 作為演算法的中間暫存器，並在演算法完成後，捨棄最小 bit 作為輸出結果。

本電路較特殊的設計在於，透過 verilog 的編寫方式進行電路的化簡，將兩個加法器簡化為一個。其實行的方式是增加一個 left register，在原先應該分別為加去和減去被乘數的部分，改為將其取正負，賦值給 left。再將 left 賦值給 P。透過這樣的改寫，可將邏輯元件數量減少近一半，並將 clock width 改進到 22ns。

*Scoring = Clock width*