



บทที่ 6

ทรานซิสเตอร์ปรากฏการณ์สนาม (Field-Effect Transistors)

วิชา 303242 อิเล็กทรอนิกส์สำหรับวิศวกรรมคอมพิวเตอร์
(Electronics for Computer Engineering)

สุวิทย์ กิระวิทยา

ภาควิชาวิศวกรรมไฟฟ้าและคอมพิวเตอร์ มหาวิทยาลัยรัตนนคร

1

วัตถุประสงค์การเรียนรู้

- สามารถบรรยายเกี่ยวกับโครงสร้างทั่วไปของเฟตต่าง ๆ ได้แก่ เจเฟต มอสเฟต และเมสเฟต ได้
- สามารถเขียนแสดงลักษณะสมบัติการส่งผ่านของเฟตต่าง ๆ ได้
- สามารถเข้าใจข้อมูลส่วนใหญ่ที่นำเสนอในแผ่นข้อมูลของเฟตได้
- สามารถวิเคราะห์ไฟตรงและทราบความแตกต่างในการวิเคราะห์ไฟตรงของวงจรเฟตต่าง ๆ ได้

2

6.1 บทนำ

ทรานซิสเตอร์ปรากฏการณ์สนาม (Field-Effect Transistors) หรือเฟต (FET) เป็นอุปกรณ์สามขั้ว ที่ทำงานได้คล้ายปิเอที โดยอุปกรณ์ทั้งสองชนิดนี้มีความเหมือนและความต่างอยู่ในหลาย ๆ แง่มุมซึ่งจะบรรยายให้ทราบในบทนี้

ความแตกต่างหลัก ๆ คือ ปิเอทีเป็นอุปกรณ์ที่ควบคุมด้วยกระแสในขณะที่เฟตเป็นอุปกรณ์ที่ควบคุมด้วยแรงดัน

เฟตมีความต้านทานขาเข้าสูงมาก ($> M\Omega$)

เฟตมีอัตราขยายต่ำกว่าปิเอที

เฟตมีความไวต่ออุณหภูมิต่ำกว่าปิเอที

และมีขนาดเล็กกว่า \rightarrow เหมาะกับวงจรรวม

เฟตมีหลายชนิด ซึ่งเฟตชนิดหลัก ๆ ได้แก่ เจเฟต มอสเฟต และ เมสเฟต แต่ละชนิด มีสามขา คือ เกต (Gate) เดรน (Drain) และ ซอส (Source)

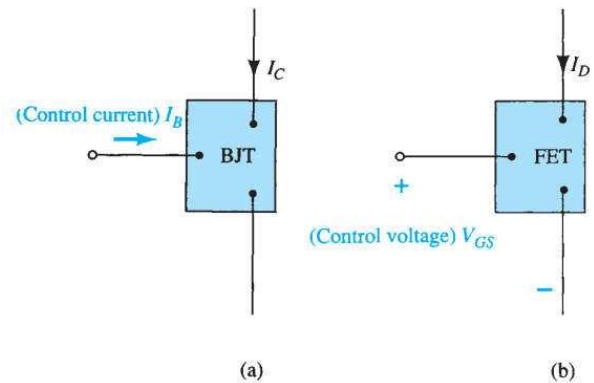


FIG. 6.1

(a) Current-controlled and (b) voltage-controlled amplifiers.

3

6.2 การสร้างและลักษณะสมบัติของเจเฟต (JFET)

เจเฟต มาจากคำว่า Junction FET เกิดจากรอยต่อพีเอ็น มีสองชนิดคือ พีแชนแนล (p-channel) และ เอ็นแชนแนล (n-channel) โดยแชนแนลคือช่องทางที่ให้กระแสจากพาหะส่วนใหญ่ไหล



FIG. 6.4

Water analogy for the JFET control mechanism.

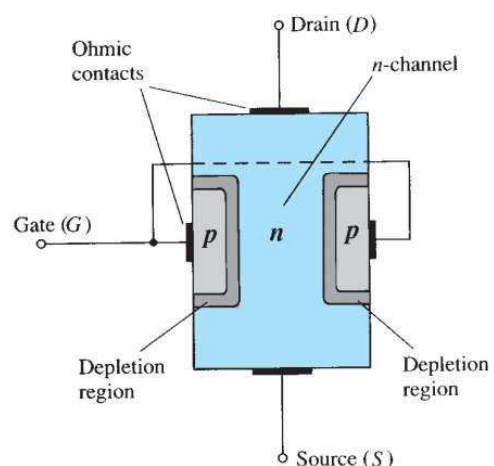


FIG. 6.3

Junction field-effect transistor (JFET).

4

$$V_{GS} = 0, V_{DS} > 0$$

รอยต่อพีเอ็น เมื่อไบแอสย้อนกลับ ย่านหลอดพาหะจะใหญ่ขึ้น (แขนแนลจะเล็กลง)

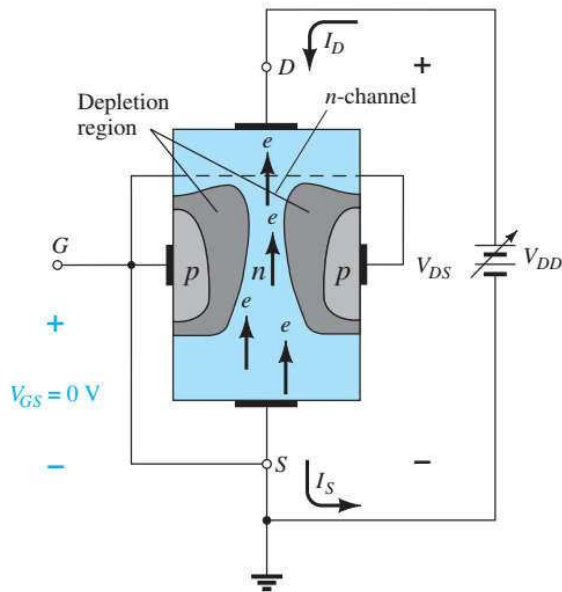


FIG. 6.5

JFET at $V_{GS} = 0$ V and $V_{DS} > 0$ V.

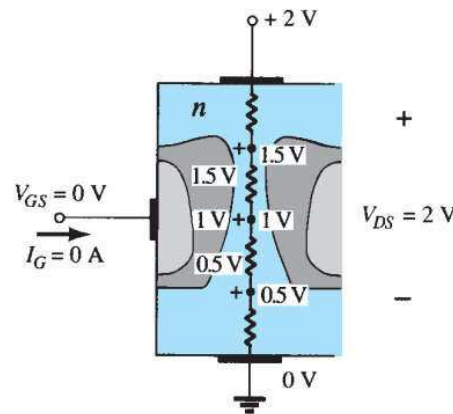


FIG. 6.6

Varying reverse-bias potentials across the p-n junction of an n-channel JFET.

5

$$V_{GS} = 0, V_{DS} \geq V_P$$

เมื่อแรงดัน $V_{DS} = |V_P|$ คือ แรงดันหนีบปิด (pinch-off voltage) ระดับกระแสที่ไหลได้จะอิ่มตัว ที่ระดับ $I_D = I_{DSS}$ และเจเฟตเข้าสู่ย่านอิ่มตัว แทนเจเฟตนี้ด้วยแหล่งจ่ายกระแส

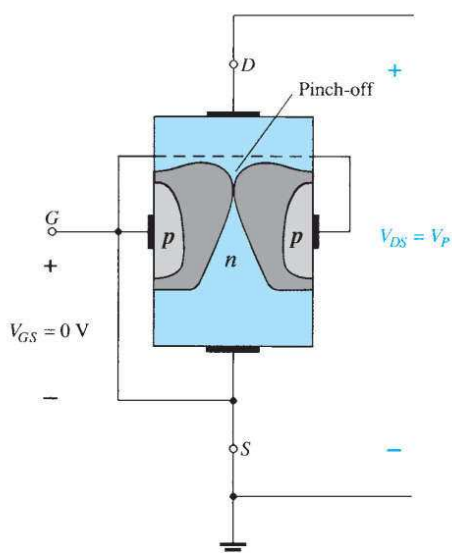


FIG. 6.8

Pinch-off ($V_{GS} = 0$ V, $V_{DS} = V_P$).

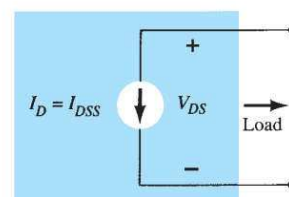
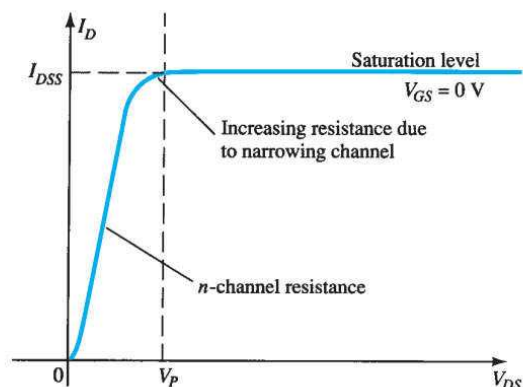


FIG. 6.9

Current source equivalent for $V_{GS} = 0$ V, $V_{DS} > V_P$.

6

$$V_{GS} < 0, V_{DS} > 0$$

หาก $V_{GS} < 0$ ย่านหลอดพาหะจะใหญ่ขึ้น (ตั้งแต่ที่เริ่มเพิ่ม V_{DS}) ทำให้แรงดันที่ทำให้เกิดการบีบปิดลดลง

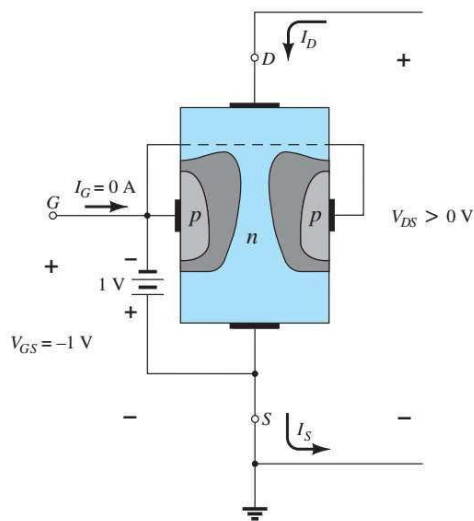


FIG. 6.10

Application of a negative voltage to the gate of a JFET.

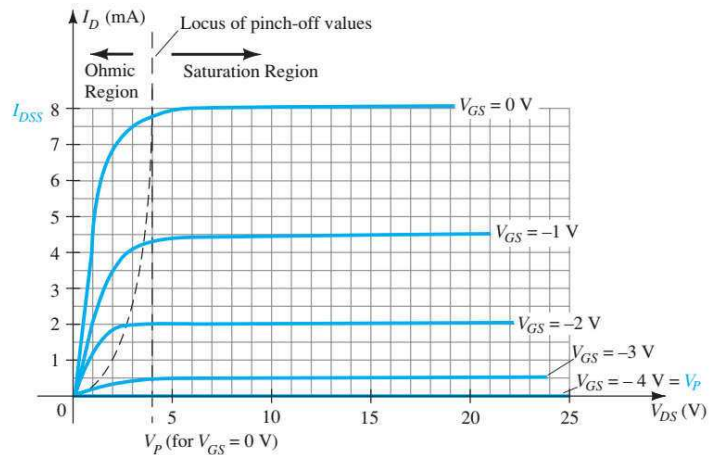


FIG. 6.11

n-Channel JFET characteristics with $I_{DSS} = 8 \text{ mA}$ and $V_P = -4 \text{ V}$.

3 ย่าน ได้แก่ ย่านโอห์มมิก ย่านอิมิตัว และ
ย่านคัตออฟ ($|V_{GS}| > V_P$) โดยต่อไปจะให้
 V_P ติดลบสำหรับเอ็นแซนแนล

7

ความต้านทานที่ควบคุมโดยแรงดัน

สำหรับ เจเฟต ที่อยู่ในย่านโอห์มมิก ค่าความต้านทาน (ส่วนกลับของความชัน)
สามารถคำนวณได้จากสูตร

$$r_d = \frac{r_0}{(1 - V_{GS} / V_P)^2}$$

โดย r_0 คือค่าความต้านทานในกรณีที่ $V_{GS} = 0$

สำหรับย่านโอห์มมิกนี้ มีอีกชื่อหนึ่งว่า ย่านความต้านทานที่ควบคุมโดยแรงดัน
(voltage-controlled resistance region)

พีเชนแนลเจเฟต และการพังทลาย (breakdown)

จากรูป พีเชนแนลมีลักษณะต่างจากเอ็นเชนแนลอย่างไรบ้าง?

ตอบ กลับทิศกระแส และ กลับขั้วแรงดัน

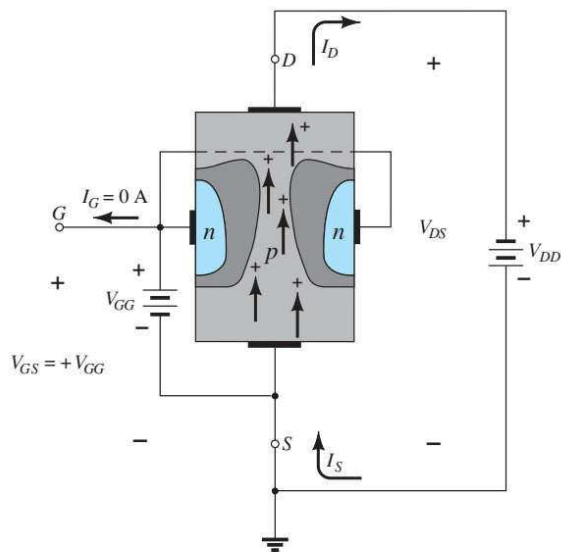


FIG. 6.12
p-Channel JFET.

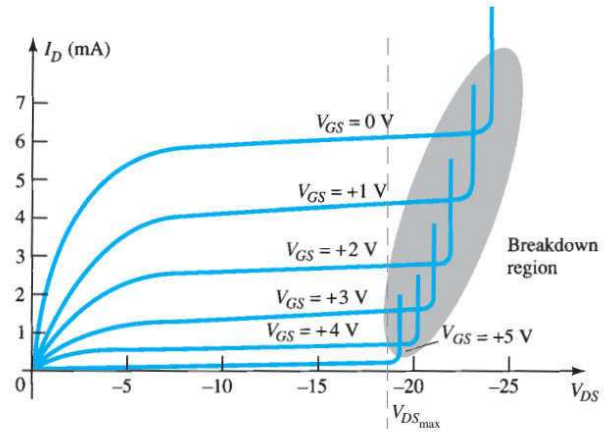


FIG. 6.13
p-Channel JFET characteristics with $I_{DSS} = 6 \text{ mA}$ and $V_P = +6 \text{ V}$.

V_P เป็นบวกสำหรับเอ็นเชนแนล

9

สัญลักษณ์ทางวงจร

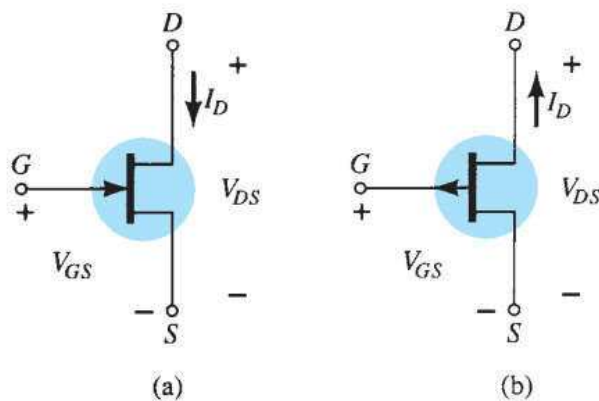


FIG. 6.14
JFET symbols: (a) n-channel; (b) p-channel.

ลองสืบค้นในอินเทอร์เน็ต (or Wikipedia)

6.3 ลักษณะสมบัติการส่งผ่าน (Transfer Characteristics)

กรณี บีเจที เรามีความสัมพันธ์เชิงเส้น

$$I_C = f(I_B) = \beta I_B$$

control variable
constant

กรณี เจเฟต เรามีความสัมพันธ์ในลักษณะไม่เชิงเส้น คือสมการกำลังสอง (quadratic equation) และมีชื่อเรียกว่า สมการชอคต์เลย์ (Shockley's equation)

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

control variable
constants

สมการนี้ใช้ได้ในช่วงอิมิตัว (ค่ากระแสเดรนไม่ขึ้นกับค่าแรงดัน V_{DS})

11

ลักษณะสมบัติการส่งผ่าน

ลักษณะสมบัติการส่งผ่านนี้ไม่ขึ้นกับวงจรด้านขาออก (กราฟที่เจเฟตยังอยู่ในย่านอิมิตัว)

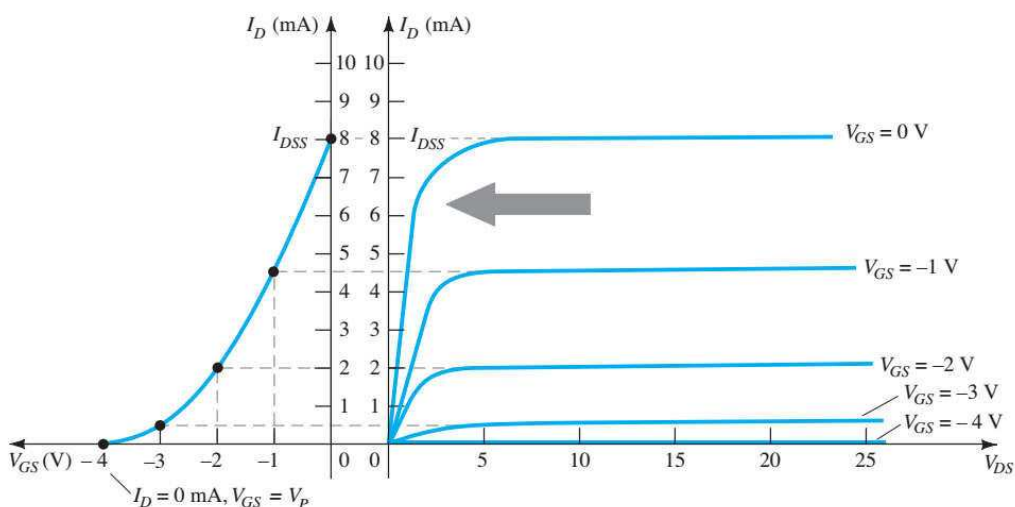


FIG. 6.17

Obtaining the transfer curve from the drain characteristics.

When $V_{GS} = 0 \text{ V}$, $I_D = I_{DSS}$

When $V_{GS} = V_P$, $I_D = 0 \text{ mA}$

หากออกแบบวงจร โดยกำหนดค่ากระแสเดรน I_D ก่อน ก็สามารถหาแรงดัน V_{GS} ที่เหมาะสมได้ ... อย่างไร

วิธีคิดอย่างย่อ (Shorthand Method)

บ่อยครั้งที่เราต้องคำนวณไปกลับระหว่างกระแสเดรนและแรงดันเกต ดังนั้นการคำนวณโดยประมาณจะทำให้ทราบค่าคร่าว ๆ ได้โดยไม่ต้องใช้กระดาษ/เครื่องคำนวณ

$$\begin{aligned} I_D &= I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \\ &= I_{DSS} \left(\frac{1 - V_P/2}{V_P} \right)^2 = I_{DSS} \left(1 - \frac{1}{2} \right)^2 = I_{DSS}(0.5)^2 \\ &= I_{DSS}(0.25) \end{aligned}$$

$$I_D = \frac{I_{DSS}}{4} \Big|_{V_{GS} = V_P/2}$$

If we choose $I_D = I_{DSS}/2$ and substitute into Eq. (6.8), we find that

$$\begin{aligned} V_{GS} &= V_P \left(1 - \sqrt{\frac{I_D}{I_{DSS}}} \right) \\ &= V_P \left(1 - \sqrt{\frac{I_{DSS}/2}{I_{DSS}}} \right) = V_P(1 - \sqrt{0.5}) = V_P(0.293) \end{aligned}$$

and

$$V_{GS} \cong 0.3V_P \Big|_{I_D = I_{DSS}/2}$$

TABLE 6.1

V_{GS} versus I_D Using Shockley's Equation

V_{GS}	I_D
0	I_{DSS}
$0.3V_P$	$I_{DSS}/2$
$0.5V_P$	$I_{DSS}/4$
V_P	0 mA

EXAMPLE 6.1 Sketch the transfer curve defined by $I_{DSS} = 12 \text{ mA}$ and $V_P = -6 \text{ V}$.

Solution: Two plot points are defined by

$$I_{DSS} = 12 \text{ mA} \quad \text{and} \quad V_{GS} = 0 \text{ V}$$

$$\text{and} \quad I_D = 0 \text{ mA} \quad \text{and} \quad V_{GS} = V_P$$

At $V_{GS} = V_P/2 = -6 \text{ V}/2 = -3 \text{ V}$ the drain current is determined by $I_D = I_{DSS}/4 = 12 \text{ mA}/4 = 3 \text{ mA}$. At $I_D = I_{DSS}/2 = 12 \text{ mA}/2 = 6 \text{ mA}$ the gate-to-source voltage is determined by $V_{GS} \cong 0.3V_P = 0.3(-6 \text{ V}) = -1.8 \text{ V}$. All four plot points are well defined on Fig. 6.18 with the complete transfer curve.

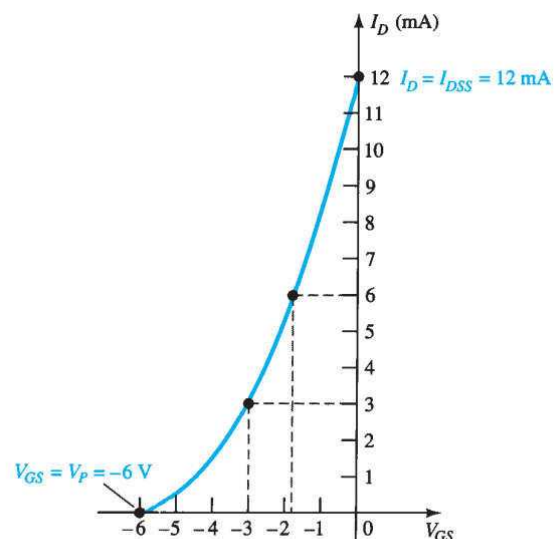


FIG. 6.18

Transfer curve for Example 6.1.

6.4 แผ่นข้อมูลจำเพาะเจาะจงของเจฟเฟต (JFETs)

ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Units
V_{DS}	Drain-Source Voltage	25	V
V_{DG}	Drain-Gate Voltage	25	V
V_{GS}	Gate-Source Voltage	-25	V
I_{GF}	Forward Gate Current	10	mA
T_j, T_{stg}	Operating and Storage Junction Temperature Range	-55 to +150	°C

FAIRCHILD
SEMICONDUCTOR™

2N5457 **MMBF5457**



TO-92 SOT-23

NOTE: Source & Drain are interchangeable

N-Channel General Purpose Amplifier
This device is a low-level audio amplifier and switching transistor, and can be used for analog switching applications.

THERMAL CHARACTERISTICS

Symbol	Characteristic	Max		Units
		2N5457	*MMBF5457	
P_D	Total Device Dissipation Derate above 25°C	625 5.0	350 2.8	mW mW/°C
$R_{\theta JC}$	Thermal Resistance, Junction to Case	125		°C/W
$R_{\theta JA}$	Thermal Resistance, Junction to Ambient	357	556	°C/W

ELECTRICAL CHARACTERISTICS $T_A = 25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Test Conditions	Min	Typ	Max	Units
--------	-----------	-----------------	-----	-----	-----	-------

OFF CHARACTERISTICS

$V_{(BR)GSS}$	Gate-Source Breakdown Voltage	$I_G = 10\ \mu\text{A}, V_{DS} = 0$	-25			V
I_{GSS}	Gate Reverse Current	$V_{GS} = -15\ \text{V}, V_{DS} = 0$ $V_{GS} = -15\ \text{V}, V_{DS} = 0, T_A = 100^\circ\text{C}$			-1.0 -200	nA nA
$V_{GS(off)}$	Gate-Source Cutoff Voltage	$V_{DS} = 15\ \text{V}, I_D = 10\ \text{nA}$ 5457	-0.5		-6.0	V
V_{GS}	Gate-Source Voltage	$V_{DS} = 15\ \text{V}, I_D = 100\ \mu\text{A}$ 5457		-2.5		V

ON CHARACTERISTICS

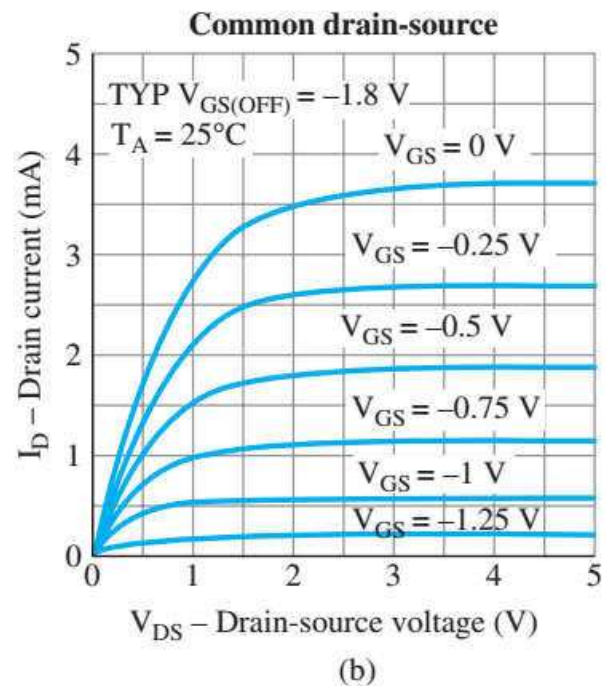
I_{DSS}	Zero-Gate Voltage Drain Current	$V_{DS} = 15\ \text{V}, V_{GS} = 0$ 5457	1.0	3.0	5.0	mA
-----------	---------------------------------	--	-----	-----	-----	----

SMALL SIGNAL CHARACTERISTICS

g_{fs}	Forward Transfer Conductance	$V_{DS} = 15\ \text{V}, V_{GS} = 0, f = 1.0\ \text{kHz}$ 5457	1000		5000	μmhos
g_{os}	Output Conductance	$V_{DS} = 15\ \text{V}, V_{GS} = 0, f = 1.0\ \text{MHz}$		10	50	μmhos
C_{iss}	Input Capacitance	$V_{DS} = 15\ \text{V}, V_{GS} = 0, f = 1.0\ \text{MHz}$		4.5	7.0	pF
C_{rss}	Reverse Transfer Capacitance	$V_{DS} = 15\ \text{V}, V_{GS} = 0, f = 1.0\ \text{MHz}$		1.5	3.0	pF
NF	Noise Figure	$V_{DS} = 15\ \text{V}, V_{GS} = 0, f = 1.0\ \text{kHz},$ $R_G = 1.0\ \text{megohm}, BW = 1.0\ \text{Hz}$			3.0	dB

ข้อมูลที่สำคัญ

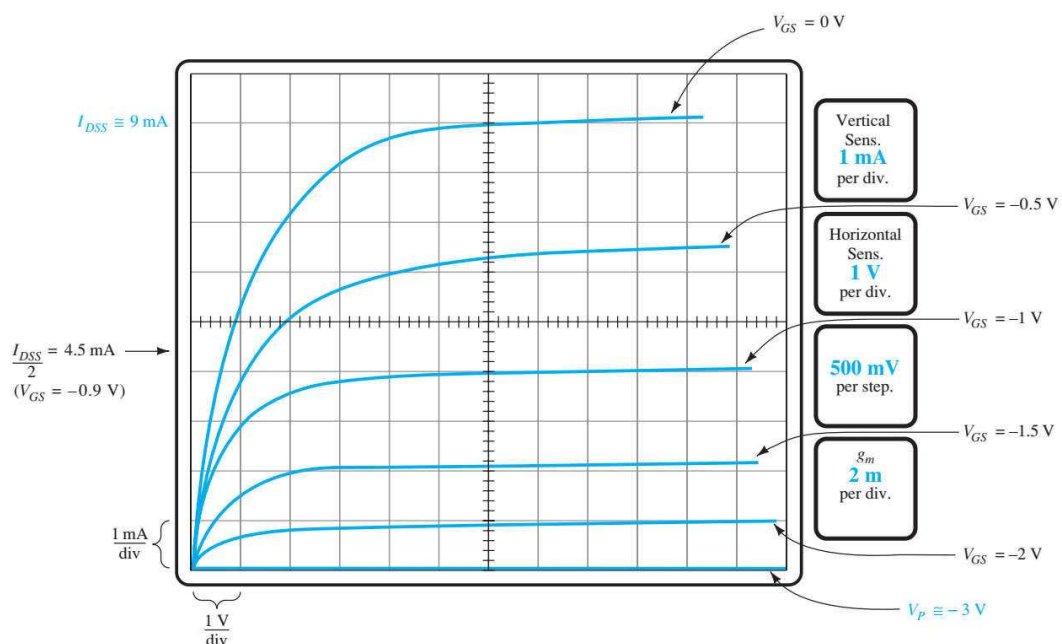
- กำลังพิกัดสูงสุด (Maximum Rating)
- ลักษณะสมบัติทางความร้อน (Thermal Characteristics)
- ลักษณะสมบัติทางไฟฟ้า (Electrical Characteristics)
- ลักษณะทั่วไป (Typical Characteristics)
- ย่านการทำงาน (Operating Region)



17

6.5 เครื่องมือวัด (Instrumentation)

การวัดเจฟเฟตยิ่งยากกว่าปีเจที โดยทั่วไปจะใช้ curve tracer วัดได้



6.6 ความสัมพันธ์ที่สำคัญ (Important Relationships)

เปรียบเทียบ

ระหว่าง

เจเฟตและบีเจที

TABLE 6.2

JFET		BJT
$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$	\Leftrightarrow	$I_C = \beta I_B$
$I_D = I_S$	\Leftrightarrow	$I_C \cong I_E$
$I_G \cong 0 \text{ A}$	\Leftrightarrow	$V_{BE} \cong 0.7 \text{ V}$

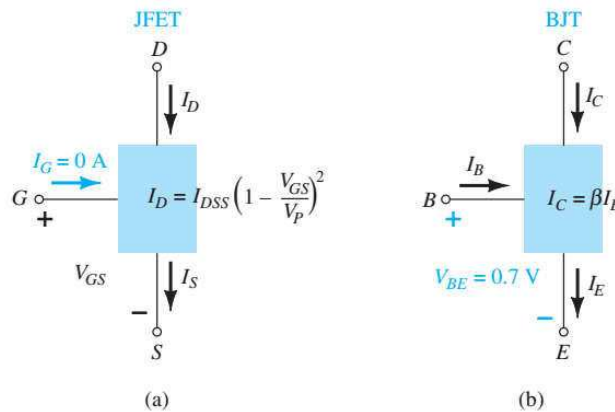


FIG. 6.23

(a) JFET versus (b) BJT.

19

6.7 มอสเฟตชนิดดีพลีชัน (Depletion-Type MOSFET)

มอสเฟต (MOSFET) ย่อมาจาก ทรานซิสเตอร์ปรากฏการณ์สนามโครงสร้างโลหะ-ออกไซด์-สารกึ่งตัวนำ (Metal-Oxide-Semiconductor Field-Effect Transistor) แบ่งย่อยเป็น ชนิดดีพลีชัน (depletion) และชนิดเอ็นแฮนซ์เมนต์ (enhancement)

- > สำหรับมอสเฟตบางตัวอาจมีขา SS (ต่อจากแผ่นฐาน (substrate))
- > ไม่มีการเชื่อมต่อโดยตรงกับแกนแนล
- > ชั้นออกไซด์ถูกสร้างเพื่อให้อิมพีแดนซ์สูงมากที่ขั้วเกต

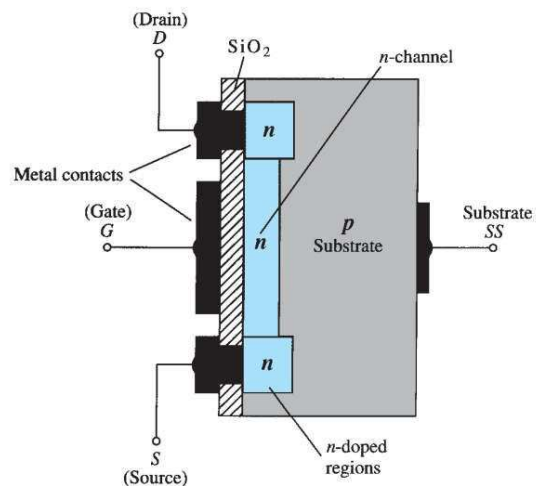


FIG. 6.24

n-Channel depletion-type MOSFET.

หลักการทำงานของมอสเฟต

$V_{GS} = 0$ กระแส I_D ไหลได้

เรียกระแสนี้ว่า I_{DSS}

เมื่อลดแรงดัน V_{GS} (V_{GS} ติดลบ)

กระแส I_D จะไหลได้น้อยลง

เพราะแกนแนลจะแคบลง จากการ

เหนี่ยวนำประจุบวกเข้ามาใน

แกนแนล (ปรากฏการณ์สนาม)

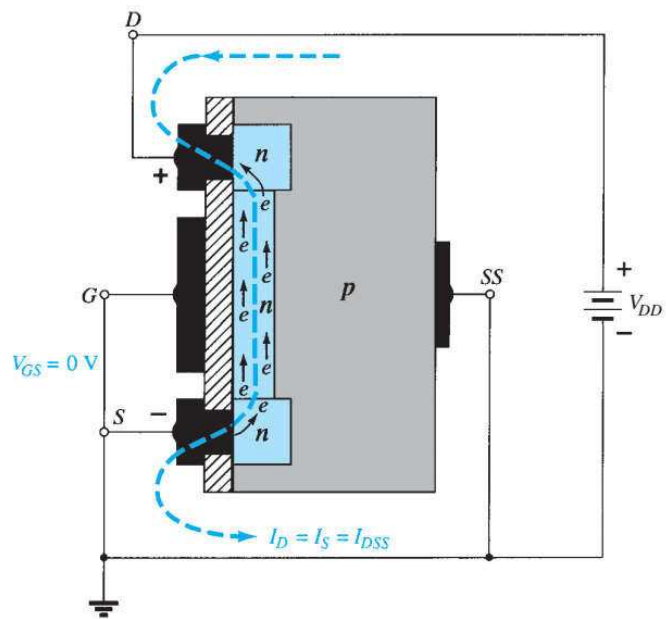


FIG. 6.25

n-Channel depletion-type MOSFET with $V_{GS} = 0$ V and applied voltage V_{DD} .

21

หลักการทำงานของมอสเฟต

$V_{GS} = 0$ กระแส I_D ไหลได้

เรียกระแสนี้ว่า I_{DSS}

เมื่อลดแรงดัน V_{GS} (V_{GS} ติดลบ)

กระแส I_D จะไหลได้น้อยลง

เพราะแกนแนลจะแคบลง จากการ

เหนี่ยวนำประจุบวกเข้ามาใน

แกนแนล (ปรากฏการณ์สนาม)

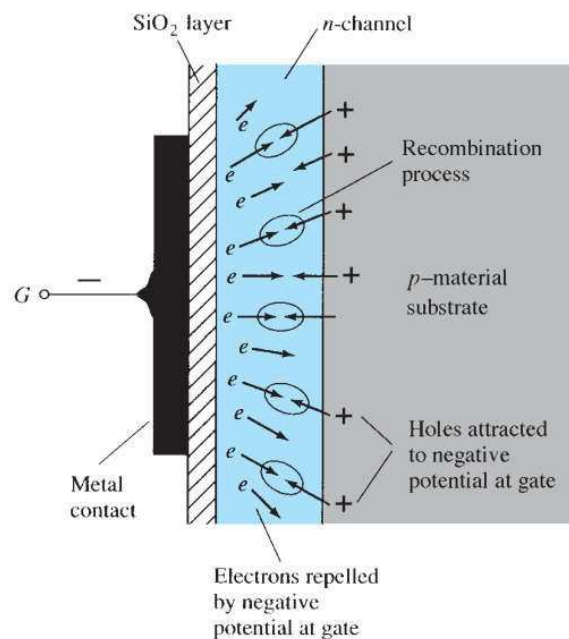


FIG. 6.27

Reduction in free carriers in a channel due to a negative potential at the gate terminal.

ลักษณะสมบัติของมอสเฟต (เอ็นแซนแนล)

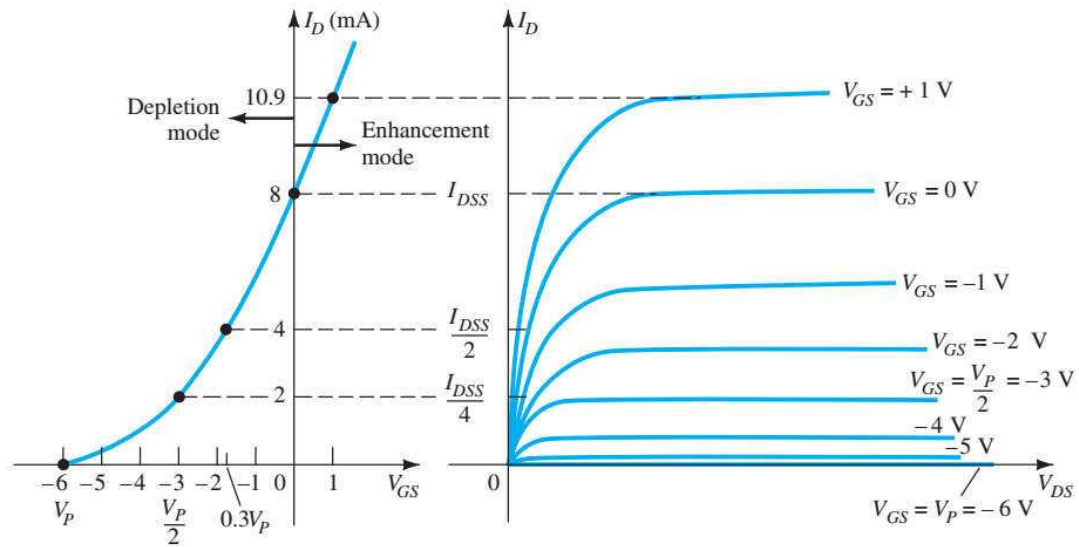


FIG. 6.26

Drain and transfer characteristics for an n-channel depletion-type MOSFET.

23

ลักษณะสมบัติของมอสเฟต (พีแซนแนล)

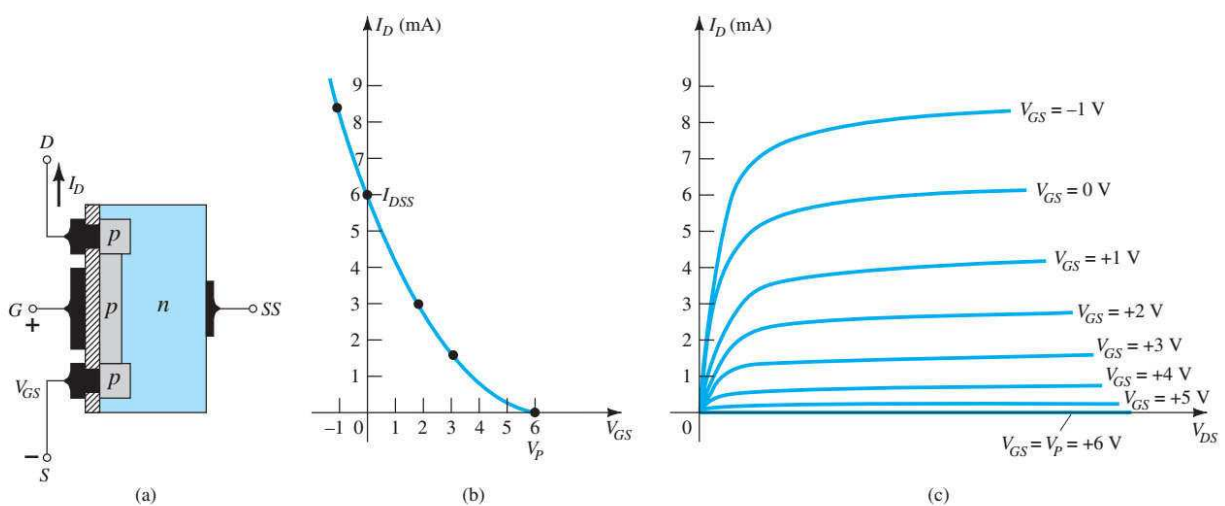


FIG. 6.29

p-Channel depletion-type MOSFET with $I_{DSS} = 6$ mA and $V_P = +6$ V.

ต่างกับมอสเฟต เอ็นแซนแนล อย่างไร?

24

สัญลักษณ์ทางวงจร

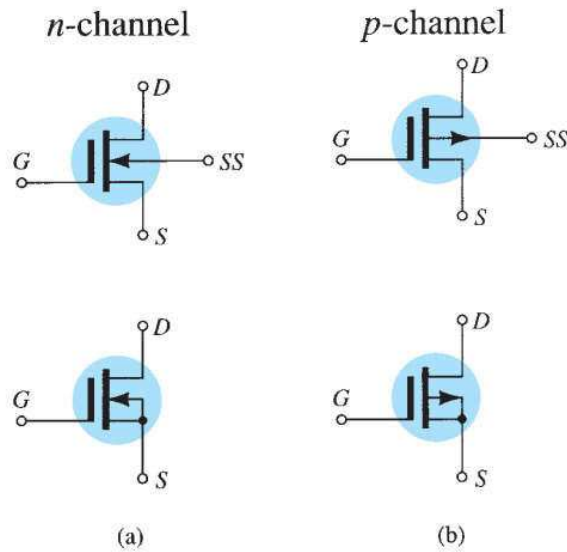


FIG. 6.30

Graphic symbols for: (a) n-channel depletion-type MOSFETs and (b) p-channel depletion-type MOSFETs.

25

แผ่นข้อมูล

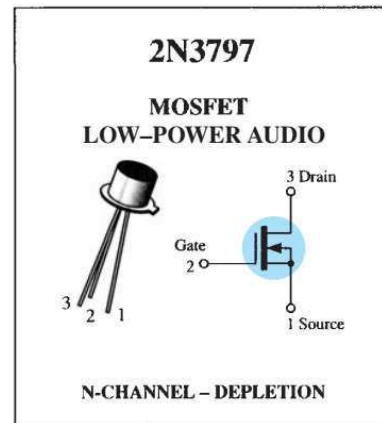
MAXIMUM RATINGS			
Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DS}	20	Vdc
Gate-Source Voltage	V_{GS}	± 10	Vdc
Drain Current	I_D	20	mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	200 1.14	mW mW/ $^\circ\text{C}$
Junction Temperature Range	T_J	+175	$^\circ\text{C}$
Storage Channel Temperature Range	T_{stg}	-65 to +200	$^\circ\text{C}$

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS					
Drain Source Breakdown Voltage ($V_{GS} = -10\text{ V}$, $I_D = 5.0\text{ }\mu\text{A}$)	$V_{(BR)DSX}$	20	25	—	Vdc
Gate Reverse Current (1) ($V_{GS} = -10\text{ V}$, $V_{DS} = 0$) ($V_{GS} = -10\text{ V}$, $V_{DS} = 0$, $T_A = 150^\circ\text{C}$)	I_{GSS}	—	—	1.0 200	pAdc
Gate Source Cutoff Voltage ($I_D = 2.0\text{ }\mu\text{A}$, $V_{DS} = 10\text{ V}$)	$V_{GS(off)}$	—	-5.0	-7.0	Vdc
Drain-Gate Reverse Current (1) ($V_{DG} = 10\text{ V}$, $I_S = 0$)	I_{DGO}	—	—	1.0	pAdc

ON CHARACTERISTICS

Zero-Gate-Voltage Drain Current ($V_{DS} = 10\text{ V}$, $V_{GS} = 0$)	I_{DSS}	2.0	2.9	6.0	mAdc
On-State Drain Current ($V_{DS} = 10\text{ V}$, $V_{GS} = +3.5\text{ V}$)	$I_{D(on)}$	9.0	14	18	mAdc



26

6.8 มอสเฟตชนิดเอ็นฮานซ์เมนต์ (Enhancement-Type MOSFET)

โครงสร้างไม่มีแชนแนลหลังสร้างเสร็จ แต่มีแชนแนลเมื่อไบแอส (ป้อนแรงดันบวกที่ขั้วเกต)
ในรูปคือ เอ็นแชนแนล

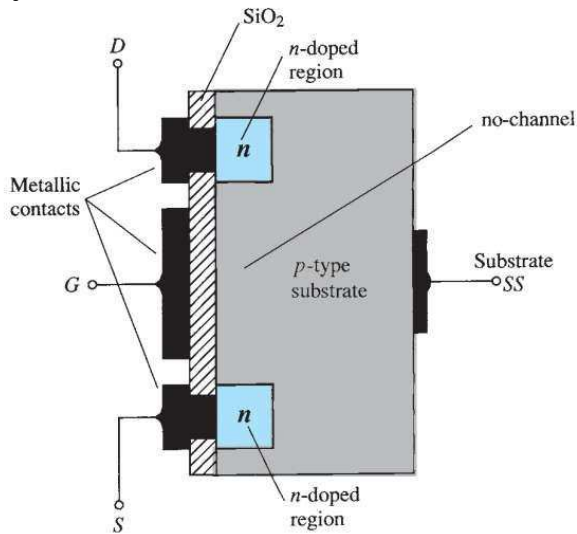


FIG. 6.32
n-Channel enhancement-type MOSFET.

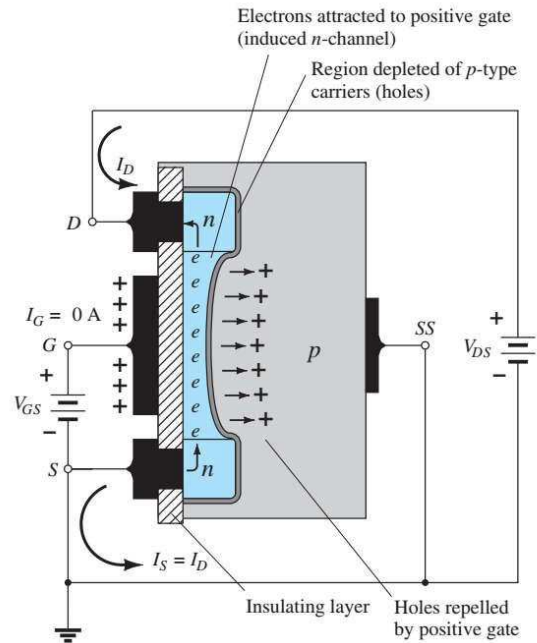


FIG. 6.33
Channel formation in the n-channel enhancement-type MOSFET.

$$V_{DG} = V_{DS} - V_{GS}$$

27

หลักการทำงาน

การบีบปิด (pinch-off) เกิดขึ้นที่แรงดัน V_{DS} ค่าหนึ่ง

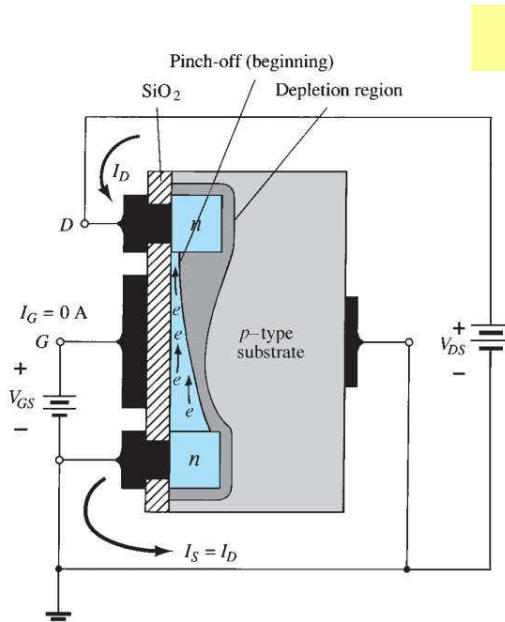


FIG. 6.34
Change in channel and depletion region with increasing level of V_{DS} for a fixed value of V_{GS} .

$$V_{DS_{sat}} = V_{GS} - V_T$$

$$I_D = k(V_{GS} - V_T)^2$$

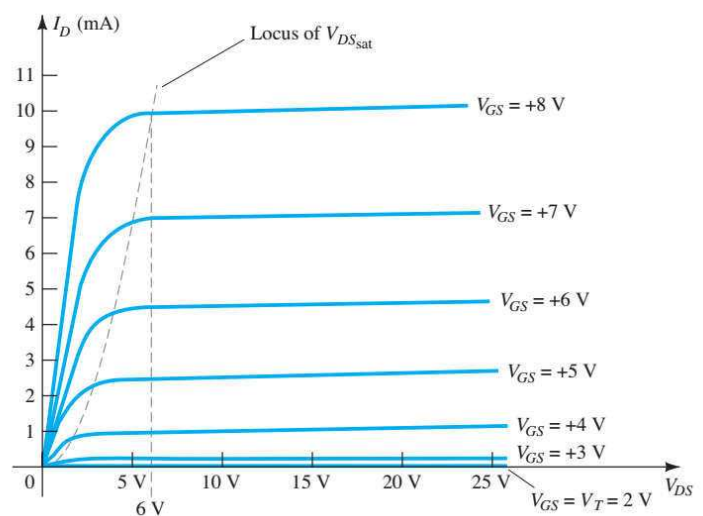


FIG. 6.35
Drain characteristics of an n-channel enhancement-type MOSFET with $V_T = 2 \text{ V}$ and $k = 0.278 \times 10^{-3} \text{ A/V}^2$.

3 ย่านการทำงาน =

28

ลักษณะสมบัติกระแส-แรงดัน

ค่าคงที่ k อาจหาจาก $k = I_{D(on)} / (V_{GS(on)} - V_T)^2$

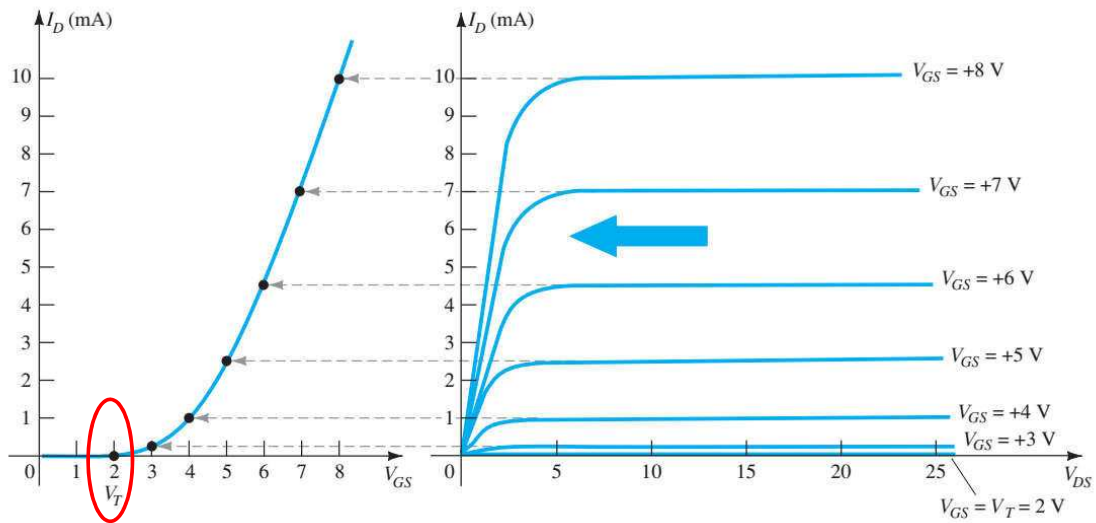


FIG. 6.36

Sketching the transfer characteristics for an n-channel enhancement-type MOSFET from the drain characteristics.

29

มอสเฟตชนิดเอ็นฮานซ์เมนต์ ชนิดพีแชนแนล

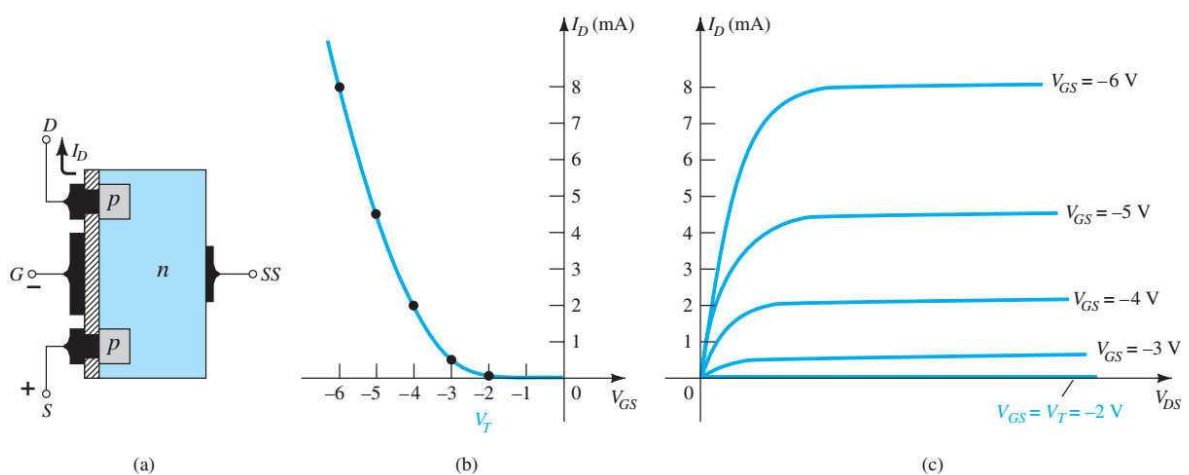


FIG. 6.38

p-Channel enhancement-type MOSFET with $V_T = 2 \text{ V}$ and $k = 0.5 \times 10^{-3} \text{ A/V}^2$.

แตกต่างกับเอ็นแชนแนลอย่างไร?

30

สัญลักษณ์ทางวงจร

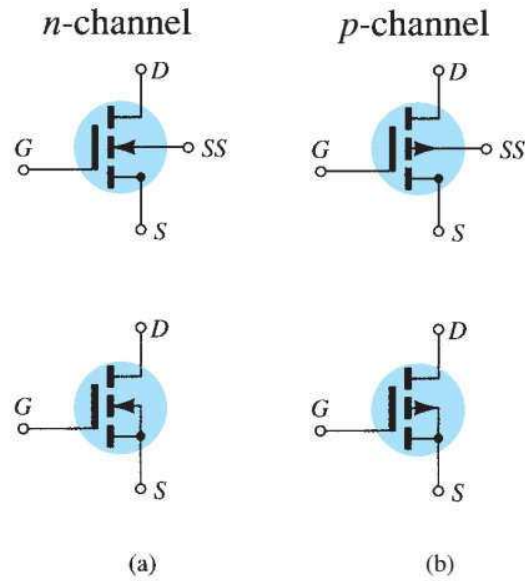


FIG. 6.39

Symbols for: (a) *n-channel enhancement-type MOSFETs* and (b) *p-channel enhancement-type MOSFETs*.

31

6.9 การหยิบจับมอสเฟต (MOSFET Handling)

มอสเฟตเป็นอุปกรณ์ที่ไวต่อไฟฟ้าสถิต คือ ชั่วนอกไซด์อาจเสียหายได้จากการจับต้องด้วยมือเปล่า ดังนั้นต้องระวังมิให้เกิดไฟฟ้าสถิตระดับสูงในโครงสร้าง

6.10 มอสเฟตกำลังชนิดวีมอสและยูมอส

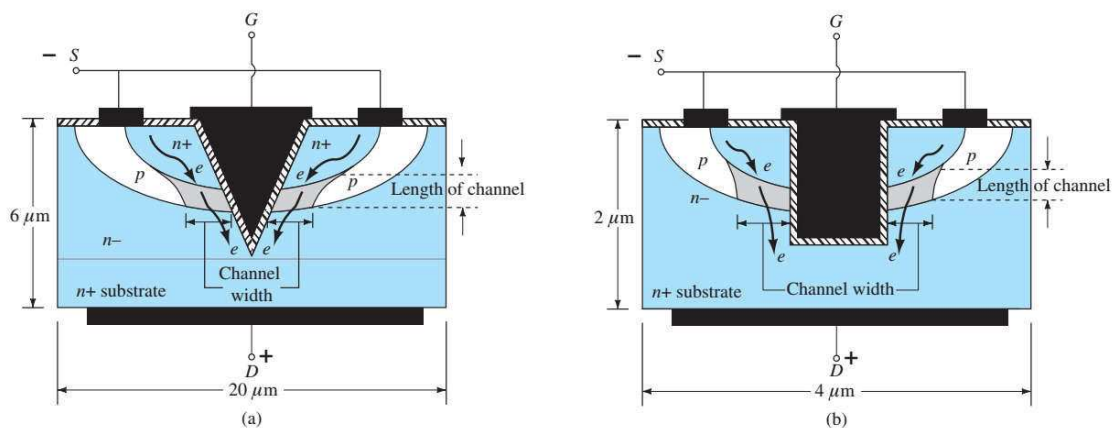


FIG. 6.43

(a) *VMOS MOSFET*; (b) *UMOS MOSFET*.

32

6.11 ซีมอส (CMOS)

ซีมอสย่อจาก Complementary MOSFET เป็นการนำมอสเฟตทั้งพีแชนแนลและเอ็นแชนแนลมาสร้างวงจรรวมบนแผ่นฐานเดียวกัน ซึ่งทำให้สามารถสร้างลอจิกเกตดิจิทัลได้ ตัวอย่างเช่น วงจรอินเวอร์เตอร์ดังรูป

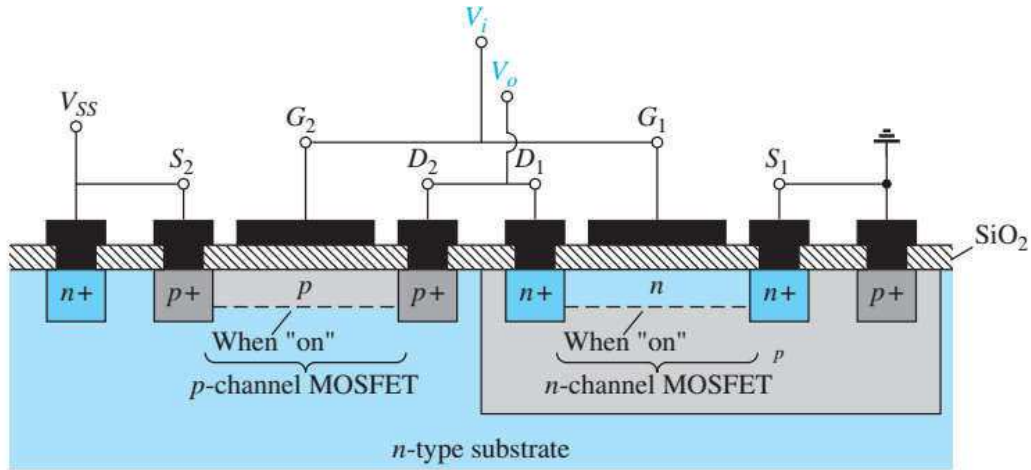


FIG. 6.44

CMOS with the connections indicated in Fig. 6.45.

33

ซีมอสอินเวอร์เตอร์

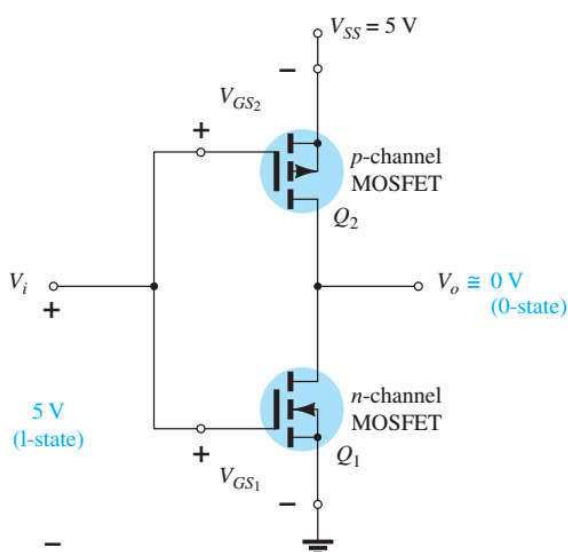


FIG. 6.45

CMOS inverter.

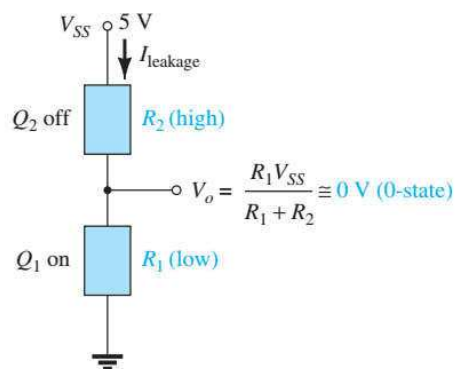


FIG. 6.46

Relative resistance levels for $V_i = 5\text{ V}$ (1-state).

34

6.12 เมสเฟต (MESFET)

เมสเฟต ย่อจาก **ME**tal-**S**emiconductor FET มีลักษณะคล้ายมอสเฟตแต่ไม่มีชั้นออกไซด์ เป็นโครงสร้างที่มักใช้กับสารกึ่งตัวนำชนิดสารประกอบเช่น GaAs

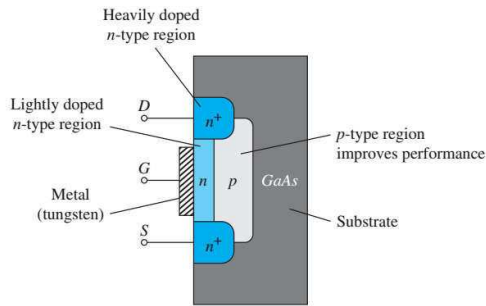


FIG. 6.47
Basic construction of an n-channel MESFET.

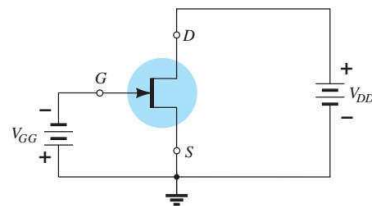


FIG. 6.49
Symbol and basic biasing arrangement for an n-channel MESFET.

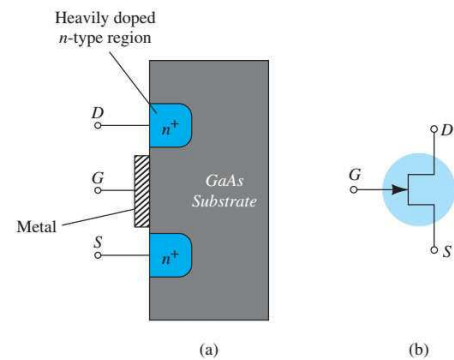
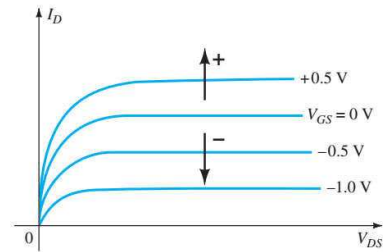
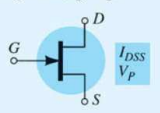
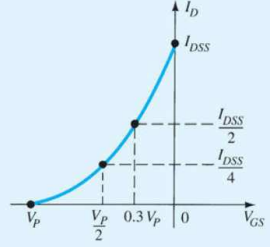
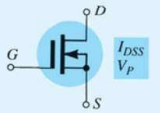
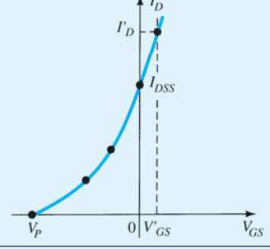
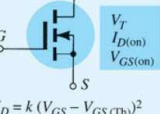
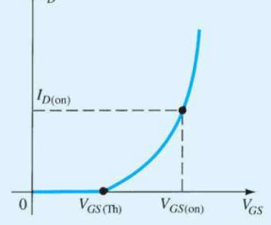


FIG. 6.50
Enhancement-type MESFET: (a) construction; (b) symbol.

6.13 ตารางสรุป

TABLE 6.3
Field Effect Transistors

Type	Symbol and Basic Relationships	Transfer Curve	Input Resistance and Capacitance
JFET (n-channel)	$I_G = 0 \text{ A}, I_D = I_S$  $I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$		$R_i > 100 \text{ M}\Omega$ $C_i (1 - 10) \text{ pF}$
MOSFET depletion type (n-channel)	$I_G = 0 \text{ A}, I_D = I_S$  $I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$		$R_i > 10^{10} \Omega$ $C_i (1 - 10) \text{ pF}$
MOSFET enhancement type (n-channel)	$I_G = 0 \text{ A}, I_D = I_S$  $I_D = k (V_{GS} - V_{GS(Th)})^2$ $k = \frac{I_{D(on)}}{(V_{GS(on)} - V_{GS(Th)})^2}$		$R_i > 10^{10} \Omega$ $C_i (1 - 10) \text{ pF}$

เอกสารอ้างอิง

เนื้อหาหลักนำมาจากเอกสารอ้างอิง
หัวข้อ

6. Field-Effect Transistors

6.1 Introduction

6.2 Construction and Characteristics of JFETs

6.3 Transfer Characteristics

6.4 Specification Sheets (JFETs)

6.5 Instrumentation

6.6 Important Relationships

6.7 Depletion-Type MOSFET

6.8 Enhancement-Type MOSFET

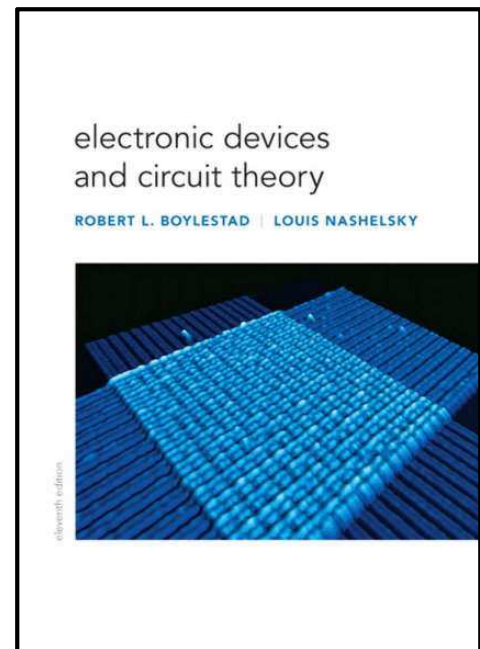
6.9 MOSFET Handling

6.10 VMOS and UMOS Power MOSFETs

6.11 CMOS

6.12 MESFETs

6.13 Summary Table





บทที่ 7
การไบแอสเฟต
(FET Biasing)

วิชา 303242 อิเล็กทรอนิกส์สำหรับวิศวกรรมคอมพิวเตอร์
(Electronics for Computer Engineering)

สุวิทย์ กิระวิทยา

ภาควิชาวิศวกรรมไฟฟ้าและคอมพิวเตอร์ มหาวิทยาลัยนเรศวร

1

วัตถุประสงค์การเรียนรู้

- สามารถวิเคราะห์เฟตตรงวงจรเฟตที่ต่อในรูปแบบต่าง ๆ ได้
- สามารถใช้การวิเคราะห์เส้นโหลดในการพิจารณาวงจรเฟตได้

2

7.1 บทนำ

ในบทที่ 4 เราได้ศึกษาเกี่ยวกับการไบแอสปีเจทีมาแล้ว โดยเรากำหนดให้

$$V_{BE} = 0.7 \text{ V}, I_C = \beta I_B, \text{ และ } I_C \approx I_E$$

โดยมี β เป็นค่าคงที่

สำหรับเฟต เราทราบว่าความสัมพันธ์ระหว่างปริมาณขาเข้าและขาออกเป็นแบบไม่เชิงเส้น (nonlinear) ทำให้การวิเคราะห์นั้นยุ่งยากกว่า ดังนั้นเราจึงนิยมใช้วิธีการกราฟฟิกในการบ่งบอกจุดทำงานของเฟต

ตัวแปรควบคุมในปีเจทีคือกระแสเบส ในขณะที่ ตัวแปรควบคุมในเฟตคือแรงดันเกต

$$I_G \approx 0$$

และ

$$I_D = I_S$$

สำหรับเจเฟต, ดิโมสเฟตและเมสเฟต

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

สำหรับอิมอสเฟตและเมสเฟต

$$I_D = k(V_{GS} - V_T)^2$$

3

7.2 รูปแบบการไบแอสแบบคงที่ (Fixed-Bias Configuration)

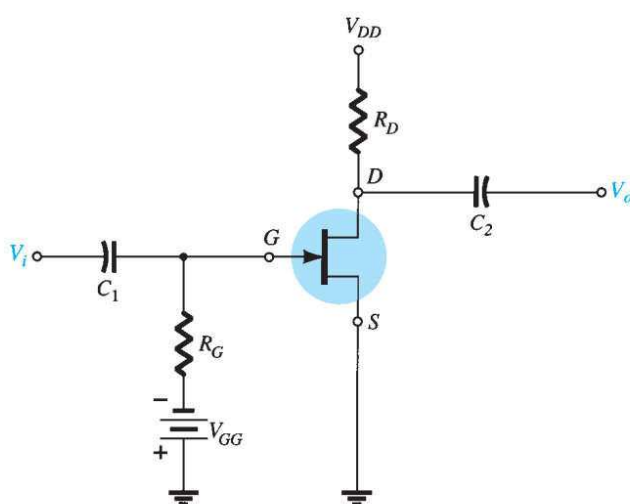


FIG. 7.1

Fixed-bias configuration.

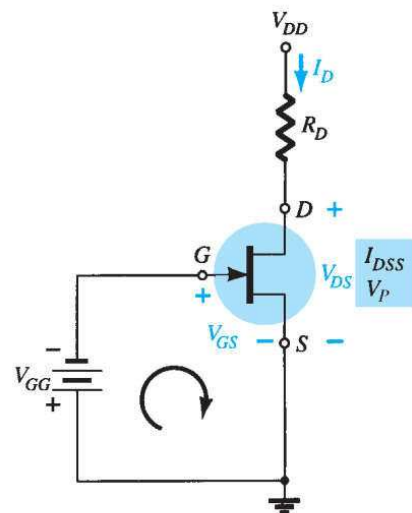


FIG. 7.2

Network for dc analysis.

$$V_{GS} = -V_{GG}$$

$$V_{DS} = V_{DD} - I_D R_D$$

$$V_S = 0 \text{ V}$$

$$V_D = V_{DS}$$

$$V_G = V_{GS}$$

$$I_D = ?$$

4

รูปแบบการไบแอสแบบคงที่

การพล็อตจุดทำงาน

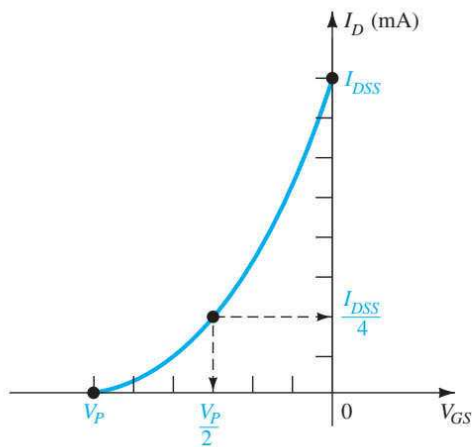


FIG. 7.3
Plotting Shockley's equation.

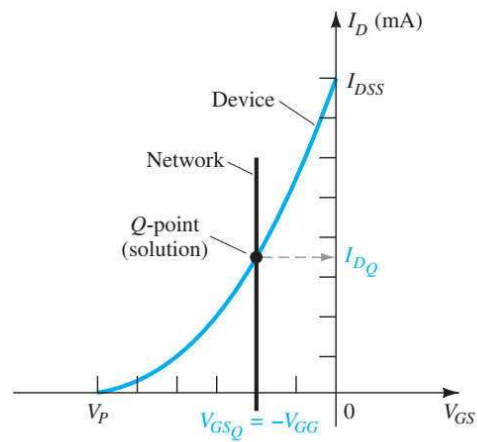


FIG. 7.4
Finding the solution for the fixed-bias configuration.

5

EXAMPLE 7.1 Determine the following for the network of Fig. 7.6:

- V_{GSQ} .
- I_{DQ} .
- V_{DS} .
- V_D .
- V_G .
- V_S .

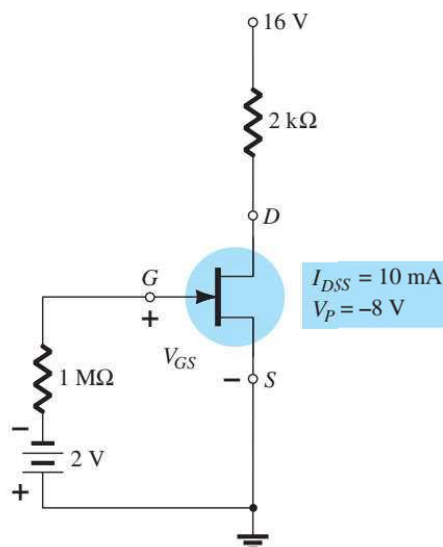


FIG. 7.6
Example 7.1.

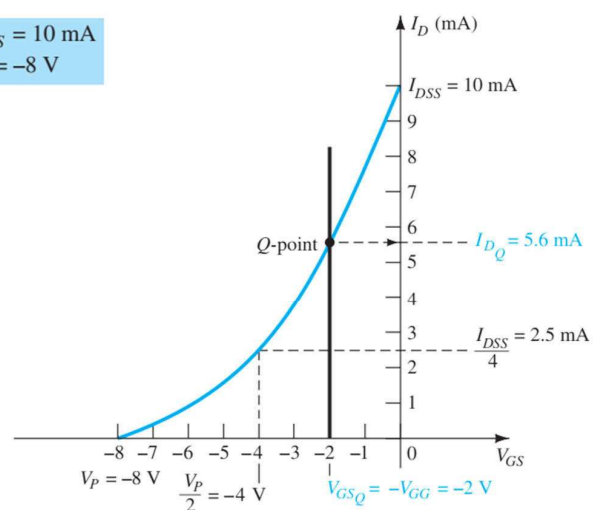


FIG. 7.7
Graphical solution for the network of Fig. 7.6.

6

7.3 รูปแบบการไบแอสด้วยตัวเอง (Self-Bias Configuration)

เราสามารถทำให้เฟตไบแอสตัวเองได้โดยการใส่ตัวต้านทานที่ซอส

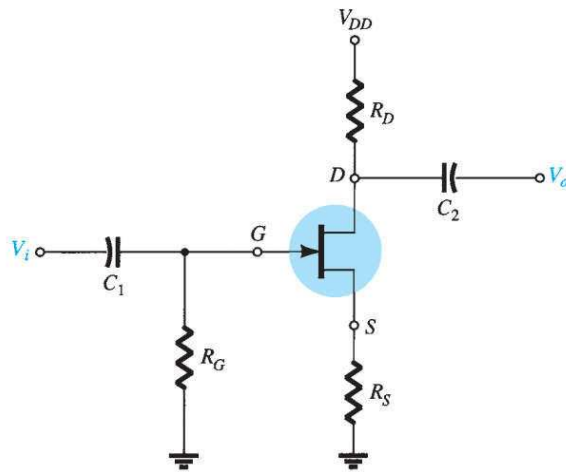


FIG. 7.8
JFET self-bias configuration.

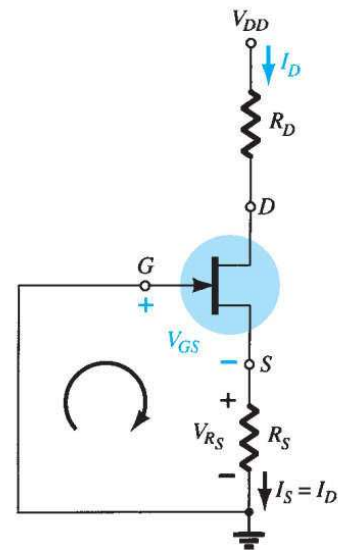


FIG. 7.9
DC analysis of the self-bias configuration.

$$V_{GS} = -I_D R_S$$

หากวิเคราะห์สมการ เราจะต้องแก้สมการกำลังสอง

7

รูปแบบการไบแอสด้วยตัวเอง

เราสามารถใช้วิธีกราฟฟิกได้ ดังรูป

$$V_{DS} = V_{DD} - I_D (R_S + R_D)$$

$$V_S = I_D R_S$$

$$V_G = 0 \text{ V}$$

$$V_D = V_{DS} + V_S = V_{DD} - V_{R_D}$$

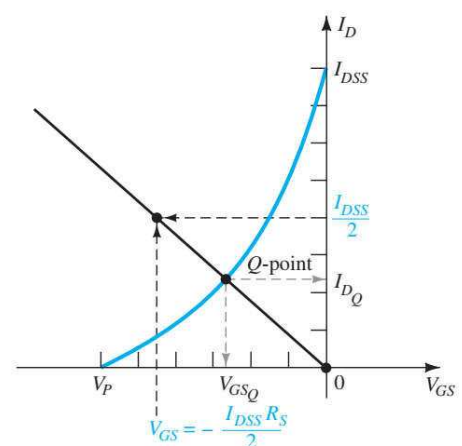


FIG. 7.11
Sketching the self-bias line.

8

EXAMPLE 7.2 Determine the following for the network of Fig. 7.12:

- V_{GSQ}
- I_{DQ}
- V_{DS}
- V_S
- V_G
- V_D

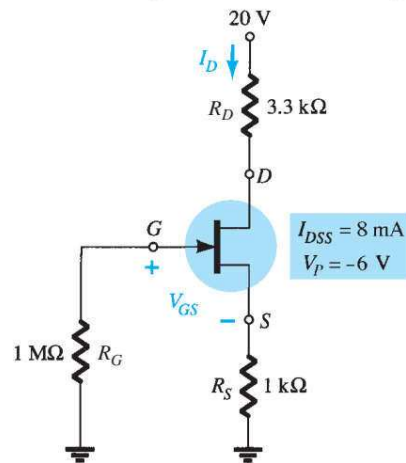
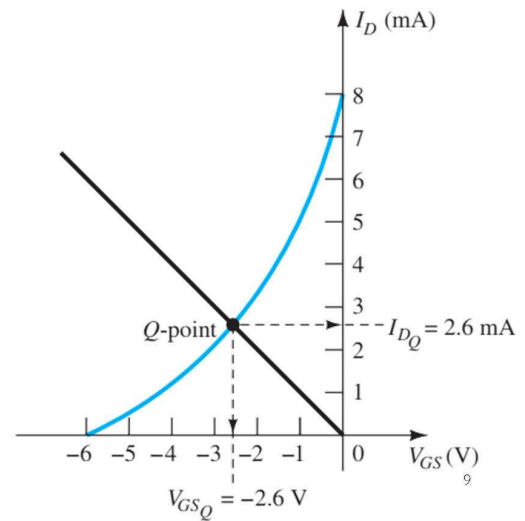


FIG. 7.12
Example 7.2.



7.4 การไบแอสโดยแบ่งแรงดัน (Voltage Divider Biasing)

ลักษณะเหมือนปีเจที และสามารถใช้อัตราการแบ่งแรงดันได้

$$V_G = \frac{R_2 V_{DD}}{R_1 + R_2}$$

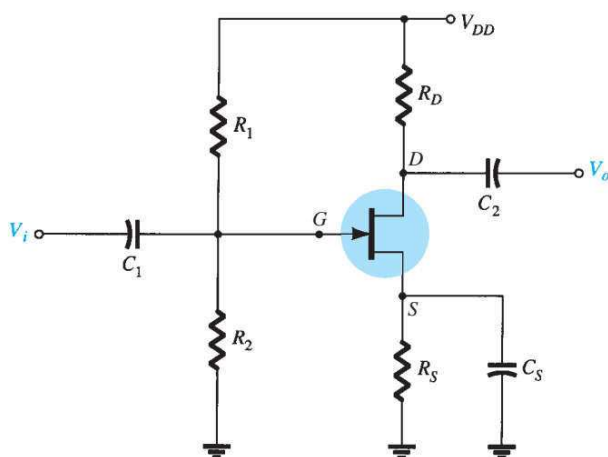


FIG. 7.17
Voltage-divider bias arrangement.

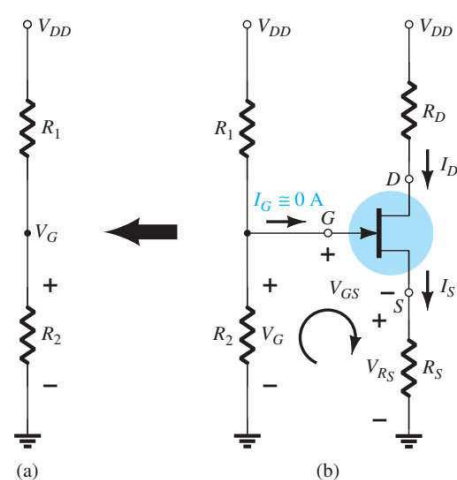


FIG. 7.18
Redrawn network of Fig. 7.17 for dc analysis.

การไบแอสโดยแบ่งแรงดัน

การหาคำตอบจะต้องแก้สมการกำลังสอง โดยหากเราใช้วิธีกราฟฟิก จะได้ว่า

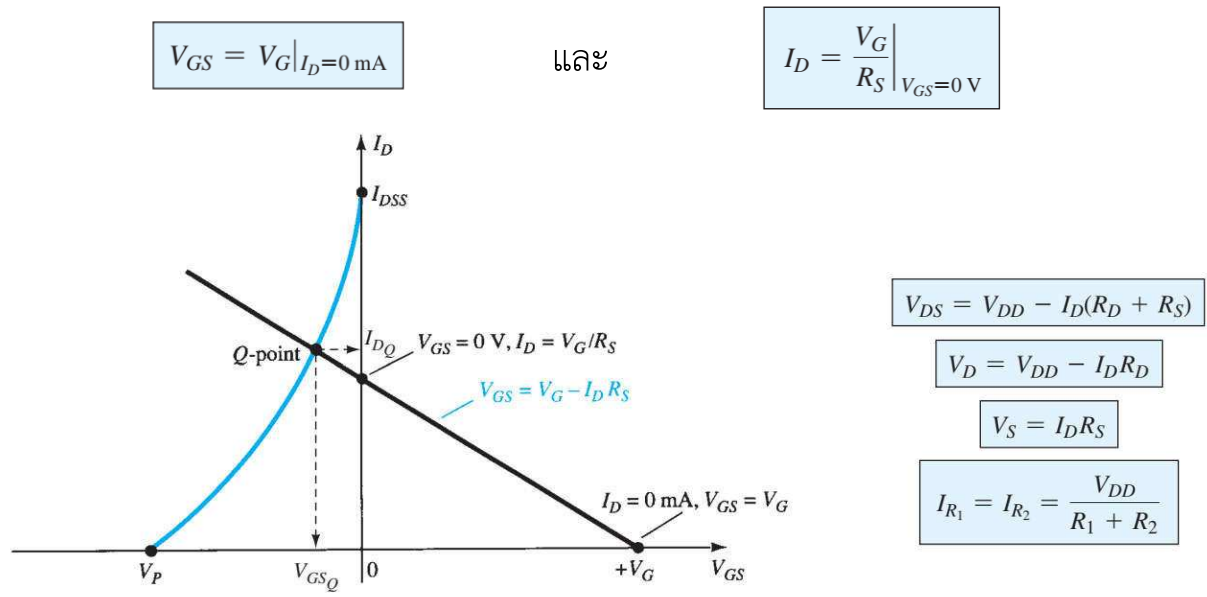


FIG. 7.19

Sketching the network equation for the voltage-divider configuration.

11

EXAMPLE 7.4 Determine the following for the network of Fig. 7.21:

- I_{DQ} and V_{GSQ} .
- V_D .
- V_S .
- V_{DS} .
- V_{DG} .

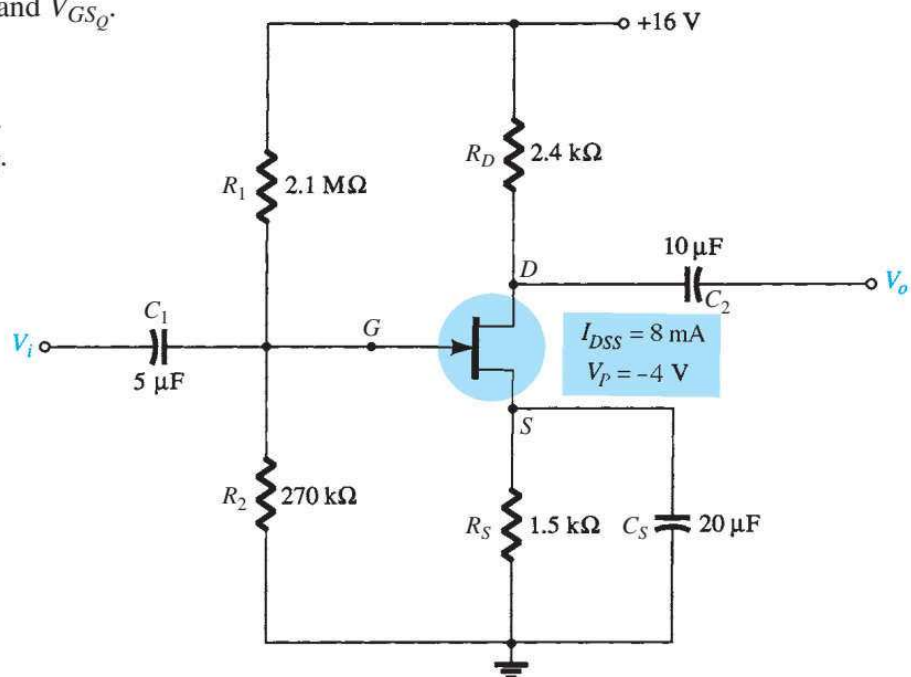


FIG. 7.21

Example 7.4.

12

7.5 รูปแบบเกตร่วม (Common-Gate Configuration)

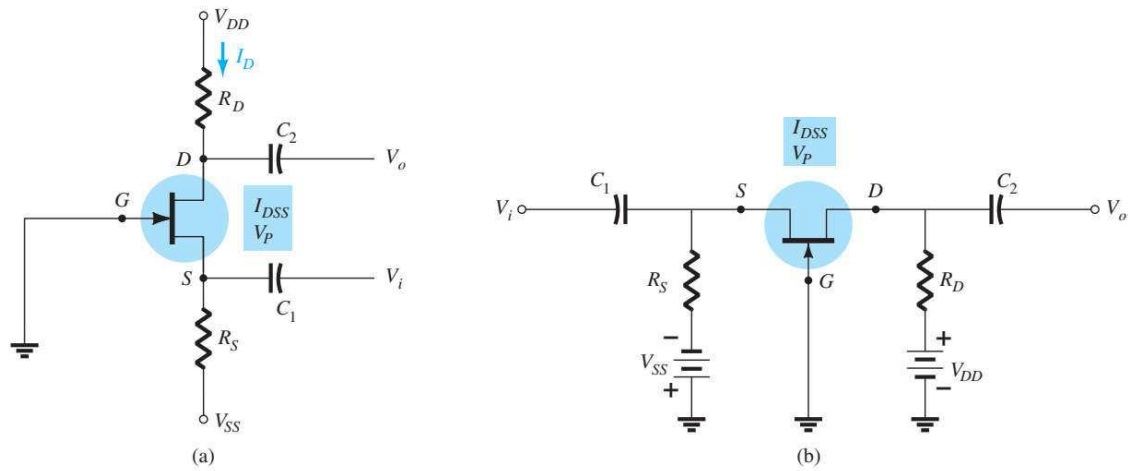


FIG. 7.23

Two versions of the common-gate configuration.

13

7.6 กรณีพิเศษ $V_{GS_Q} = 0 \text{ V}$

เป็นการต่อเฟตต์ตัวเดียวให้เป็นแหล่งจ่ายกระแสคงที่ (I_{DSS})

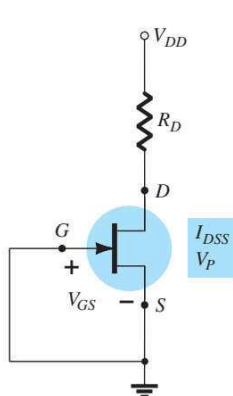


FIG. 7.28

Special case $V_{GS_Q} = 0 \text{ V}$ configuration.

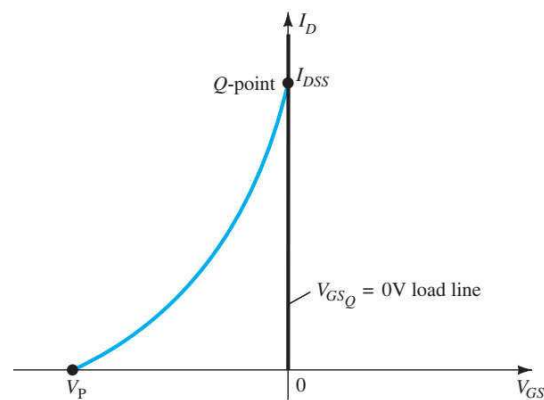


FIG. 7.29

Finding the Q -point for the network of Fig. 7.28.

$$I_{D_Q} = I_{DSS}$$

$$V_{DS} = V_{DD} - I_D R_D$$

$$V_D = V_{DS}$$

$$V_S = 0 \text{ V}$$

14

7.9 ตารางสรุป

TABLE 7.1
FET Bias Configurations

Type	Configuration	Pertinent Equations	Graphical Solution
JFET Fixed-bias		$V_{GSQ} = -V_{GG}$ $V_{DS} = V_{DD} - I_D R_D$	
JFET Self-bias		$V_{GS} = -I_D R_S$ $V_{DS} = V_{DD} - I_D (R_D + R_S)$	
JFET Voltage-divider bias		$V_G = \frac{R_2 V_{DD}}{R_1 + R_2}$ $V_{GS} = V_G - I_D R_S$ $V_{DS} = V_{DD} - I_D (R_D + R_S)$	

15

เอกสารอ้างอิง

เนื้อหาหลักนำมาจากเอกสารอ้างอิง

หัวข้อ

7. FET Biasing

7.1 Introduction

7.2 Fixed-Bias Configuration

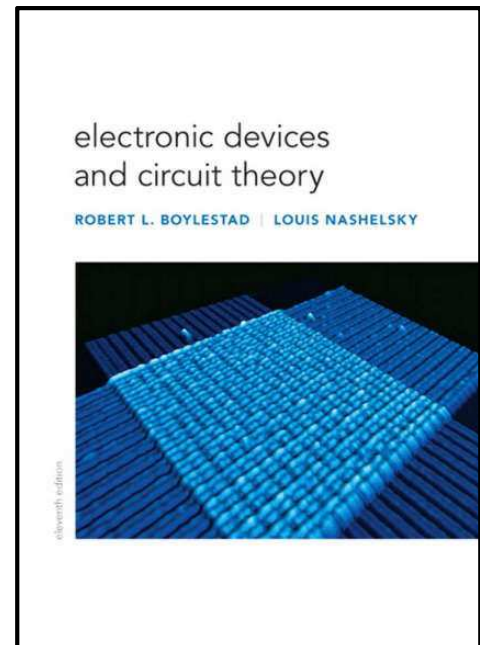
7.3 Self-Bias Configuration

7.4 Voltage-Divider Biasing

7.5 Common-Gate Configuration

7.6 Special Case $V_{GSQ} = 0$ V

7.9 Summary Table



16



บทที่ 8

วงจรขยายด้วยเฟต (FET Amplifier)

วิชา 303242 อิเล็กทรอนิกส์สำหรับวิศวกรรมคอมพิวเตอร์
(Electronics for Computer Engineering)

สุวิทย์ กิระวิทยา

ภาควิชาวิศวกรรมไฟฟ้าและคอมพิวเตอร์ มหาวิทยาลัยนเรศวร

1

วัตถุประสงค์การเรียนรู้

- สามารถบรรยายเกี่ยวกับวงจรสมมูลของเฟตสำหรับสัญญาณไฟสลับขนาดเล็กได้
- สามารถวิเคราะห์สัญญาณไฟสลับขนาดเล็กของวงจรขยายด้วยเฟตในรูปแบบต่าง ๆ ได้
- สามารถอธิบายผลของตัวต้านทานที่ซอสและที่โหลด ต่อความต้านทานขาเข้า ความต้านทานขาออกและอัตราขยายได้
- สามารถวิเคราะห์วงจรที่ต่อในรูปแบบแคสเคดของเฟตและบีเจทีได้

8.2 แบบจำลองของजेफेटสำหรับสัญญาณขนาดเล็ก

สำหรับजेफेट: ความต่างศักย์ระหว่างขั้วเกต-ซอสเป็นตัวกำหนดกระแสที่ไหลผ่านขั้วเดรน-ซอส

จากสมการสมการชอคต์เลย์ (บทที่ 6)

เรามี

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

นิยามทรานคอนดักแตนซ์ (transconductance)

ได้คือ

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}}$$

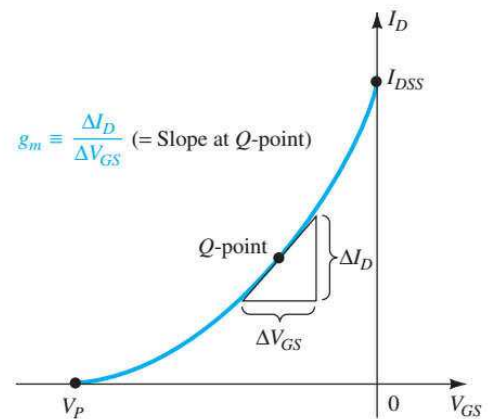


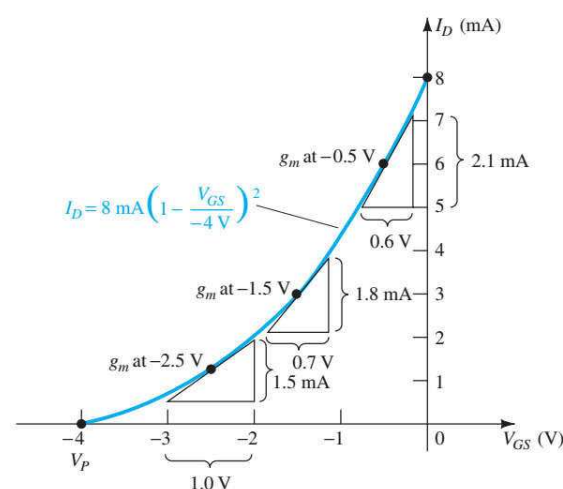
FIG. 8.1

Definition of g_m using transfer characteristic.

ค่า g_m นี้สามารถหาได้จากกราฟ ด้วยวิธีกราฟฟิก

EXAMPLE 8.1 Determine the magnitude of g_m for a JFET with $I_{DSS} = 8 \text{ mA}$ and $V_P = -4 \text{ V}$ at the following dc bias points:

- $V_{GS} = -0.5 \text{ V}$.
- $V_{GS} = -1.5 \text{ V}$.
- $V_{GS} = -2.5 \text{ V}$.



- $g_m = \frac{\Delta I_D}{\Delta V_{GS}} = \frac{2.1 \text{ mA}}{0.6 \text{ V}} = 3.5 \text{ mS}$
- $g_m = \frac{\Delta I_D}{\Delta V_{GS}} = \frac{1.8 \text{ mA}}{0.7 \text{ V}} = 2.57 \text{ mS}$
- $g_m = \frac{\Delta I_D}{\Delta V_{GS}} = \frac{1.5 \text{ mA}}{1.0 \text{ V}} = 1.5 \text{ mS}$

การหา g_m ด้วยวิธีวิเคราะห์สมการ

$$\begin{aligned} g_m &= \left. \frac{dI_D}{dV_{GS}} \right|_{Q\text{-pt.}} = \frac{d}{dV_{GS}} \left[I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \right] \\ &= I_{DSS} \frac{d}{dV_{GS}} \left(1 - \frac{V_{GS}}{V_P} \right)^2 = 2I_{DSS} \left[1 - \frac{V_{GS}}{V_P} \right] \frac{d}{dV_{GS}} \left(1 - \frac{V_{GS}}{V_P} \right) \\ &= 2I_{DSS} \left[1 - \frac{V_{GS}}{V_P} \right] \left[\frac{d}{dV_{GS}} (1) - \frac{1}{V_P} \frac{dV_{GS}}{dV_{GS}} \right] = 2I_{DSS} \left[1 - \frac{V_{GS}}{V_P} \right] \left[0 - \frac{1}{V_P} \right] \end{aligned}$$

$$g_m = \frac{2I_{DSS}}{|V_P|} \left[1 - \frac{V_{GS}}{V_P} \right]$$

หากนิยาม g_{m0} คือ ที่ $V_{GS} = 0 \text{ V}$

$$g_m = \frac{2I_{DSS}}{|V_P|} \left[1 - \frac{0}{V_P} \right]$$

ได้

$$g_{m0} = \frac{2I_{DSS}}{|V_P|}$$

และ

$$g_m = g_{m0} \left[1 - \frac{V_{GS}}{V_P} \right]$$

กราฟความสัมพันธ์ระหว่าง g_m และ V_{GS} คือกราฟเส้นตรง

5

อิมพีแดนซ์ของเจเฟต

อิมพีแดนซ์ขาเข้าของเจเฟต Z_i มีค่าสูงมาก

$$Z_i (\text{JFET}) = \infty \Omega$$

อิมพีแดนซ์ขาออกของเจเฟต Z_o มีค่าสูง คือ

$$Z_o (\text{JFET}) = r_d = \left. \frac{\Delta V_{DS}}{\Delta I_D} \right|_{V_{GS} = \text{constant}}$$

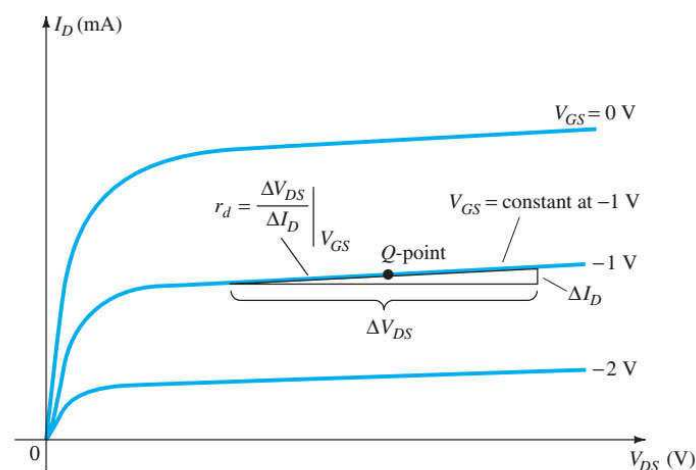


FIG. 8.6

Definition of r_d using JFET drain characteristics.

6

วงจรสมมูลไฟลับของเจเฟต

เขียนได้เป็น

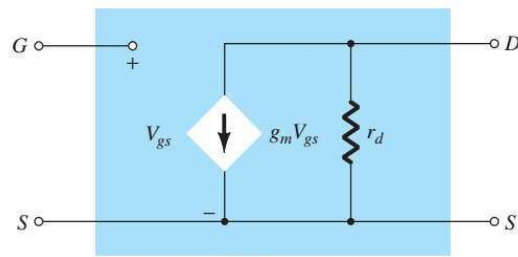


FIG. 8.8

JFET ac equivalent circuit.

วงจรนี้มีพารามิเตอร์อยู่สองตัว ซึ่งสามารถคำนวณได้หลังจากที่วิเคราะห์ไฟตรงของวงจร เพื่อหาค่าของ V_{GS} , V_{DS} และ I_D เสียก่อน

7

8.3 รูปแบบการไบแอสคงที่ (Fixed-Bias Configuration)

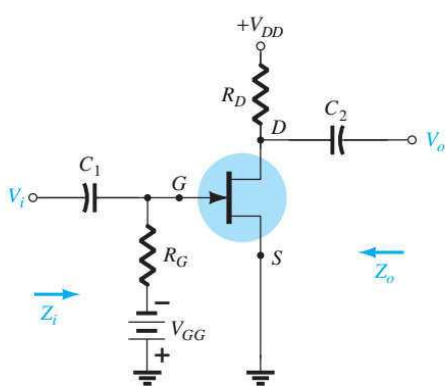


FIG. 8.10

JFET fixed-bias configuration.

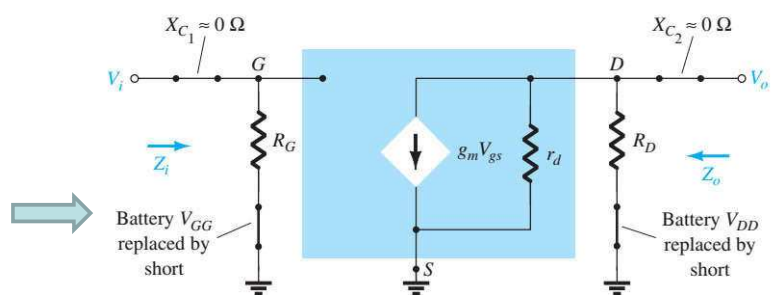


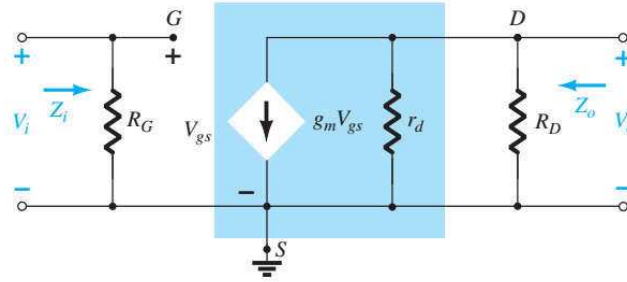
FIG. 8.11

Substituting the JFET ac equivalent circuit unit into the network of Fig. 8.10.

นิสิตควรลองวาดรูปขวามือด้วยตนเอง

8

รูปแบบการไบแอสคงที่



อิมพีแดนซ์ขาเข้า

$$Z_i = R_G$$

อิมพีแดนซ์ขาออก หาได้โดยกำหนดให้แรงดันขาเข้า V_i เป็นศูนย์

ได้

$$Z_o = R_D \parallel r_d$$

หรือ

$$Z_o \cong R_D$$

$$r_d \geq 10R_D$$

อัตราขยายแรงดัน A_v

$$A_v = \frac{V_o}{V_i} = -g_m(r_d \parallel R_D)$$

A_v ติดลบหมายความว่า? ⁹

EXAMPLE 8.7 The fixed-bias configuration of Example 7.1 had an operating point defined by $V_{GSQ} = -2$ V and $I_{DQ} = 5.625$ mA, with $I_{DSS} = 10$ mA and $V_P = -8$ V. The network is redrawn as Fig. 8.14 with an applied signal V_i . The value of y_{os} is provided as $40 \mu\text{S}$.

- Determine g_m .
- Find r_d .
- Determine Z_i .
- Calculate Z_o .
- Determine the voltage gain A_v .
- Determine A_v ignoring the effects of r_d .

$$y_{os} = 1/r_d$$

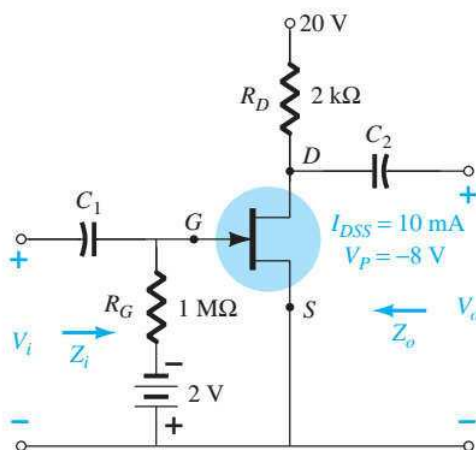


FIG. 8.14

JFET configuration for Example 8.7.

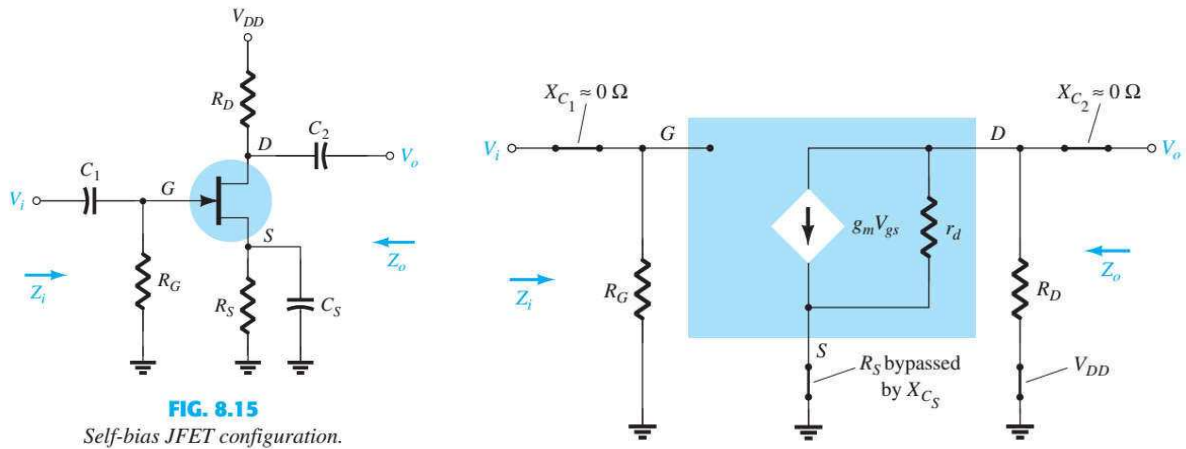
Solution:

- $g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(10 \text{ mA})}{8 \text{ V}} = 2.5 \text{ mS}$
 $g_m = g_{m0} \left(1 - \frac{V_{GSQ}}{V_P} \right) = 2.5 \text{ mS} \left(1 - \frac{(-2 \text{ V})}{(-8 \text{ V})} \right) = 1.88 \text{ mS}$
- $r_d = \frac{1}{y_{os}} = \frac{1}{40 \mu\text{S}} = 25 \text{ k}\Omega$
- $Z_i = R_G = 1 \text{ M}\Omega$
- $Z_o = R_D \parallel r_d = 2 \text{ k}\Omega \parallel 25 \text{ k}\Omega = 1.85 \text{ k}\Omega$
- $A_v = -g_m(R_D \parallel r_d) = -(1.88 \text{ mS})(1.85 \text{ k}\Omega) = -3.48$
- $A_v = -g_m R_D = -(1.88 \text{ mS})(2 \text{ k}\Omega) = -3.76$

As demonstrated in part (f), a ratio of $25 \text{ k}\Omega : 2 \text{ k}\Omega = 12.5:1$ between r_d and R_D results in a difference of 8% in the solution.

8.4 รูปแบบการไบแอสตัวเอง (Self-Bias Configuration)

- แบบมีการลัด R_S

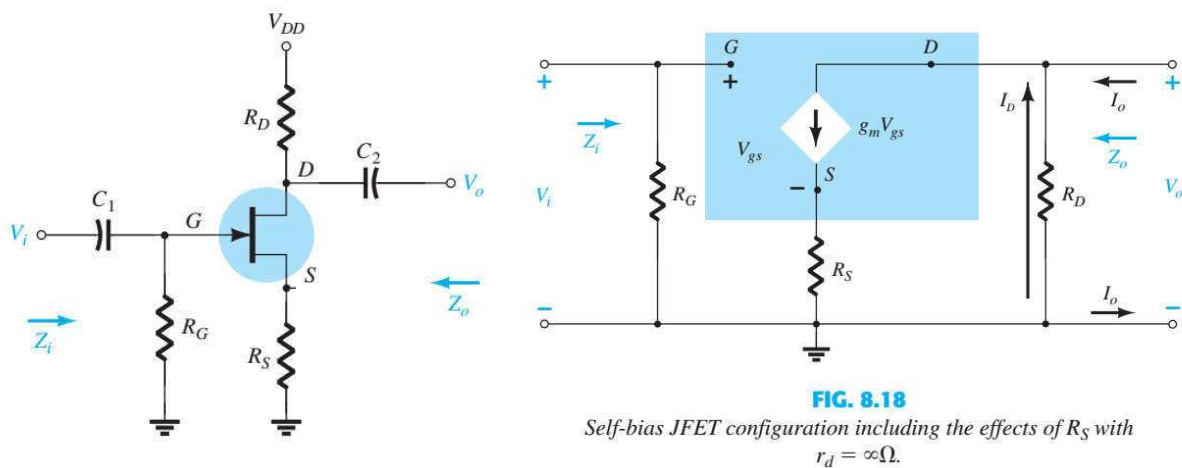


ผล = ได้ลักษณะวงจรเหมือนกับรูปแบบการไบแอสคงที่

11

8.4 รูปแบบการไบแอสตัวเอง (Self-Bias Configuration)

- แบบไม่มีการลัด R_S



เพื่อความสะดวกในการวิเคราะห์ จะสมมติให้ $r_d = \infty$

ได้ $Z_i = R_G$ $Z_o = \frac{V_o}{I_o} = R_D$ และ $A_v = \frac{V_o}{V_i} \cong -\frac{g_m R_D}{1 + g_m R_S}$

กรณีมีค่า r_d

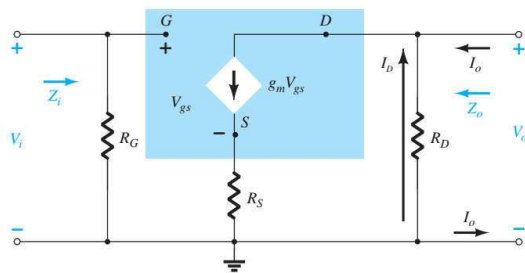


FIG. 8.18

Self-bias JFET configuration including the effects of R_S with $r_d = \infty$.

$$Z_i = R_G$$

$$Z_o = \frac{\left[1 + g_m R_S + \frac{R_S}{r_d} \right]}{\left[1 + g_m R_S + \frac{R_S}{r_d} + \frac{R_D}{r_d} \right]} R_D$$

$$A_v = \frac{V_o}{V_i} = - \frac{g_m R_D}{1 + g_m R_S + \frac{R_D + R_S}{r_d}}$$

13

EXAMPLE 8.8 The self-bias configuration of Example 7.2 has an operating point defined by $V_{GS_Q} = -2.6$ V and $I_{D_Q} = 2.6$ mA, with $I_{DSS} = 8$ mA and $V_P = -6$ V. The network is redrawn as Fig. 8.20 with an applied signal V_i . The value of g_{os} is given as $20 \mu\text{S}$.

- Determine g_m .
- Find r_d .
- Find Z_i .
- Calculate Z_o with and without the effects of r_d . Compare the results.
- Calculate A_v with and without the effects of r_d . Compare the results.

$$g_{os} = 1/r_d$$

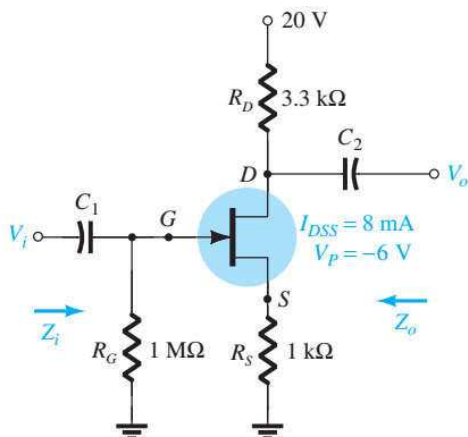


FIG. 8.20

Network for Example 8.8.

14

Solution:

$$\text{a. } g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(8 \text{ mA})}{6 \text{ V}} = 2.67 \text{ mS}$$

$$g_m = g_{m0} \left(1 - \frac{V_{GSQ}}{V_P} \right) = 2.67 \text{ mS} \left(1 - \frac{(-2.6 \text{ V})}{(-6 \text{ V})} \right) = 1.51 \text{ mS}$$

$$\text{b. } r_d = \frac{1}{y_{os}} = \frac{1}{20 \mu\text{S}} = 50 \text{ k}\Omega$$

$$\text{c. } Z_i = R_G = 1 \text{ M}\Omega$$

d. With r_d ,

$$r_d = 50 \text{ k}\Omega > 10R_D = 33 \text{ k}\Omega$$

Therefore,

$$Z_o = R_D = 3.3 \text{ k}\Omega$$

If $r_d = \infty \Omega$,

$$Z_o = R_D = 3.3 \text{ k}\Omega$$

e. With r_d ,

$$A_v = \frac{-g_m R_D}{1 + g_m R_S + \frac{R_D + R_S}{r_d}} = \frac{-(1.51 \text{ mS})(3.3 \text{ k}\Omega)}{1 + (1.51 \text{ mS})(1 \text{ k}\Omega) + \frac{3.3 \text{ k}\Omega + 1 \text{ k}\Omega}{50 \text{ k}\Omega}}$$

$$= -1.92$$

With $r_d = \infty \Omega$ (open-circuit equivalence),

$$A_v = \frac{-g_m R_D}{1 + g_m R_S} = \frac{-(1.51 \text{ mS})(3.3 \text{ k}\Omega)}{1 + (1.51 \text{ mS})(1 \text{ k}\Omega)} = -1.98$$

15

8.5 รูปแบบการแบ่งแรงดัน (Voltage-Divider Configuration)

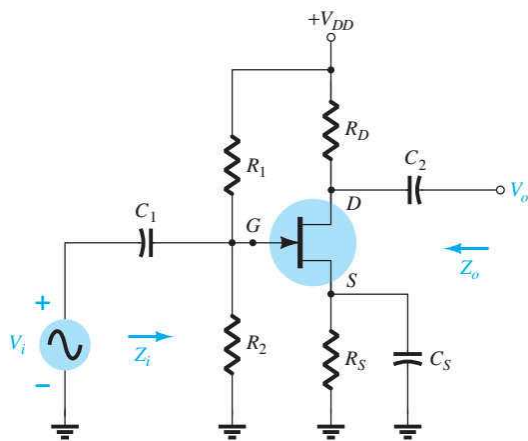


FIG. 8.21

JFET voltage-divider configuration.

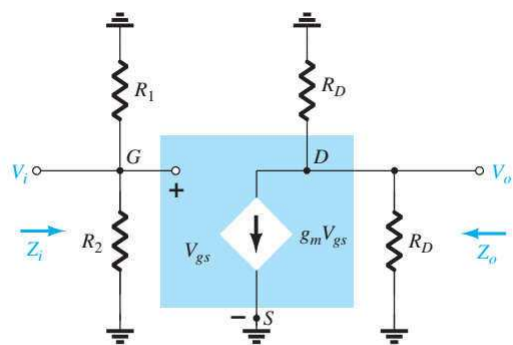


FIG. 8.22

Network of Fig. 8.21 under ac conditions.

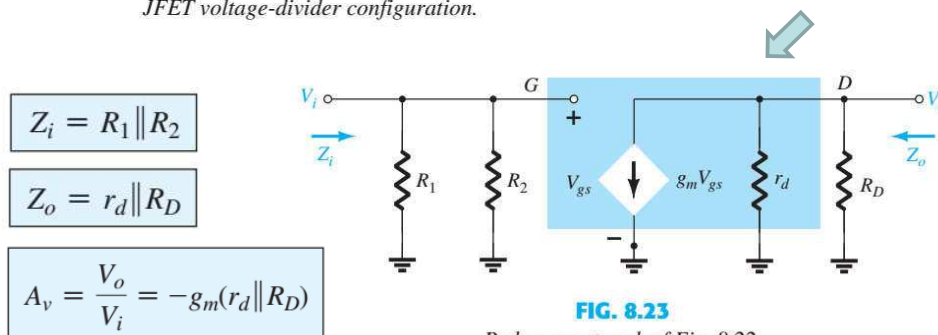


FIG. 8.23

Redrawn network of Fig. 8.22.

16

8.6 รูปแบบเกตร่วม (Common-Gate Configuration)

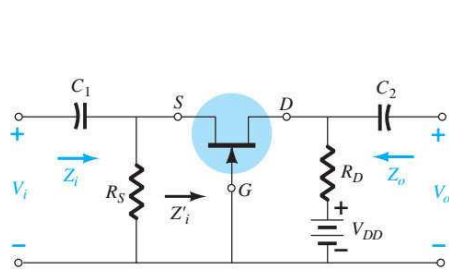


FIG. 8.24

JFET common-gate configuration.

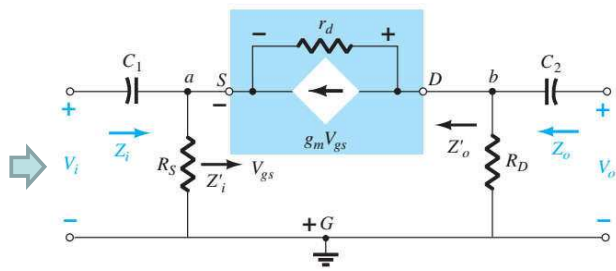


FIG. 8.25

Network of Fig. 8.24 following substitution of JFET ac equivalent model.

8.7 รูปแบบตามซอส (เดรนร่วม) (Source-Follower (Common-Drain) Configuration)

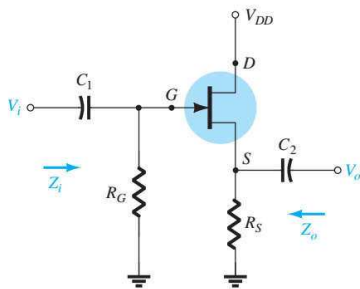


FIG. 8.28

JFET source-follower configuration.

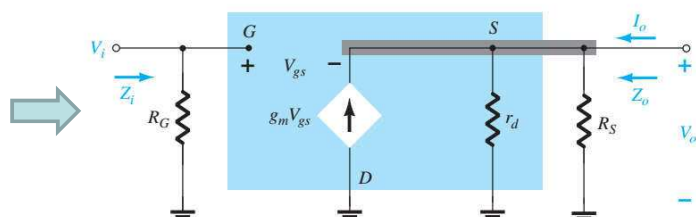


FIG. 8.30

8.8 มอสเฟตชนิดดีพลีชัน (Depletion-Type MOSFETs)

วงจรสมมูลและการวิเคราะห์ เหมือนเจเฟตทุกประการ

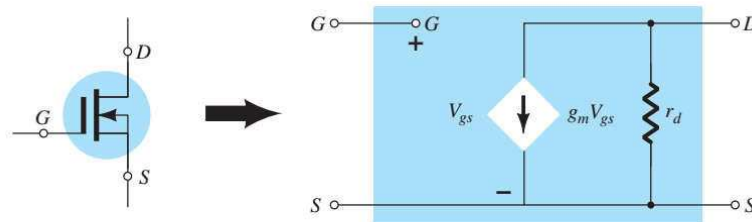


FIG. 8.33

D-MOSFET ac equivalent model.

ข้อแตกต่างมีเพียง สำหรับดีมอสเฟต ค่า V_{GS} สามารถเป็นค่าลบได้ สำหรับกรณีพี
แชนแนล ดังนั้น g_m อาจจะมีค่ามากกว่า g_{m0} ได้

8.13 ตารางสรุป

TABLE 8.1
 Z_i , Z_o , and A_v for various FET configurations

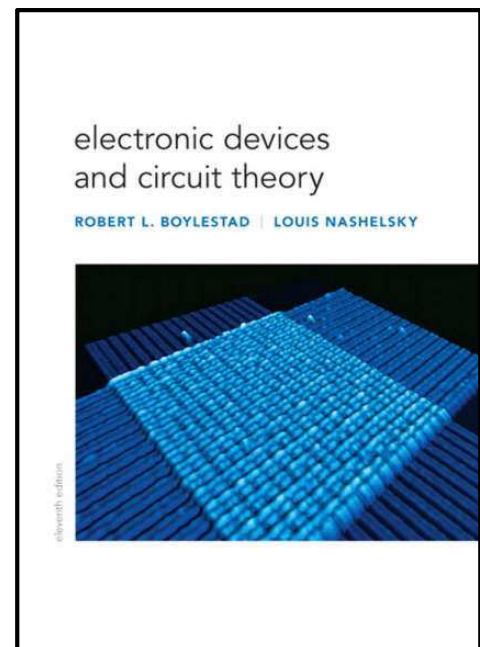
Configuration	Z_i	Z_o	$A_v = \frac{V_o}{V_i}$
Fixed-bias [JFET or D-MOSFET] 	High (10 M Ω) $= R_G$	Medium (2 k Ω) $= R_D \parallel r_d$ $\approx R_D$ ($r_d \gg 10 R_D$)	Medium (~ 10) $= -g_m(r_d \parallel R_D)$ $\approx -g_m R_D$ ($r_d \gg 10 R_D$)
Self-bias bypassed R_S [JFET or D-MOSFET] 	High (10 M Ω) $= R_G$	Medium (2 k Ω) $= R_D \parallel r_d$ $\approx R_D$ ($r_d \gg 10 R_D$)	Medium (~ 10) $= -g_m(r_d \parallel R_D)$ $\approx -g_m R_D$ ($r_d \gg 10 R_D$)
Self-bias unbypassed R_S [JFET or D-MOSFET] 	High (10 M Ω) $= R_G$	$= \left[\frac{1 + g_m R_S + \frac{R_S}{r_d}}{1 + g_m R_S + \frac{R_S}{r_d} + \frac{R_D}{r_d}} \right] R_D$ $\approx R_D$ ($r_d \gg 10 R_D$ or $r_d \approx \infty$)	Low (~ 2) $= \frac{g_m R_D}{1 + g_m R_S + \frac{R_D}{r_d}}$ $\approx \frac{g_m R_D}{1 + g_m R_S}$ ($r_d \gg 10(R_D + R_S)$)
Voltage-divider bias [JFET or D-MOSFET] 	High (10 M Ω) $= R_1 \parallel R_2$	Medium (2 k Ω) $= R_D \parallel r_d$ $\approx R_D$ ($r_d \gg 10 R_D$)	Medium (~ 10) $= -g_m(r_d \parallel R_D)$ $\approx -g_m R_D$ ($r_d \gg 10 R_D$)

19

เอกสารอ้างอิง

เนื้อหาหลักนำมาจากเอกสารอ้างอิง
หัวข้อ

8. FET Amplifiers
 - 8.1 Introduction
 - 8.2 JFET Small-Signal Model
 - 8.3 Fixed-Bias Configuration
 - 8.4 Self-Bias Configuration
 - 8.5 Voltage-Divider Configuration
 - 8.6 Common-Gate Configuration
 - 8.7 Source-Follow (Common-Drain) Configuration
 - 8.8 Depletion-Type MOSFETs
 - 8.13 Summary Table





บทที่ 9

วงจรขยายเชิงดำเนินการและการประยุกต์ใช้ (Operational Amplifiers and Applications)

วิชา 303242 อิเล็กทรอนิกส์สำหรับวิศวกรรมคอมพิวเตอร์
(Electronics for Computer Engineering)

สุวิทย์ กิระวิทยา

ภาควิชาวิศวกรรมไฟฟ้าและคอมพิวเตอร์ มหาวิทยาลัยนเรศวร

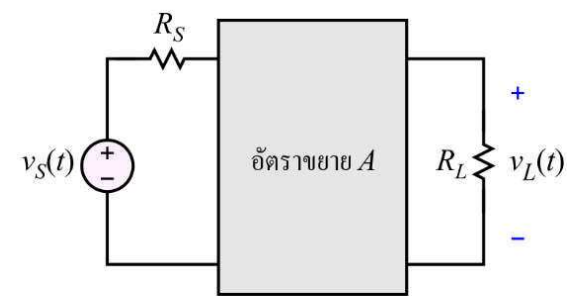
1

วัตถุประสงค์การเรียนรู้

- สามารถบรรยายวงจขยายความต่างได้
- สามารถอธิบายพื้นฐานของวงจรขยายเชิงดำเนินการได้
- สามารถวิเคราะห์ วงจรที่ใช้โอปแอมป์ โดยใช้แบบจำลองโอปแอมป์ในอุดมคติ
- สามารถวิเคราะห์และออกแบบวงจรขยายทั้งแบบกลับเฟสและไม่กลับเฟสได้
- สามารถอธิบายคุณสมบัติของวงจรโอปแอมป์ต่าง ๆ ได้แก่ วงจรบัฟเฟอร์
วงจรขยายแบบรวม วงจรขยายความต่าง วงจรขยายการวัด

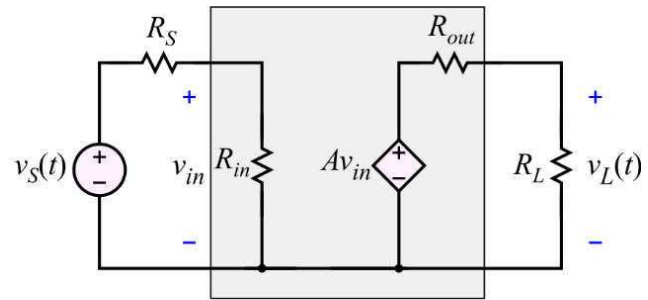
วงจรขยายในอุดมคติ (Ideal Amplifier)

$$v_L(t) = A \cdot v_S(t)$$



แหล่งกำเนิดสัญญาณ วงจรขยาย โหลด

แบบจำลองทางวงจรของ
ระบบที่มีการขยายสัญญาณ



วงจรสมมูลของ
วงจรขยาย

วงจรสมมูลของวงจรขยายสัญญาณแรงดัน

3

วงจรขยายในอุดมคติ (Ideal Amplifier)

$$A_v = \frac{v_L}{v_S} = \frac{R_{in}}{R_S + R_{in}} \frac{R_L}{R_{out} + R_L} A$$

R_{in} มีค่ามาก ๆ และ R_{out} มีค่าน้อยมาก จะได้ว่า

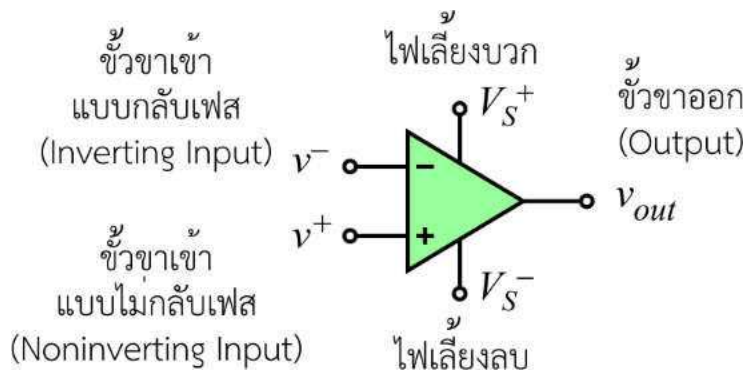
$$v_L(t) = A \cdot v_S(t)$$

ดังนั้น เรากล่าวได้ว่า วงจรขยายแรงดันในอุดมคติ ควรมี ค่าความต้านทานขาเข้าสูง และ ค่าความต้านทานขาออกต่ำ ซึ่งออปแอมป์เป็นวงจรที่ถูกออกแบบมาให้มีลักษณะสมบัตินี้

4

ออปแอมป์

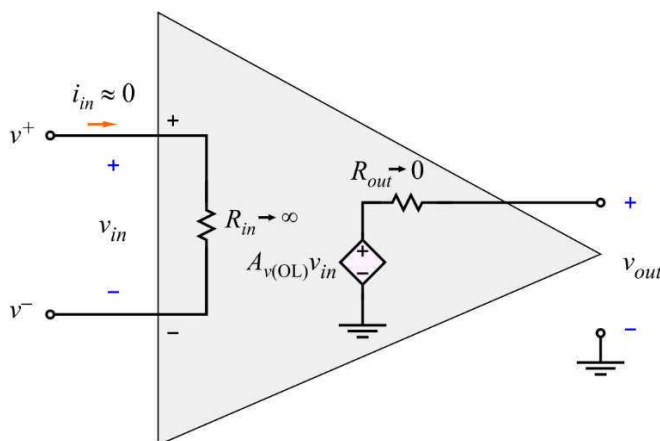
คำว่าออปแอมป์ มาจากภาษาอังกฤษ คือ Op-Amp ซึ่งเป็นตัวย่อของคำว่า Operational Amplifier ที่มีการแปลเป็นภาษาไทยว่า คือ “วงจรขยายเชิงดำเนินการ” ดังนั้นหน้าที่หลักของออปแอมป์ คือ การขยายโดยเราอาจกล่าวว่า ออปแอมป์ คือ วงจรรวม (Integrated Circuit: IC) ชนิดหนึ่ง ที่ประกอบด้วยอุปกรณ์ทางไฟฟ้าและอิเล็กทรอนิกส์จำนวนมาก



สัญลักษณ์ทางวงจรของออปแอมป์และชื่อเรียกขาต่าง ๆ

5

การวิเคราะห์วงจรออปแอมป์



แบบจำลองของออปแอมป์

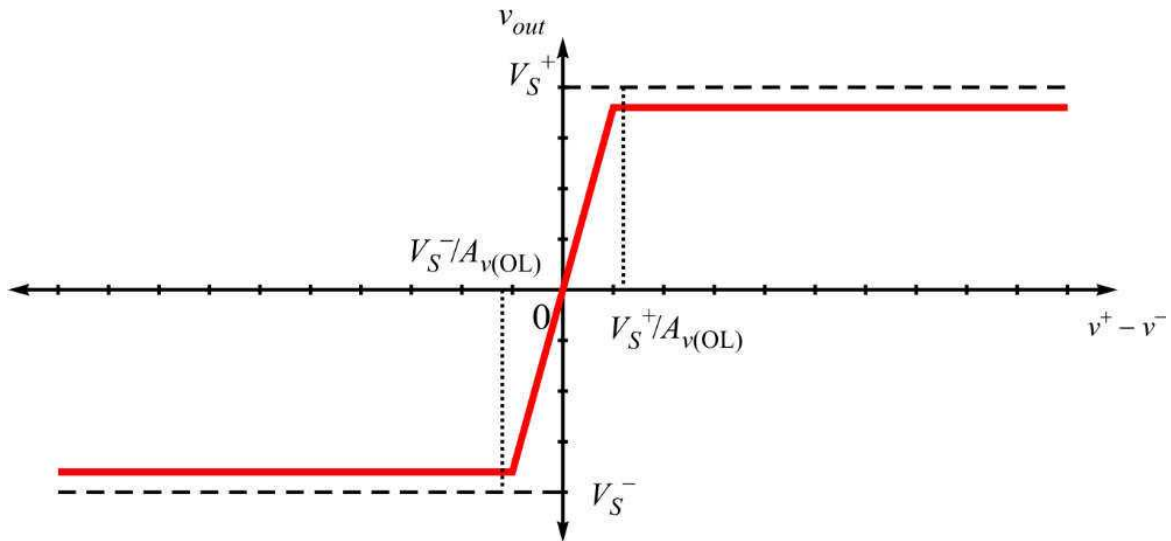
- ให้ $v^+ = v^-$ แต่ไม่มีกระแสไหลผ่านกัน ซึ่งโดยมากขาใดขาหนึ่งของออปแอมป์จะต่ออยู่กับกราวด์และจะทำให้อีกขาหนึ่งเป็นกราวด์เสมือน (virtual ground) คือ มีศักย์ไฟฟ้า (แรงดัน) เป็นศูนย์แต่กระแสไหลผ่านไม่ได้

- ให้ใช้ KCL ที่ขั้วขาเข้าของออปแอมป์

$A_{v(OL)}$ คืออัตราขยายวงรอบเปิดของออปแอมป์ ปกติมีค่าสูงมาก (1000-100000)

6

ลักษณะการตอบสนองของออปแอมป์



ลักษณะความสัมพันธ์ของแรงดันขาเข้า-แรงดันขาออกของออปแอมป์

7

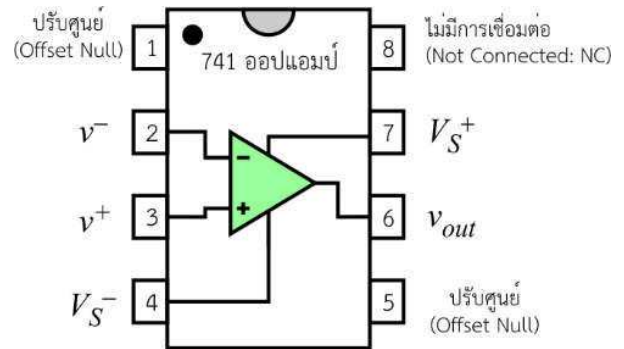
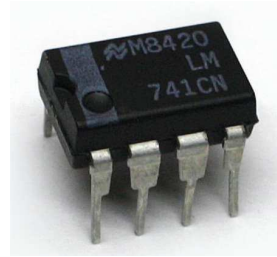
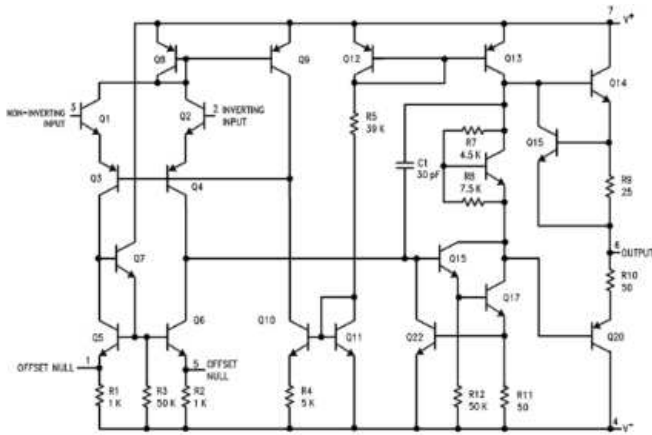
ตัวอย่างที่ 1 ขนาดสัญญาณขาเข้าที่ทำให้สัญญาณขาออกอิ่มตัว

ในการใช้งานออปแอมป์ แบบวงรอบเปิด จงประมาณค่าขนาดสัญญาณขาเข้าที่ทำให้สัญญาณขาออกอิ่มตัว โดยที่ อัตราขยายแรงดันวงรอบเปิดของออปแอมป์ มีค่าเท่ากับ 10^5 และ แรงดันไฟเลี้ยงที่จ่ายให้กับออปแอมป์ คือ $\pm 15 \text{ V}$

วิธีทำ จากรูปในหน้าที่แล้วจะเห็นว่า เมื่อจ่ายแรงดันขาเข้า ($v^+ - v^-$) เท่ากับ $V_S^+/A_{v(OL)}$ แล้วจะทำให้สัญญาณขาออกอิ่มตัว ดังนั้นจากโจทย์ จะได้ว่า สัญญาณขาออกอิ่มตัว เมื่อสัญญาณขาเข้า มีค่าเท่ากับ

$$v^+ - v^- = \frac{V_S^+}{A_{v(OL)}} = \frac{15}{10^5} = 150 \quad \mu\text{V}$$

วงจรภายใน และ ลักษณะตัวของออปแอมป์

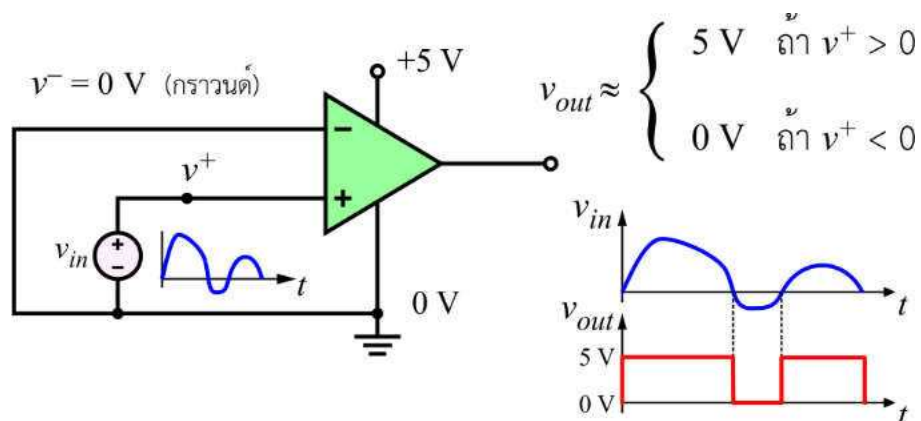
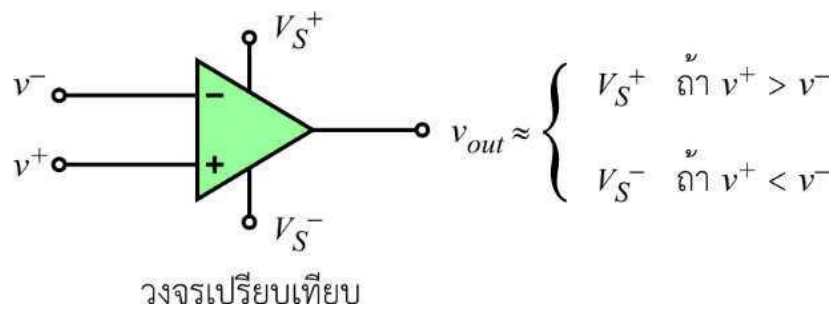


วงจรภายในของออปแอมป์เบอร์ LM741

ลักษณะตัวไอซี และ การวางขั้วต่อ

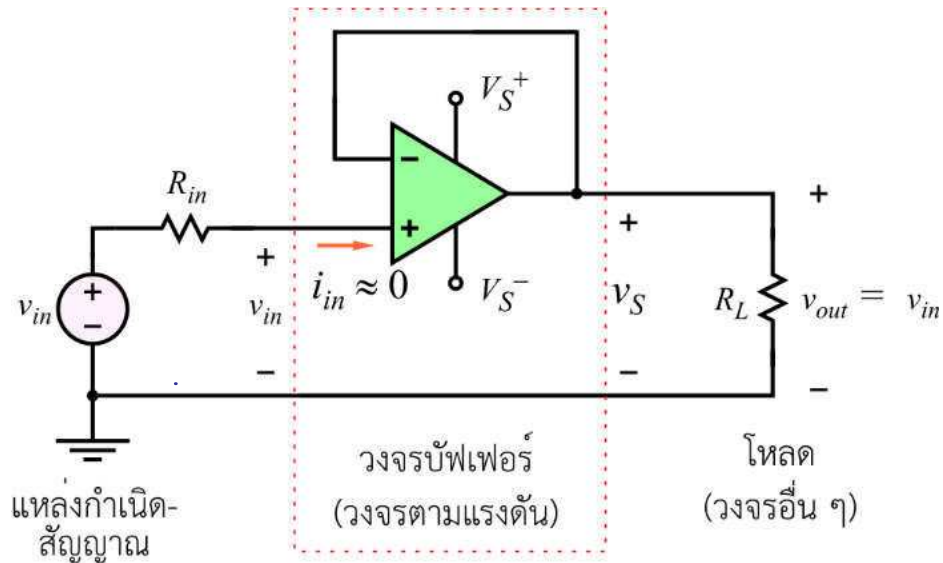
9

วงจรเปรียบเทียบแรงดัน (Voltage Comparator)



10

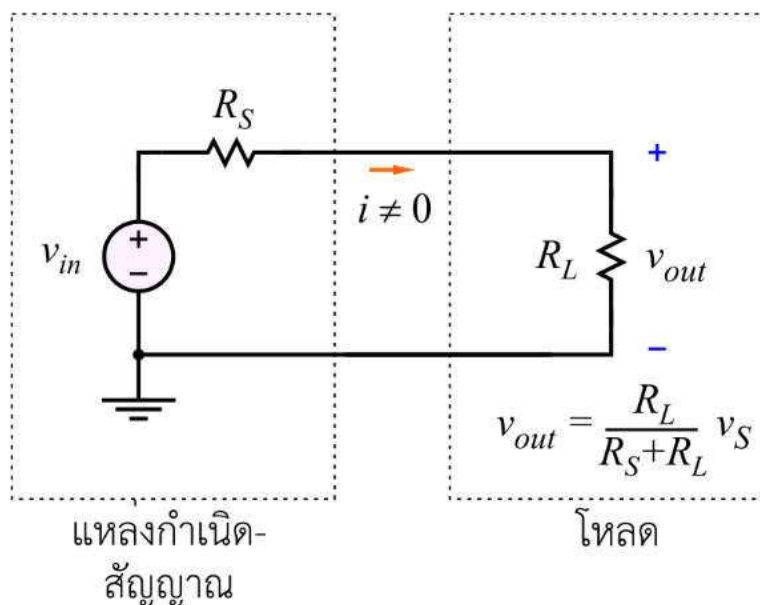
วงจรบัฟเฟอร์ หรือ วงจรตามแรงดัน



วงจรบัฟเฟอร์ หรือ วงจรตามแรงดัน โดยการเชื่อมต่อขั้วขาเข้าแบบกลับเฟส กับ ขั้วขาออกของออปแอมป์ จะทำให้แรงดันที่ขั้วขาออกเท่ากับแรงดันของ แหล่งกำเนิดสัญญาณ $v_{out} = v_{in}$ เสมอ

11

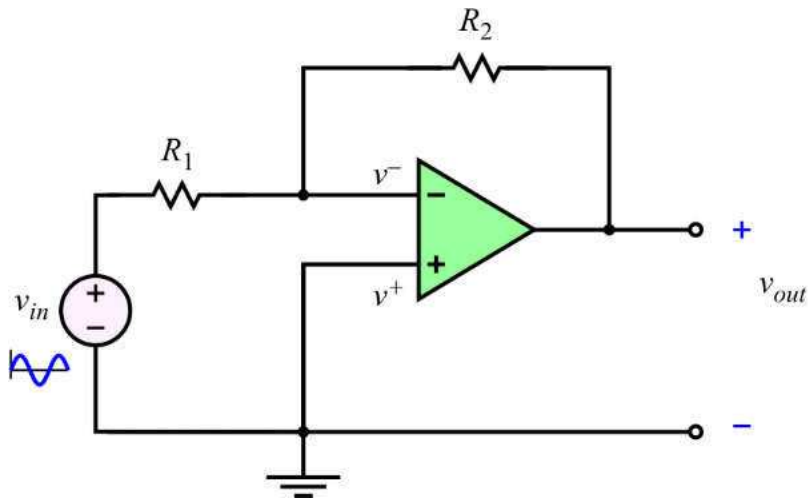
วงจรบัฟเฟอร์ หรือ วงจรตามแรงดัน



วงจรที่ไม่มีบัฟเฟอร์ โหลดจะได้รับสัญญาณ แรงดันลดลงตามสัดส่วนของความต้านทาน

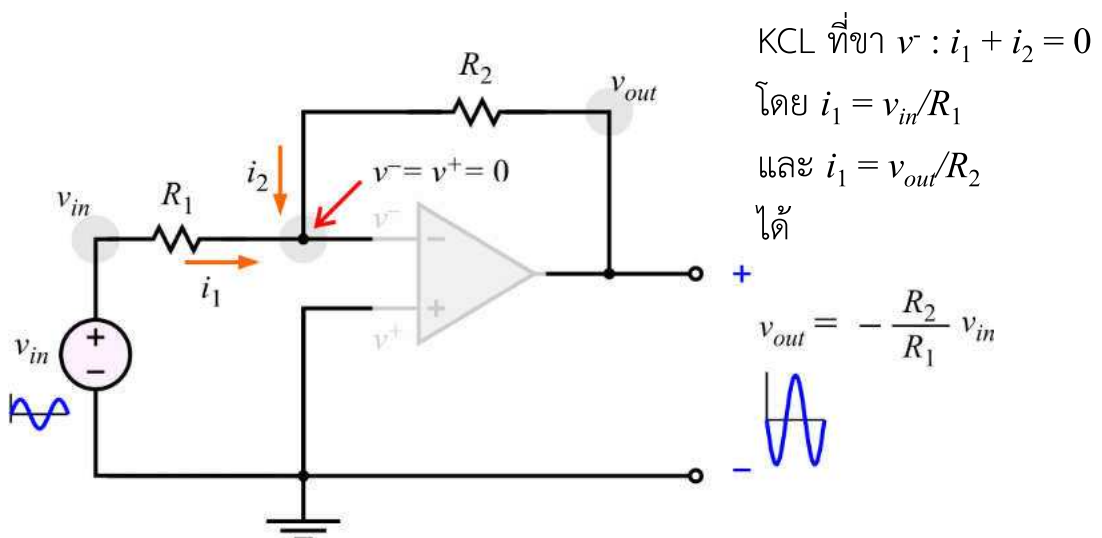
12

วงจรขยายแบบกลับเฟส (Inverting Amplifier)



13

วงจรขยายแบบกลับเฟส (Inverting Amplifier)

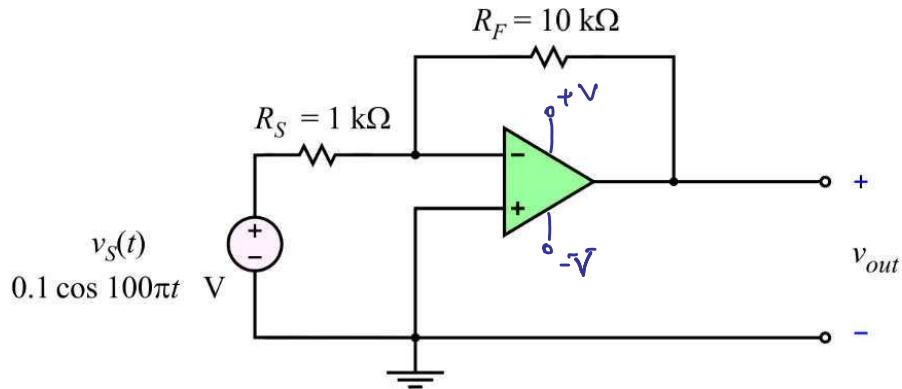


$$A = \frac{v_{out}}{v_s} = -\frac{R_F}{R_S}$$

14

ตัวอย่างที่ 2 ลักษณะสัญญาณที่กลับเฟส

จงหาอัตราขยายแรงดัน และ สัญญาณแรงดันขาออก จากวงจรขยายแบบกลับเฟส ที่แสดงในรูป โดยสัญญาณขาเข้า คือ $v_S(t) = 0.1 \cos 100\pi t$ V



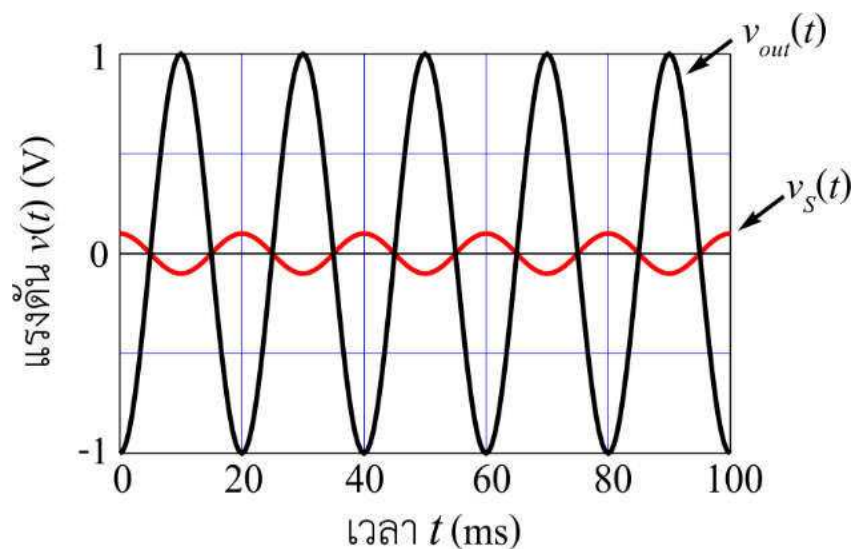
วิธีทำ จากสูตร จะได้ว่า อัตราขยายแรงดัน คือ $A = \frac{v_{out}}{v_S} = -\frac{R_F}{R_S} = -\frac{10}{1} = -10$

15

ตัวอย่างที่ 2

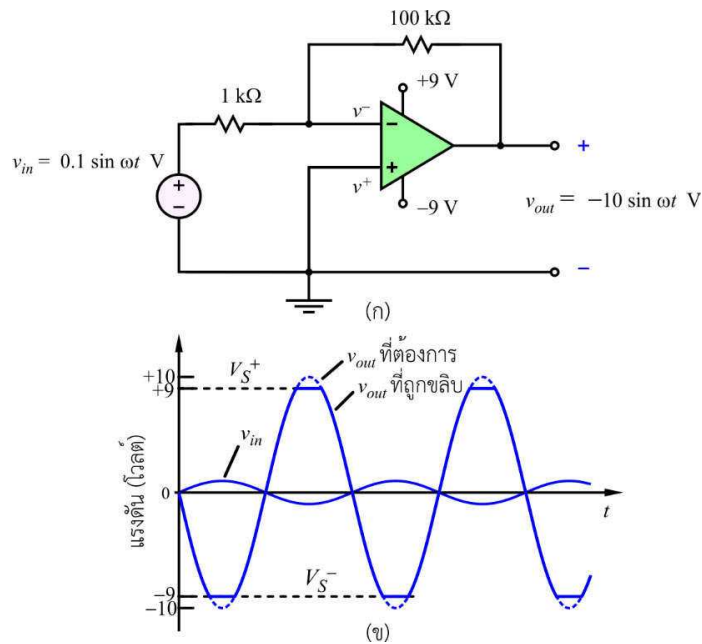
โดย สัญญาณขาเข้าคือ $v_S(t) = 0.1 \cos 100\pi t$ V ดังนั้น จะได้ว่า สัญญาณขาออก คือ

$$v_{out}(t) = -10 \times v_S(t) = -10 \times 0.1 \cos 100\pi t = -\cos 100\pi t \text{ V}$$



16

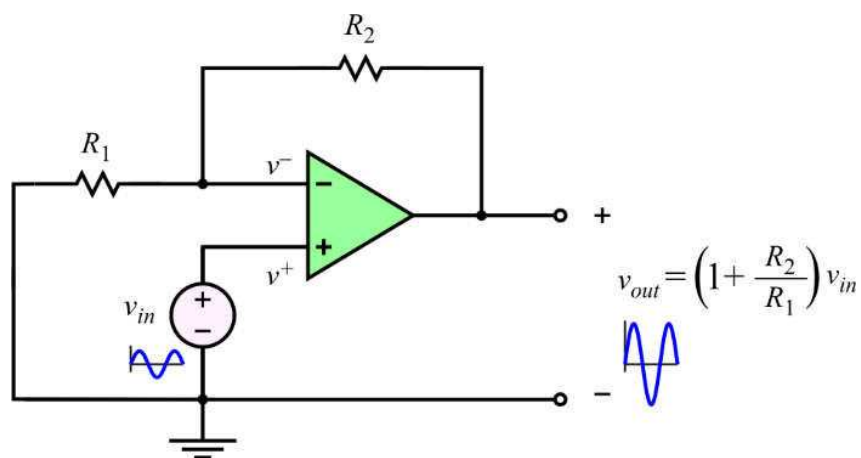
การถูกขลิบของสัญญาณ



ตัวอย่างวงจรขยายแบบกลับเฟส ที่มีค่าอัตราขยายแรงดันเท่ากับ 100 และมีสัญญาณขาเข้ามีขนาดสูงสุด 0.1 โวลต์ (ข) ลักษณะสัญญาณขาเข้า v_{in} และ สัญญาณขาออก v_{out} ที่ต้องการและที่ถูกขลิบ

17

วงจรขยายแบบไม่กลับเฟส (Non-Inverting Amplifier)

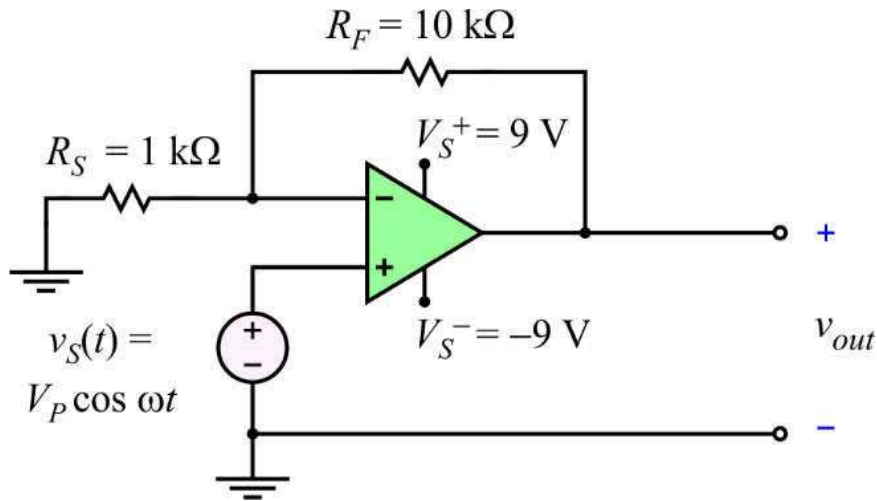


$$A = \frac{v_{out}}{v_S} = 1 + \frac{R_F}{R_S}$$

18

ตัวอย่างที่ 3 วงจรขยายแบบไม่กลับเฟส

วงจรขยายแบบไม่กลับเฟสในรูป ใช้ตัวต้านทาน $R_S = 1 \text{ k}\Omega$ และ $R_F = 10 \text{ k}\Omega$ และ จ่ายไฟ $\pm 9 \text{ V}$ เลี้ยงอปแอมป์ จงหาขนาดต่ำที่สุดของสัญญาณขาเข้า ที่ทำให้สัญญาณขาออกอิ่มตัว



19

ตัวอย่างที่ 3 วงจรขยายแบบไม่กลับเฟส

วิธีทำ จากโจทย์จะได้ว่า อัตราขยายสัญญาณ คือ

$$A = \frac{v_{out}}{v_S} = 1 + \frac{R_F}{R_S} = 1 + \frac{10}{1} = 11$$

ดังนั้น

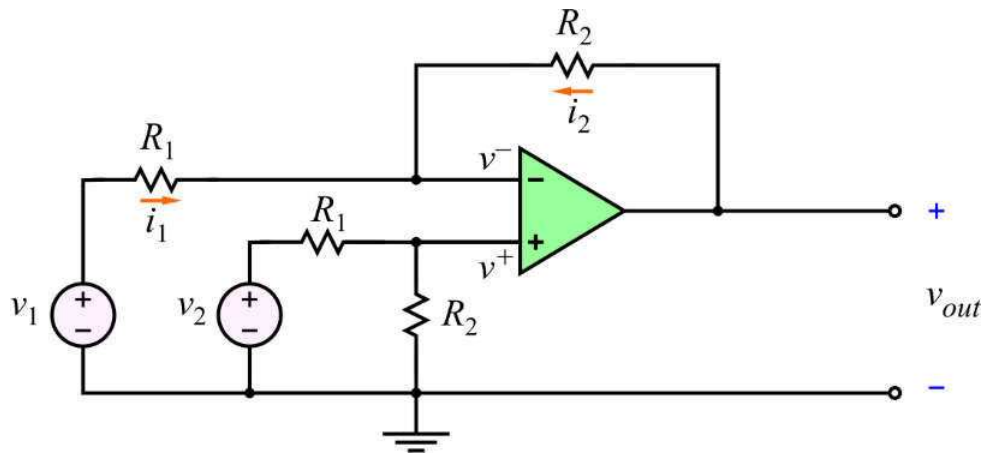
$$v_{out}(t) = A \cdot v_S(t) = 11 \cdot V_P \cos \omega t$$

สัญญาณเริ่มอิ่มตัวเมื่อ $v_{out,max} = 11V_P = V_S^+ = 9 \text{ V}$ ดังนั้นขนาดต่ำที่สุดของสัญญาณขาเข้า ที่ทำให้สัญญาณขาออกอิ่มตัวคือ

$$V_P = 9/11 = 0.818 \text{ V}$$

20

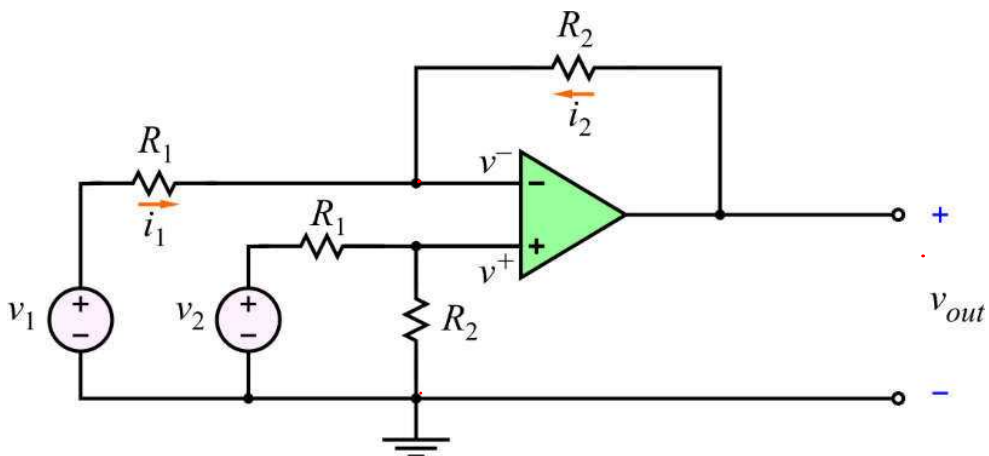
วงจรขยายแบบรวม (Summing Amplifier)



$$v_{out} = - \left(\frac{R_F}{R_1} v_{in1} + \frac{R_F}{R_2} v_{in2} \right)$$

21

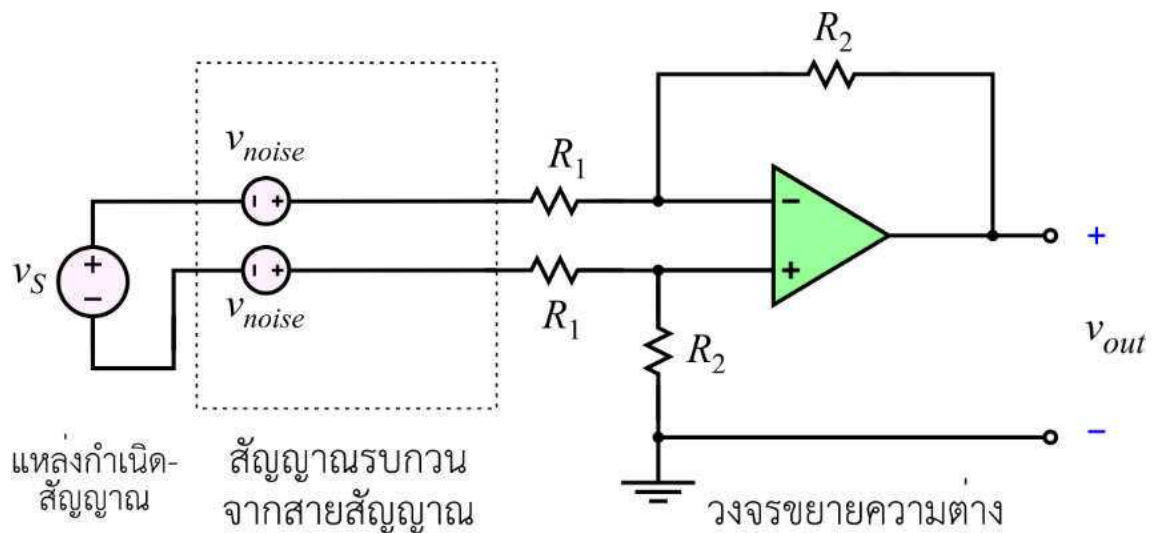
วงจรขยายความต่าง (Differential Amplifier)



$$v_{out} = \frac{R_2}{R_1} (v_2 - v_1)$$

22

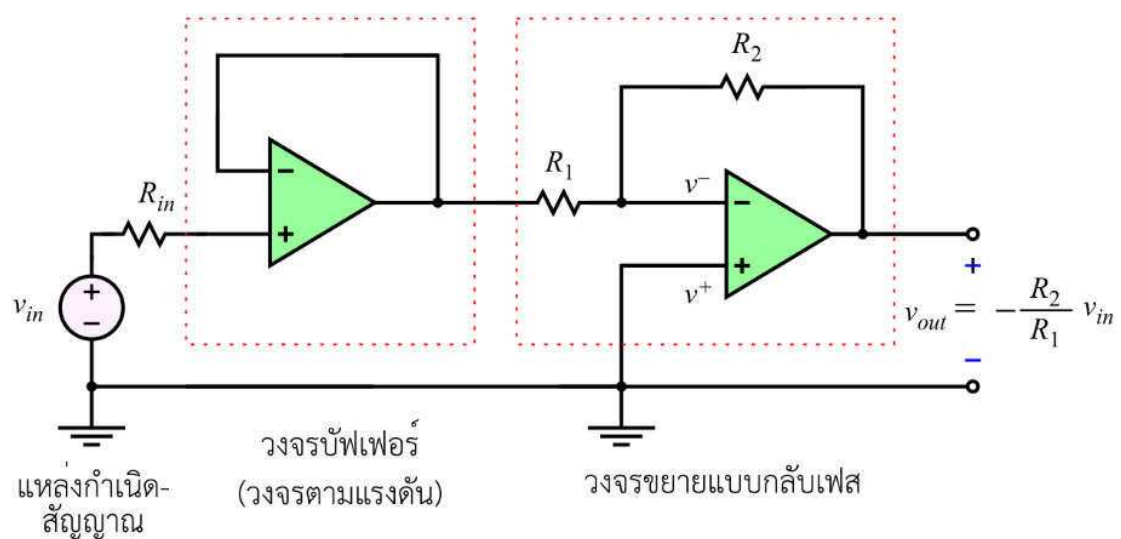
ตัวอย่างการใช้งานวงจรขยายความต่าง



ใช้กำจัดสัญญาณรบกวน (noise) ที่ถูกเหนี่ยวนำให้เกิดขึ้นในสายสัญญาณ

23

วงจรออปแอมป์ที่ใช้ในทางปฏิบัติ

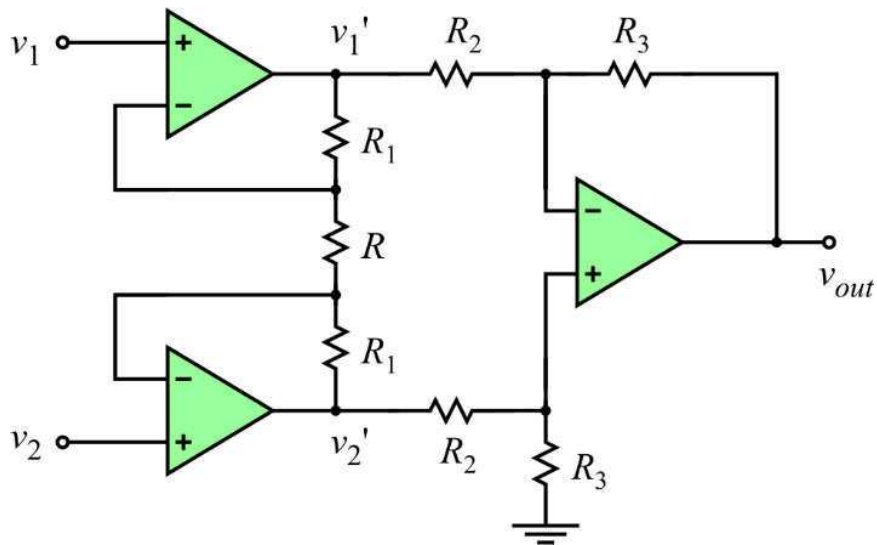


เซนเซอร์ต่าง ๆ

24

วงจรขยายการวัด (Instrumentation Amplifier)

ประกอบด้วย บัฟเฟอร์ และ วงจรขยายความต่าง



$$v_{out} = \frac{R_3}{R_2} \left(1 + \frac{2R_1}{R} \right) (v_2 - v_1)$$

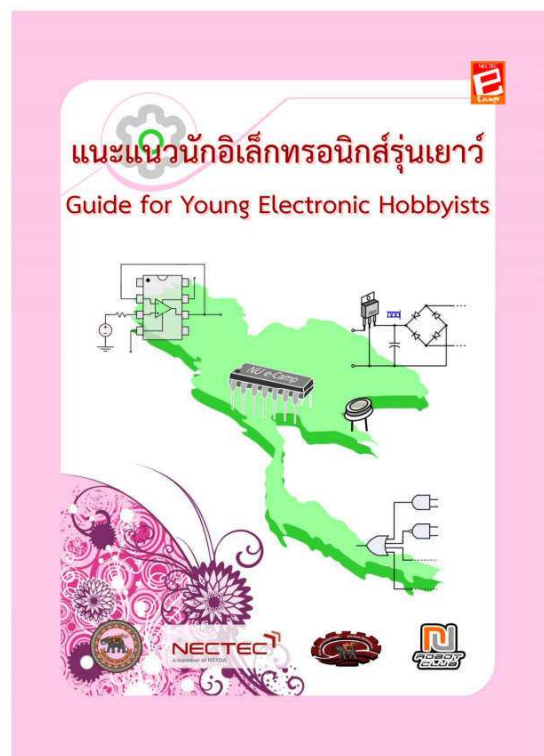
25

เอกสารอ้างอิง

เนื้อหาหลักนำมาจากเอกสารอ้างอิง

หัวข้อ

4.4 วงจรออปแอมป์



26