

# Verilog HDL 与FPGA设计基础

- 西北工业大学计算机学院
- 韩 兵
- Email: [hanbing@nwpu.edu.cn](mailto:hanbing@nwpu.edu.cn)

# 课程介绍

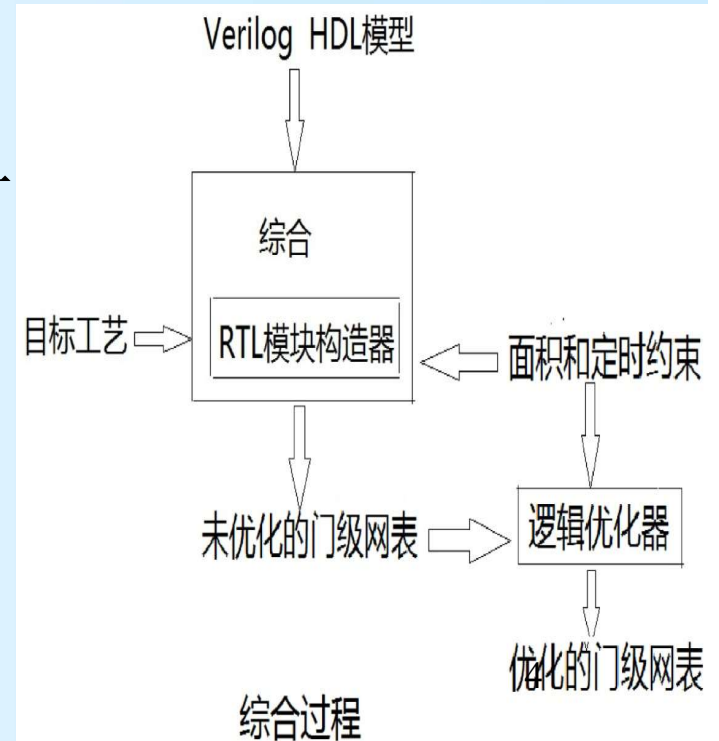
- 先修课程：  
C语言程序设计、  
数字电路
- 课程简介：  
学习电子设计自动化(EDA)和可编程逻辑器件(PLD)设计的关键技术。以硬件描述语言(HDL)为线索，结合数字逻辑设计、现场可编程逻辑门阵列(FPGA)、EDA开发工具等的介绍，掌握以Verilog HDL、FPGA为基础的业界主流设计 TOP DOWN设计方法和流程。
- 主要内容：  
数字系统设计方法的演变过程、Verilog语言要素、模块、数据流建模、行为级建模、结构建模、混合设计、测试验证程序编写、设计模拟、仿真验证、设计实例、可编程逻辑器件介绍等。  
Modelsim、Synplify、QuartusII等EDA开发工具使用。

# 参考书

- Verilog HDL入门(第3版), (美)巴斯克 著,夏宇闻译, 北航出版  
Verilog\_HDL数字设计与综合 (第二版) (本科教学版),  
(美) 帕尔尼卡著, 夏宇闻 译,电子工业出版社, 2015年
- EDA技术及应用—Verilog HDL版(第四版), 谭会生, 西电出版社,  
2016年 (Altera、常用FPGA和EDA工具)  
数字逻辑与EDA设计,丁磊, 西电 (数字基础、Verilog HDL、FPGA)
- Verilog数字系统设计教程 (第3版), 夏宇闻 北航出版  
Verilog HDL数字设计教程 , 贺敬凯, 西电出版社 (系统、Verilog)
- Verilog HDL与FPGA数字系统设计, 罗杰, 机械工业出版社、
- 基于Verilog的现代数字系统设计, 刘桂华, 西电 (Xilinx FPGA)  
Xilinx FPGA设计与实践教程 , 赵吉成 , 西电 (Verilog HDL)
-

# 专用术语

- 逻辑综合：  
在标准单元库和特定的约束基础上，  
把设计的高层次描述（本课特指RTL级HDL代码）  
转化成为优化门级表达的过程（映射到具体工艺上），  
产生门级网表。
- 门级网表(Net List)：  
使用基础的逻辑门来描述数字电路连接情况的描述方式。  
由于逻辑门阵列有着连线表一样的排列外观，  
因此称之为“网表”。
- 门级仿真：  
逻辑综合后的仿真,包含门单元延时
- 后仿真：  
在版图生成后，  
把从版图中提取的参数反标到  
门级网表中,进行包含门延时、  
连线延时的门级仿真。

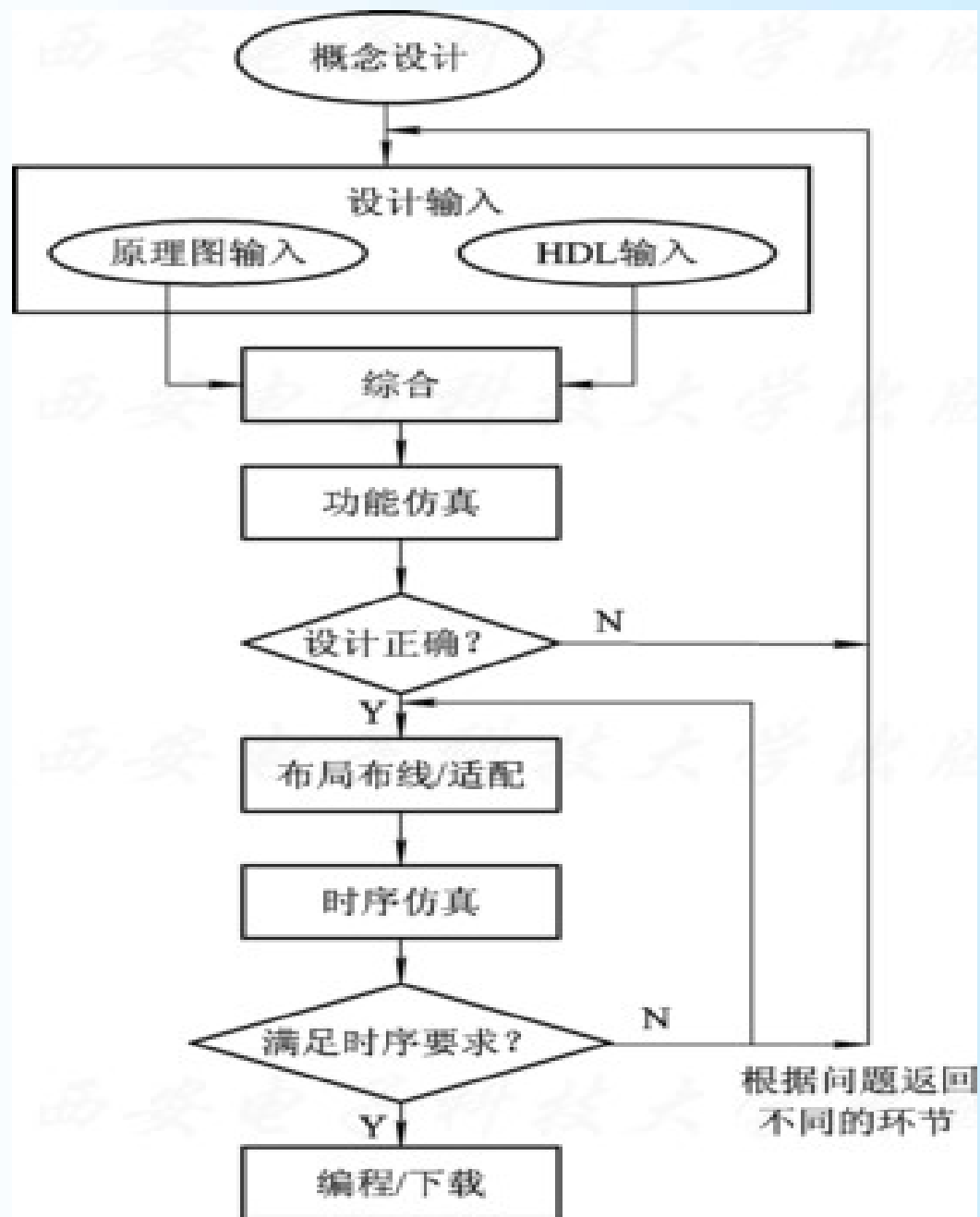


# EDA技术

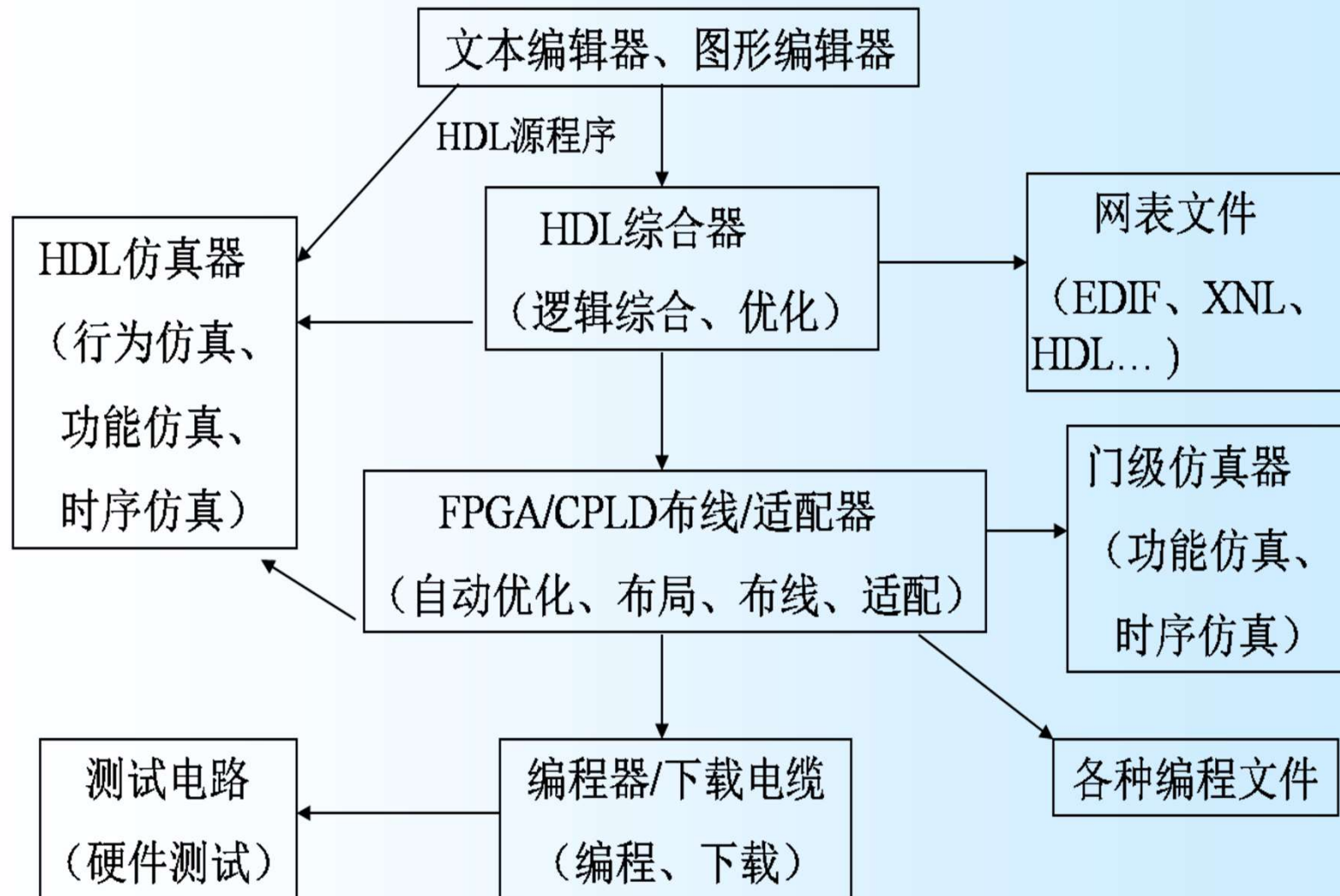
## EDA (Electronic Design Automation)技术？

- 以大规模可编程逻辑器件(FPGA/CPLD)为设计载体；
- 以硬件描述语言（Hardware Description Language, HDL）为系统逻辑描述的主要表达方式；
- 以计算机、FPGA/CPLD的开发软件及实验开发系统为设计工具；
- 通过有关的开发软件自动完成逻辑编译、综合及优化、布局布线、仿真以及对目标芯片的适配编译、逻辑映射、编程下载等工作，  
最终形成集成电子系统或专用集成芯片的一门新技术。

# E D A 工 程 设 计 与 开 发 流 程 <sup>6</sup>



# EDA工程设计流程



# EDA发展历程

- 计算机辅助设计  
(Computer Assist Design, 简称**CAD**)
- 计算机辅助工程设计  
(Computer Assist Engineering Design, 简称**CAE**)
- 电子设计自动化  
(Electronic Design Automation, 简称**EDA**)

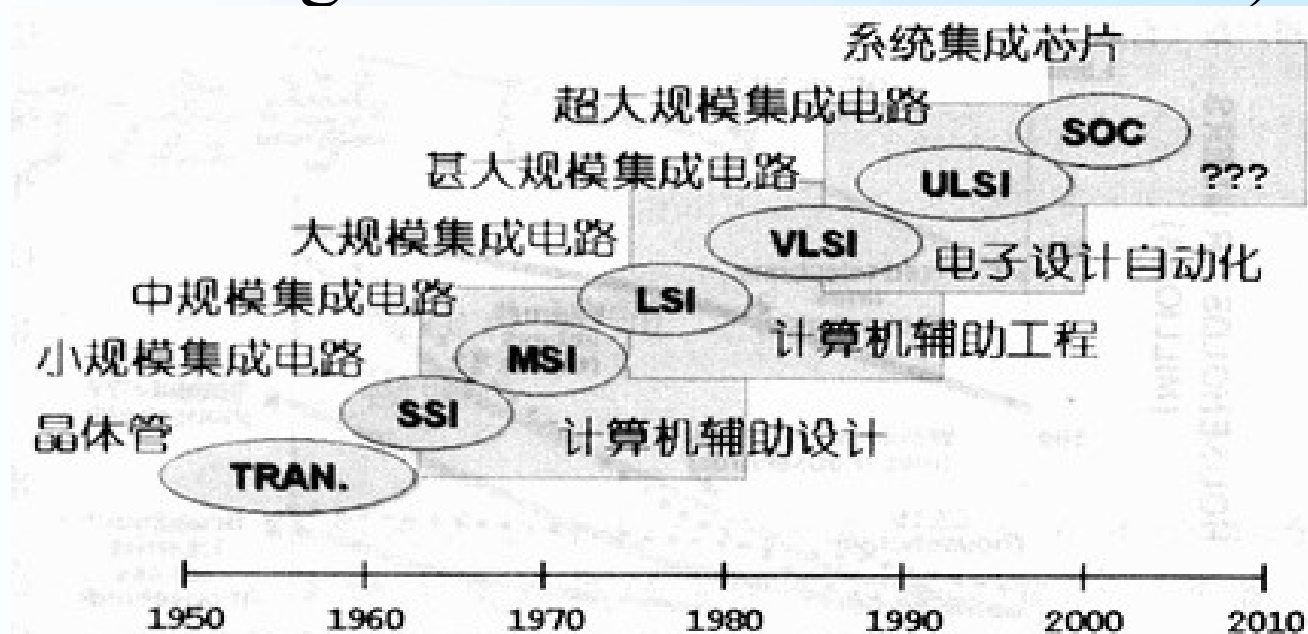


图 4 不同时代的设计方法学



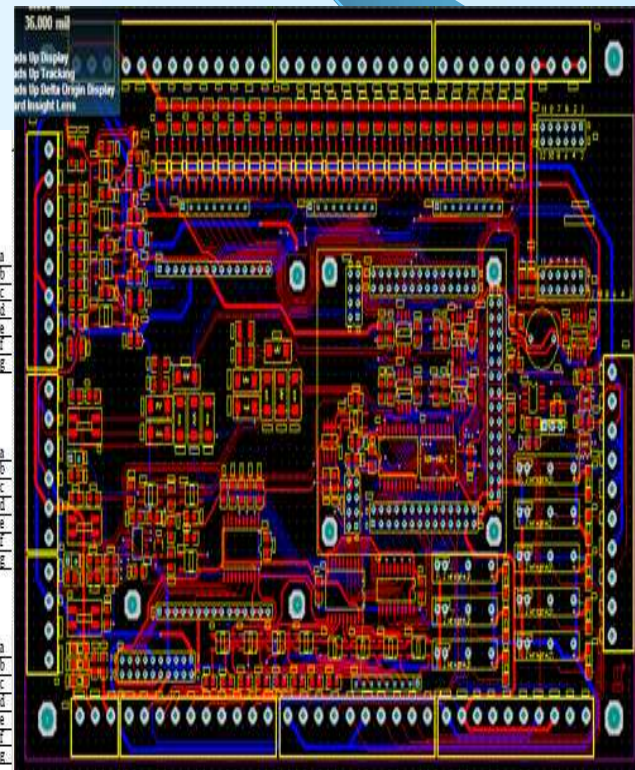
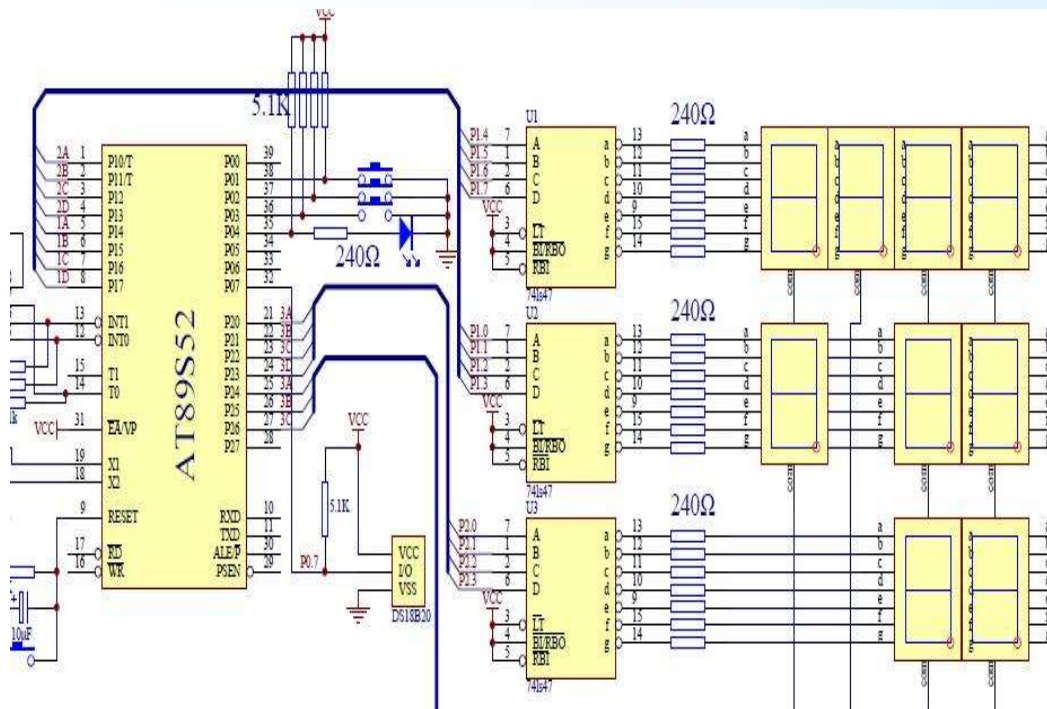
# 典型设计方法



# CAD/EDA

- 计算机辅助设计CAD

Tango、ORCAD 等工具出现，  
最初用于 PCB设计，  
逐渐在板级电路设计时进行仿真使用  
电子设计自动化EDA



# 常用EDA工具

- 工作站: Synopsys、Cadence  
Mentor Graphics
- PC机: Active-HDL、Modesim  
Synplify、FPGA EXPRESS  
Xilinx: Foundation、ISE、Vivado  
Altera: Max+plusII、QuartusII、  
Quartus Prime

15年6月Intel167亿美元并购Altera



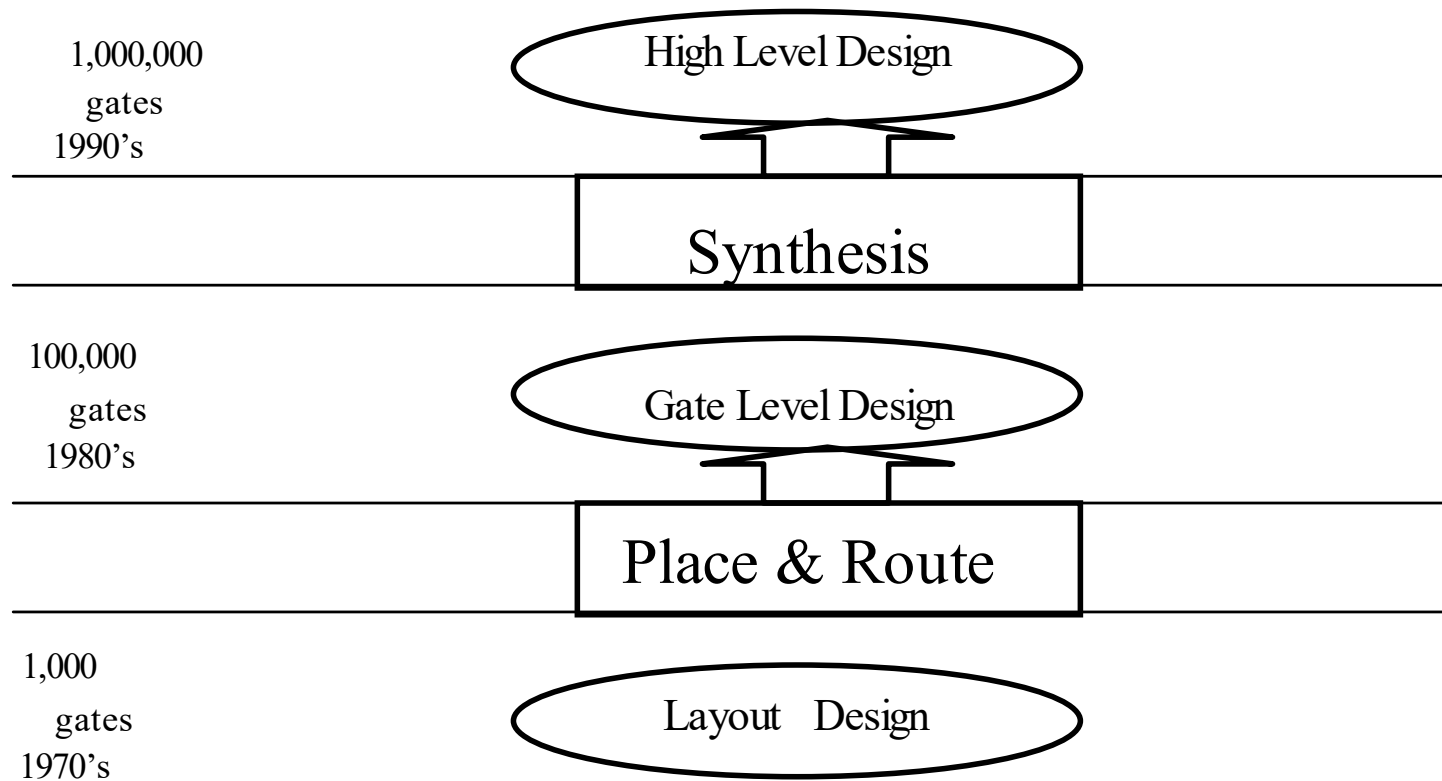
# ASIC设计技术的发展

- 半导体工艺的发展

- 电路规模：从几个晶体管、数十万门、几百万门级到千万门级电路集成在一个芯片上
- 工艺：毫米、微米、亚微米、深亚微米

每一次提高都对IC的设计提出了新的挑战，都要求有更先进的新设计技术与之对应

# ASIC设计技术的发展(续)



# 工艺发展带来的问题

- 到了九十年代，  
IC工艺水平取得了飞速提高，  
单位面积上集成的元件数也已大大提高，  
集成度可达几十万甚至上百万门电路，  
工艺已经不是制约集成电路发展的瓶颈；
- 在设计较大规模的系统时，  
设计周期、  
系统的正确性验证、  
系统的测试均不可能得到保证。
- 企业和设计人员还面临：
- 市场竞争、设计规模等

# 新的设计方法要求

- 为了适应复杂电路的设计，缩短设计时间和减少设计费用，需要新的设计方法。
- 该方法要能使设计者集中精力于电路的功能，而不必分散精力去关注电路的技术细节，例如门的选择、寄生电容、驱动强度……，但是，**这两个问题又必须同时解决。**

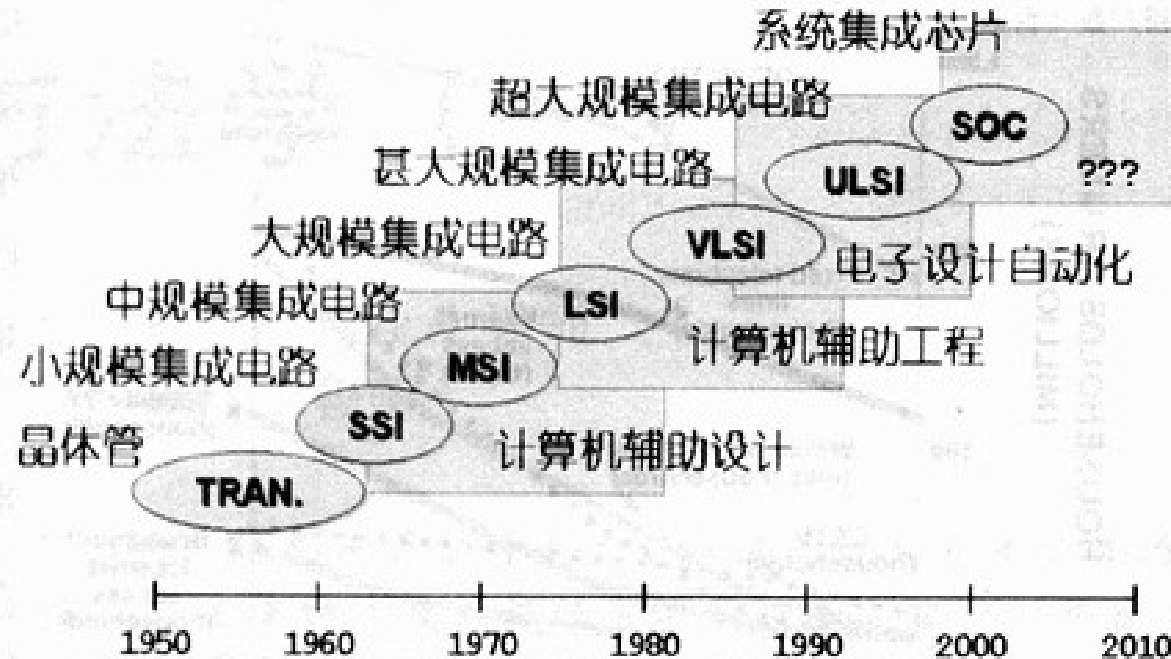
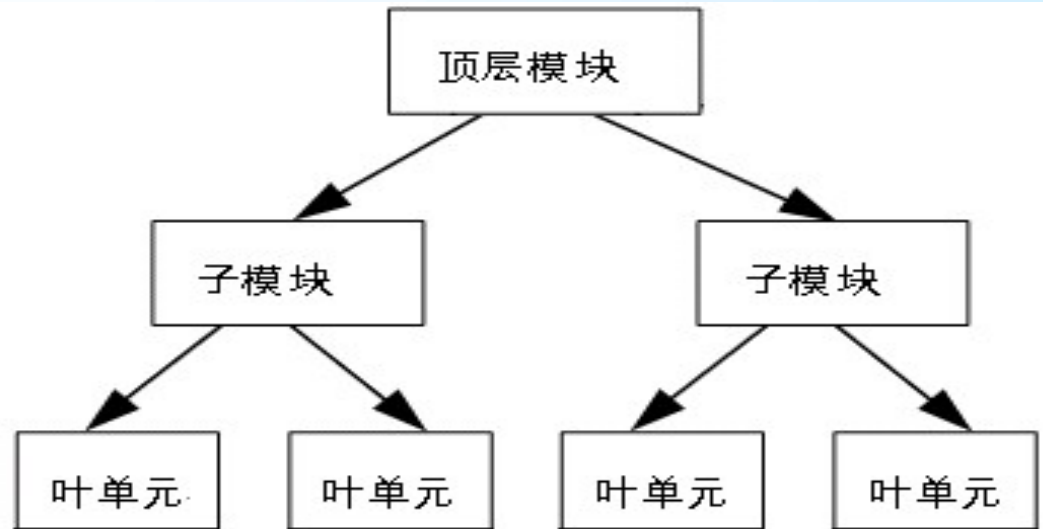


图4 不同时代的设计方法学



# 自顶向下设计 (Top-Down)

- 先定义顶层功能块,进而分析需要哪些必要的子模块;然后进一步对各个子模块进行分解,直到达到无法进一步分解的底层功能块
- Top-Down是面向系统的设计技术;
- 设计者不再用逻辑图的形式来设计,而是从系统级采用硬件描述语言 (HDL) 进行功能定义、设计以及分析等;
- 逐步将整个设计细化,并最终完成系统的设计,而不是将注意力放在设计中的底层器件上;



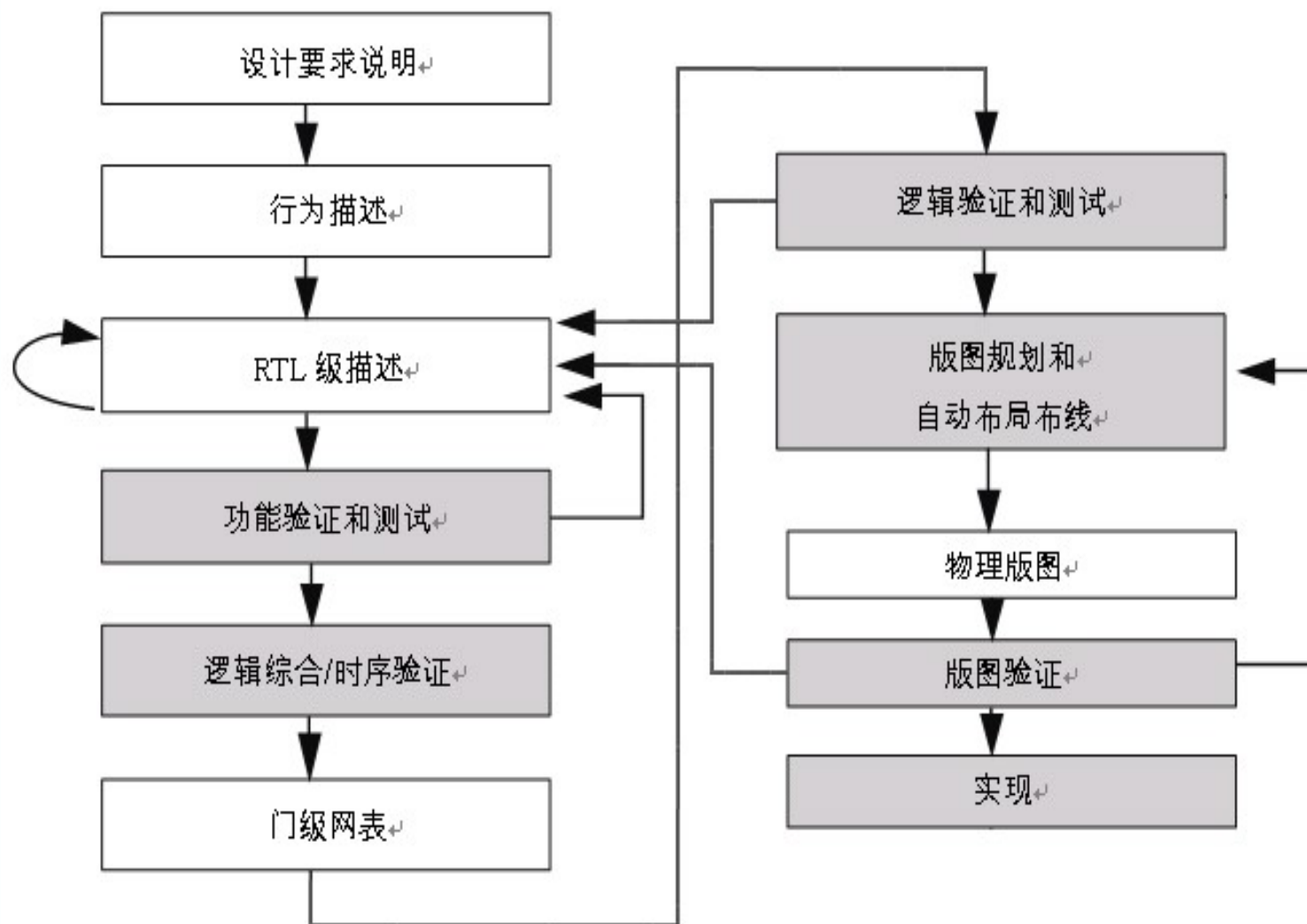


# 设计流程

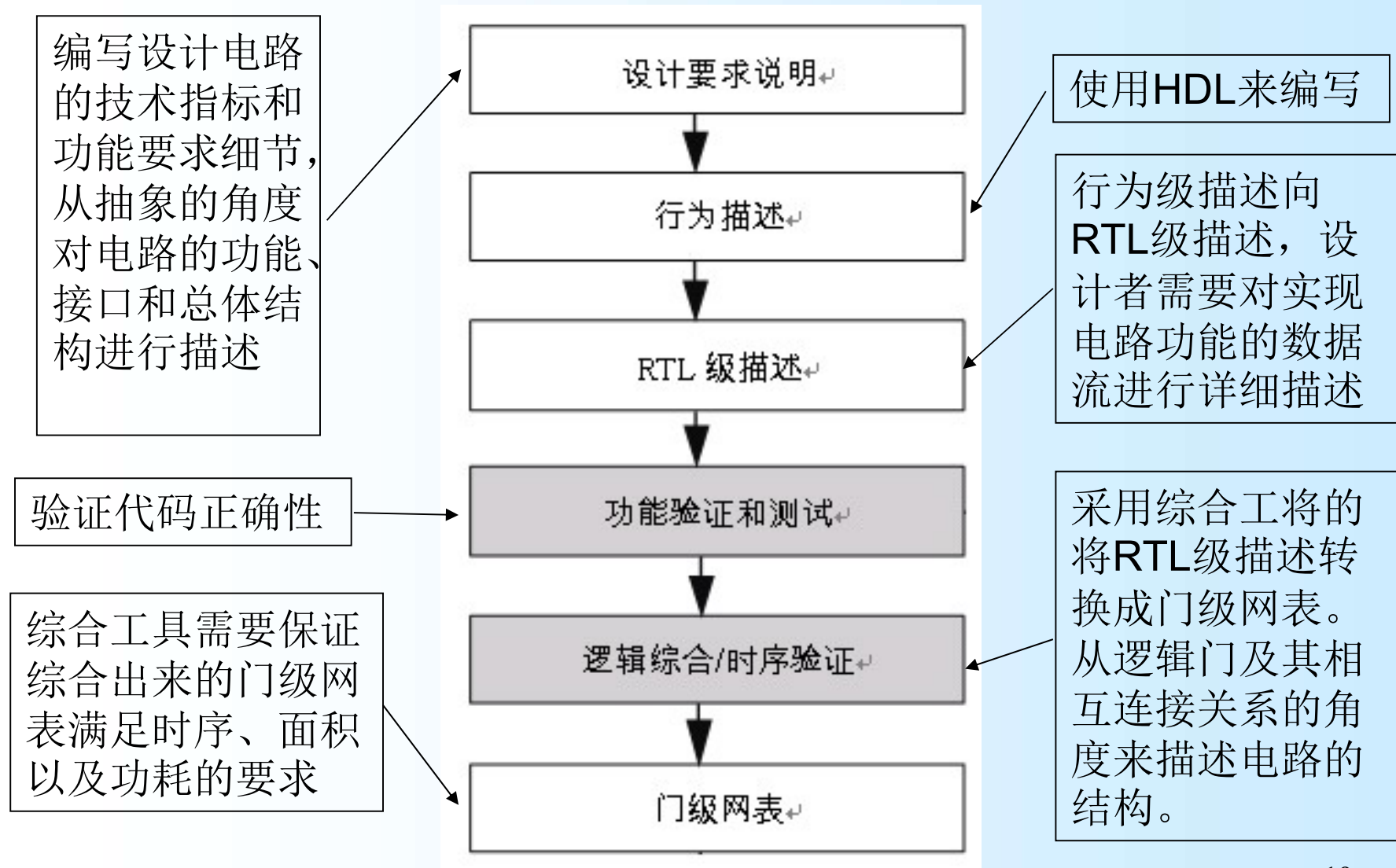
- 首先应该 在较高层次上定义一个系统，  
然后对该系统进行 逻辑划分，  
最后才去实现划分后的 低层次的逻辑设计；
- 随着设计流程下行，  
设计的详细程度 将逐渐加大；
- 整个系统实现后 必须进行功能模拟，  
在综合之前 不必 选定具体的实现技术；
- 最后才进行版图设计和验证，  
得到具体的实际电路 。



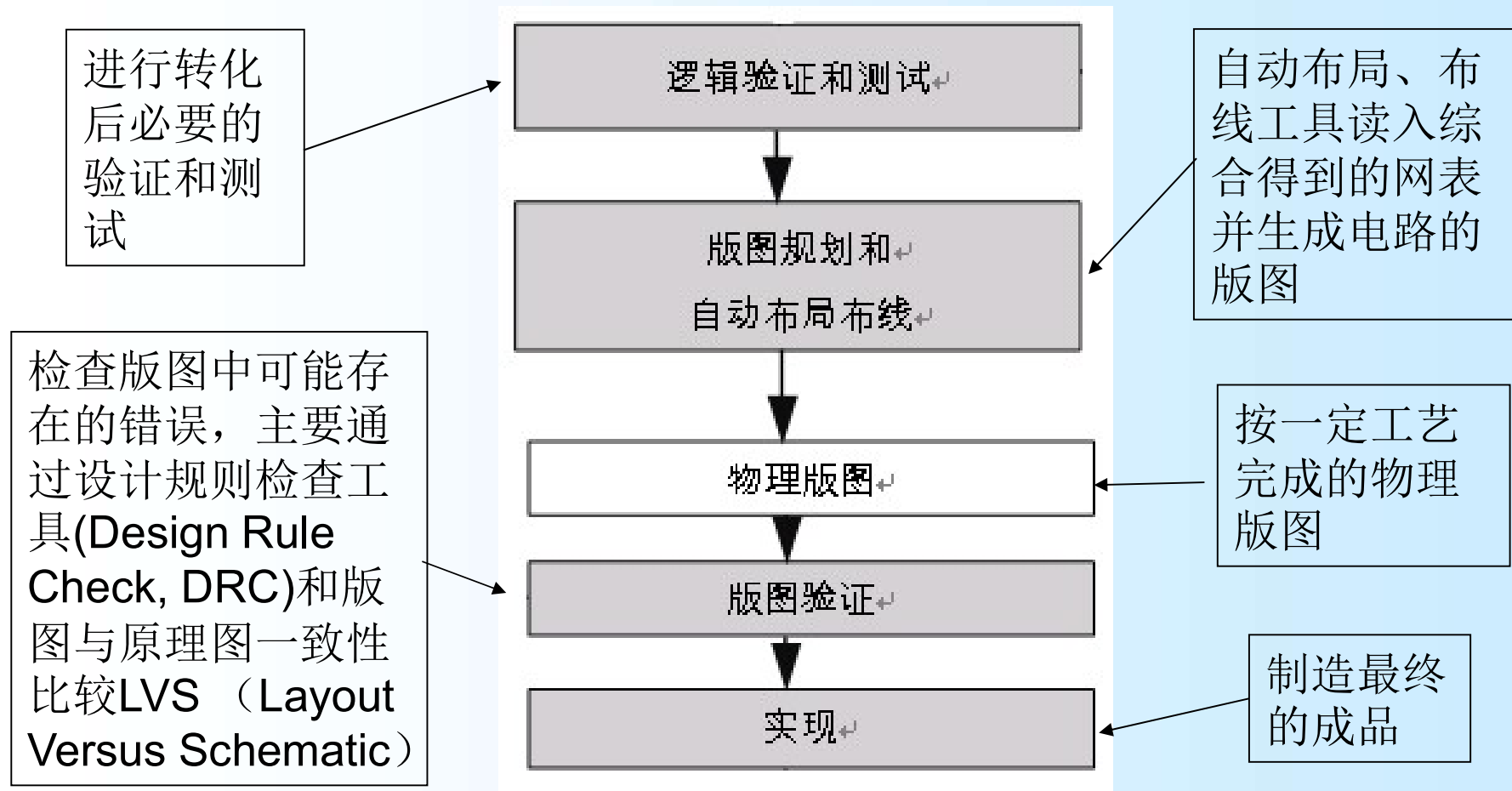
# 典型设计流程



# 典型设计流程（续）



# 典型设计流程（续）



- 八十年代后期，提出Top-Down设计，进入九十年代后，该技术普遍应用到IC设计，特别是专用集成电路（ASIC）设计中；
- 是九十年代以来业界最新的、最先进的设计方法之一，为用户设计更大规模、更高水平、性能优良的IC产品提供了可靠的保证；
- 关键技术在于系统仿真、综合、测试。
-

# Top-Down的优点

- 提高设计生产的效率
- 增加设计重用性
- 错误早期发觉
  - 减少产品开发周期
  - 降低开发成本
  - 增加设计一次成功通过的可能性

# 方法总结

- 首先进行系统分析，给出Specification;
- 划分模块，明确模块接口、模块内部功能，编写详细的设计说明文档;
- 最后才是编程、调试等。
- 通常一个设计都是由项目组完成，模块划分和确定接口信号是非常重要的，可以极大减少设计的调试时间。
- 模块尽量以寄存器为边界，这样对于联调和最后的系统集成非常方便。
- 建立合理的设计习惯，对于提高工作效率会有帮助。

- Top-Down技术是对设计人员各方面知识能力的综合
- 首先要求设计人员站在系统的高度来看待一个设计；
- 同时也是对设计人员电路设计水平、EDA工具工作原理的了解程度、微电子相关基础知识等多方面的考核；
- 系统仿真及综合是系统实现的手段；
- 要成功地完成一个复杂系统设计，不仅要熟练使用先进的设计工具，更重要的是对系统本身的设计。



# 设计风格描述

- 设计描述的风格  
直接控制着EDA工具综合的结果；
- 采用不同寄存器传输级(RTL)代码，  
来描述同一功能，  
能产生出时序和面积上完全不同的电路；
- 好的描述方式就是易于被综合器识别，  
并可以被综合出设计者期望的电路；
- 电路的质量取决于  
工程师使用的描述风格和综合工具的能力。
-

# 对Top-Down设计方法的理解

- 硬件描述语言-----schematic (netlist) -----版图
- 综合工具 布局布线工具
- 高级语言-----汇编语言-----机器语言
- 高级语言编译器 机器语言编译器 (assembler)

- 使用HDL进行设计类似于编写计算机程序，带有文字注释的源程序非常便于开发和修改。
- 与门级电路原理图相比，这种设计表达方式能够对电路进行更加简明扼要的描述。

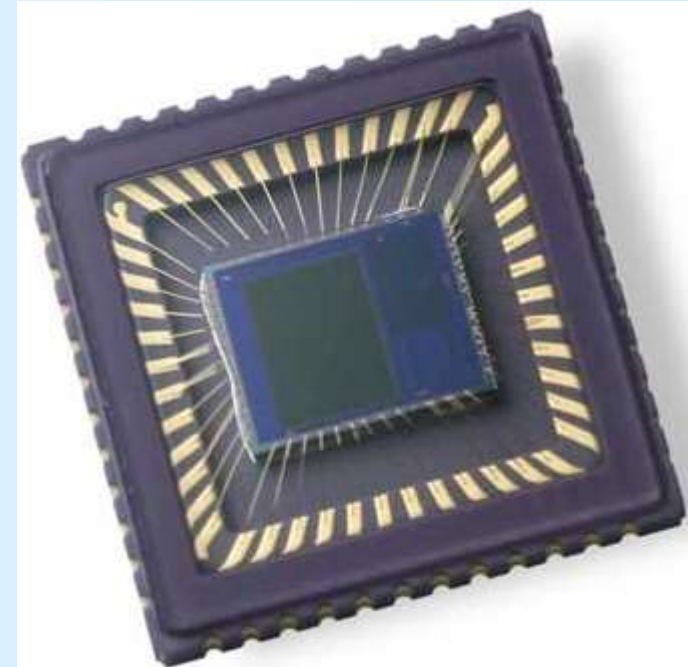
- 一种观点认为：  
Top-Down设计方法实际就是  
牺牲描述精确度来换取描述效率，  
在某些特殊应用要求中可能不适用；
- 对于通常应用背景的数字系统来说  
Time to Market是非常重要的，  
Top-Down设计方法可以极大的提高设计的效率。
- 近十几年来，从国际上到国内，  
Top-Down在数字逻辑及电路系统设计中得到广泛应用；
- 项目管理人员面临的问题？
- 随着综合工具性能的不断提高，  
Top-Down设计方法的应用范围会越来越广。
-

# SOC

## 技术概述

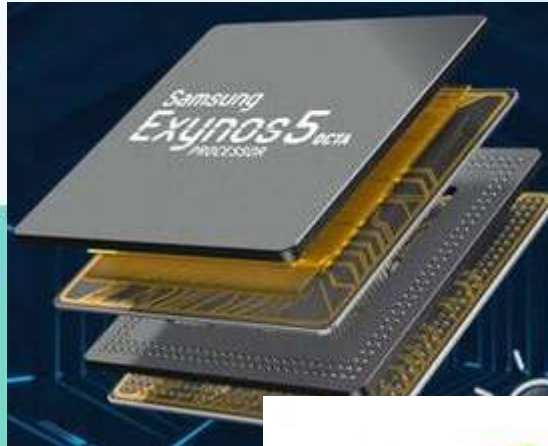
# SOC简介

- 深亚微米制造技术、设计技术的发展，集成电路已进入片上系统时代SOC（System on chip）或系统级芯片SLI(System Level IC);
- SOC是一个复杂的系统，一般将一个完整产品的各个功能集成在一个芯片上或者芯片组上
- 一般意义上，SOC设计包括一个可编程的处理器、片上存储、硬件加速单元（如图象声音处理单元,DSP,浮点协处理器等），与外围设备的接口、AD/DA转换以及射频部分等等



# 什么是SOC?

- 典型的SoC是采用深亚微米工艺的电路，其中包含一个或多个微处理器内核，至少10万门的用户门以及相当容量的存储器。同时，在芯片上实现CPU、DSP、数字电路、模拟电路、存储器等多种电路。



# SOC优点

- SOC是在ASIC的基础上发展起来的电路，与ASIC完全不同，具有很多独特的优点：

a. 增加功能

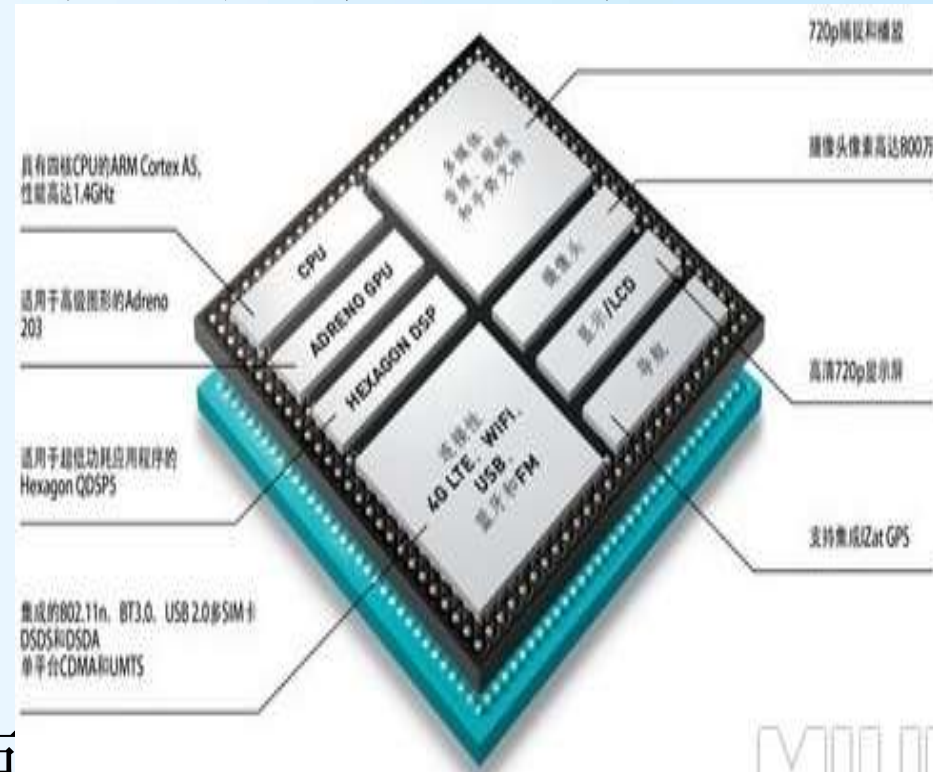
b. 降低整机成本

c. 降低整机体积

d. 设计周期短，

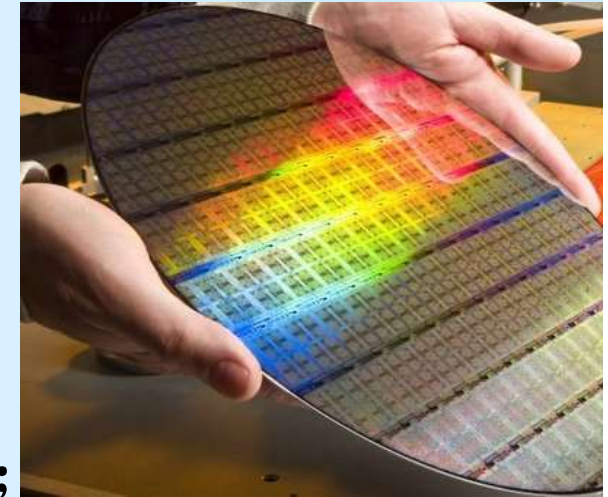
符合time to market观点

- SOC这些优点 顺应通讯、电脑、消费类电子向轻、薄、短和低功耗的发展趋势





- 历史上每一次IC加工工艺的巨大进步必然带来IC设计领域设计方法的革命，以满足市场的需要；
- 在八十年代出现的以单元库为基础的ASIC设计方法极大的促进了IC的发展；
- VLSI促进PC广泛应用带来信息产业第一次革命；
- SOC、便携式产品（mobile phone、PDA）发展带来信息产业第二次革命



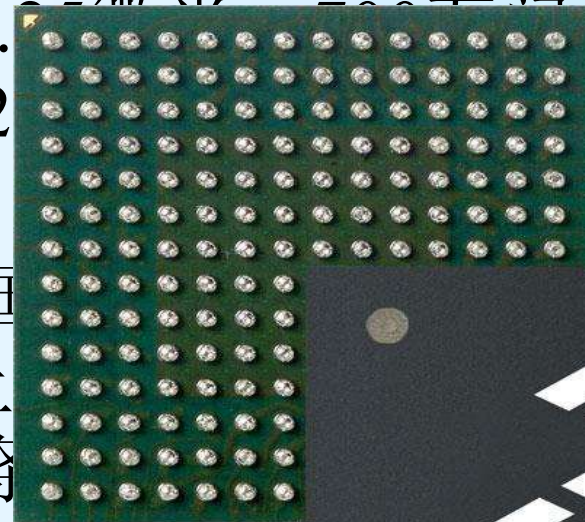
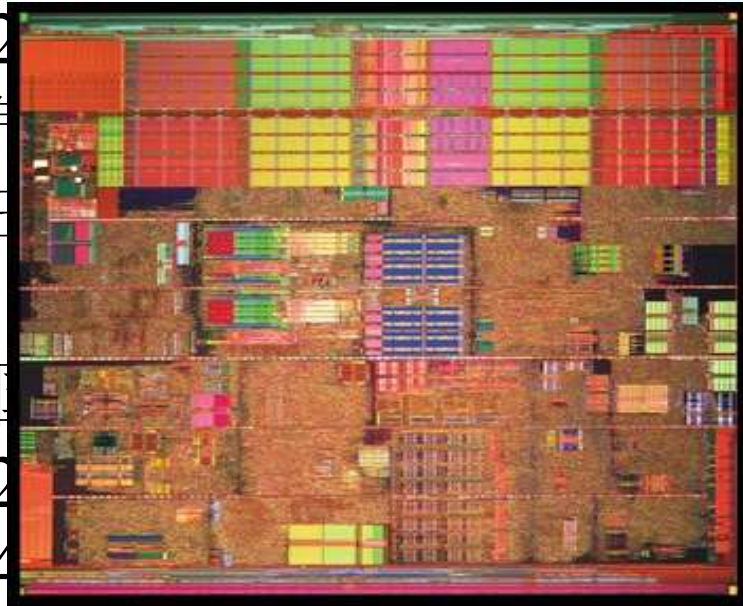
**Table 1.1** A sample of the SIA Roadmap

	Year					
	1999	2001	2003	2006	2009	2012
Transistor gate length	0.14 $\mu\text{m}$	0.12 $\mu\text{m}$	0.10 $\mu\text{m}$	0.07 $\mu\text{m}$	0.05 $\mu\text{m}$	0.035 $\mu\text{m}$
Transistors per $\text{cm}^2$	14 million	16 million	24 million	40 million	64 million	100 million
Chip size	800 $\text{mm}^2$	850 $\text{mm}^2$	900 $\text{mm}^2$	1000 $\text{mm}^2$	1100 $\text{mm}^2$	1300 $\text{mm}^2$



# SOC生产线

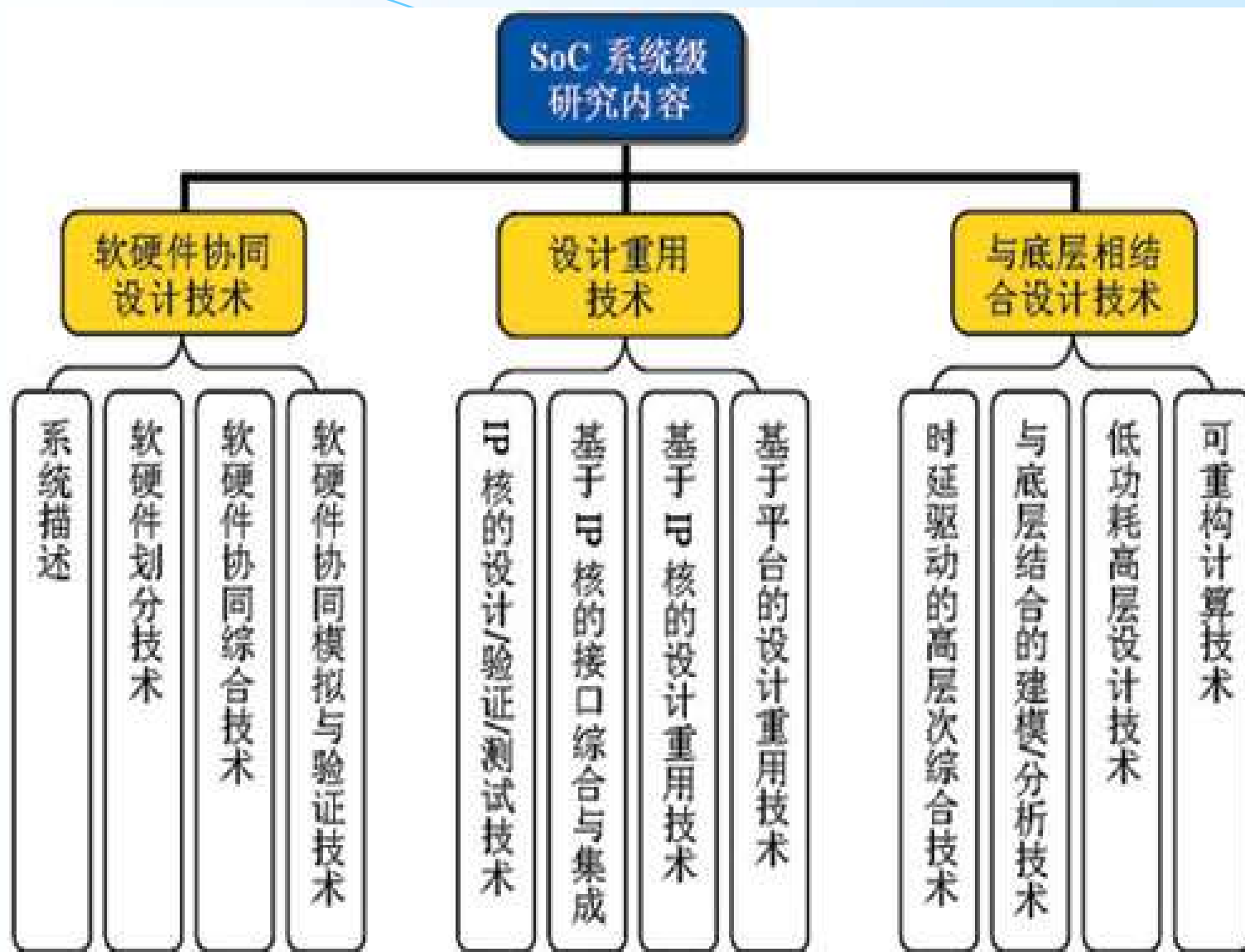
- 美国、日本和欧洲等国加大对SOC生产线投资  
1999年，NEC两条:0.18um低功耗、 0.15um高性能  
集成度3400万门 BGA封装引脚3000pin  
SGS-Thomson :0.12um, 12寸晶圆



- 2015年12月台积电宣布在南

# SOC设计挑战

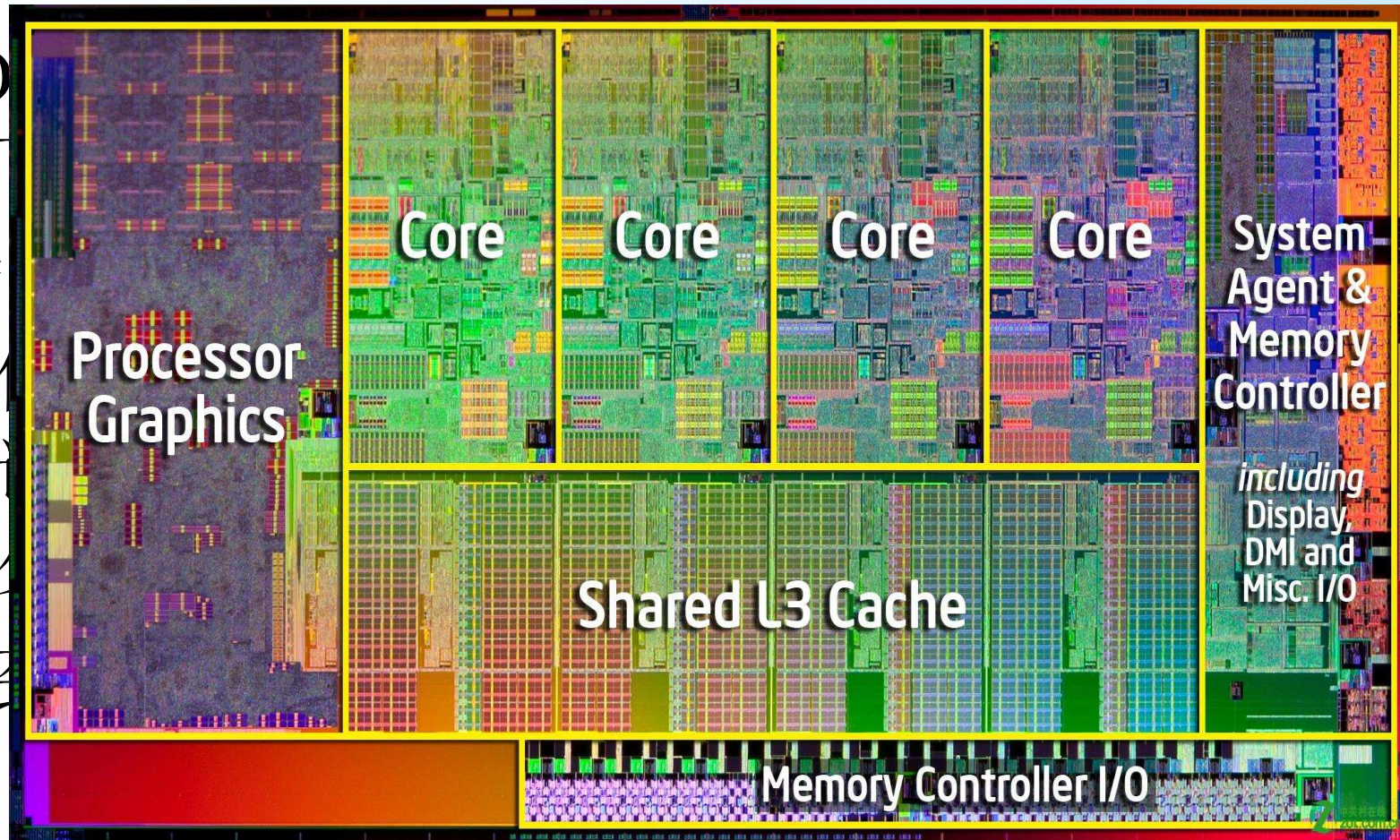
- SOC芯片物理特性、电学特性发生很大变化，原有模型已不再适应，必须考虑深亚微米引起的物理效益；
- 互连线延迟在整个单元中延迟所占比例越来越大；
- 连线变细、间距变小、连线变长，增加连线分布电容；
- 由于信号频率很高，会引入串扰影响、噪声影响；
- 互连线变细，易于引起电迁徙和热载流子效应。
- 设计策略调整：  
由先安排电路模块，  
再考虑互连线改变为先安排互连线网，  
然后再挂电路模块，  
这样就可以从总体设计上保证芯片高速工作。





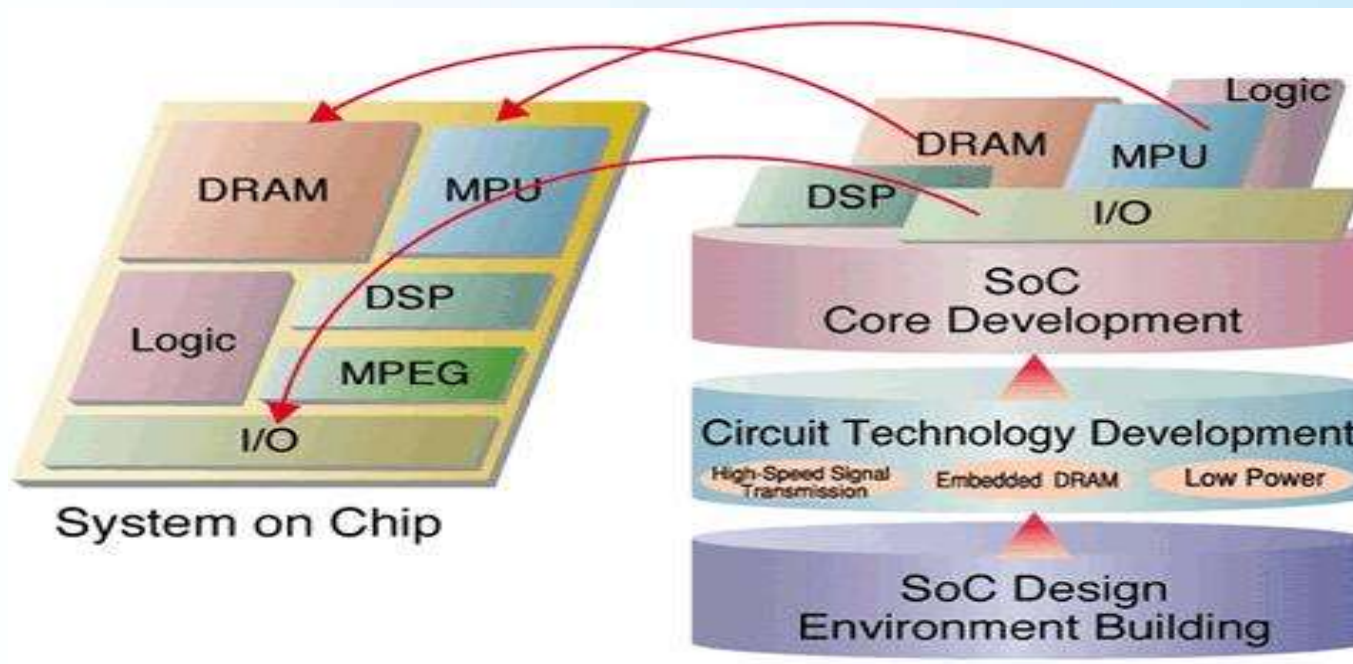
# SOC设计方法

- SO
- 以
- 缩
- 降
- 保
- 减
- 瓶



新产品周期：一般不超过一年  
请计算设计SOC需要的人年数？

- 目前在工业界，  
IC设计有以下两个发展趋势：
  1. 开发以应用为目标的IC集成电路库，  
以方便SOC产品  
和其后继产品的设计和实现；
  2. 大量的可重用IP核的出现



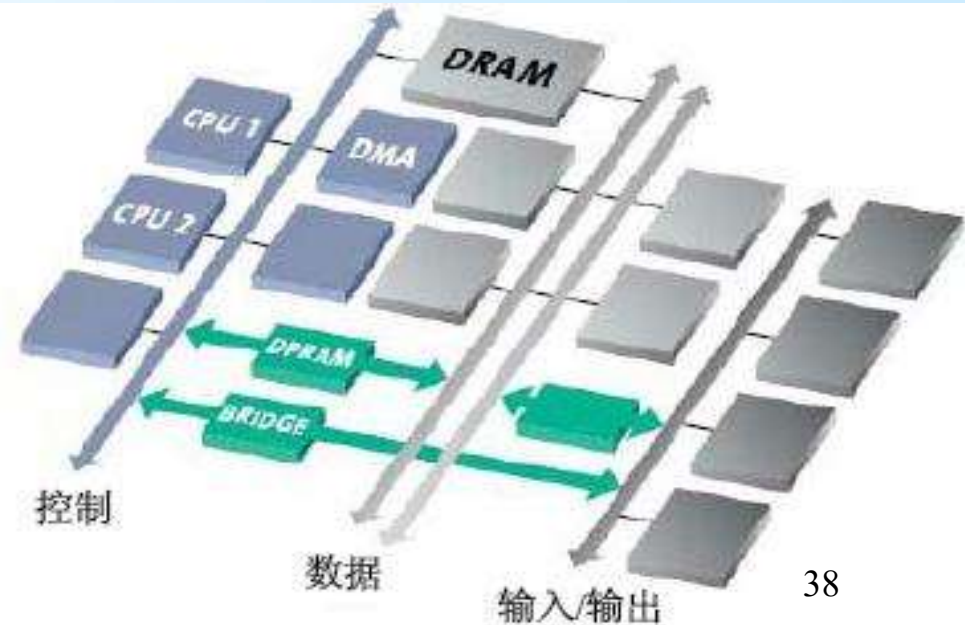
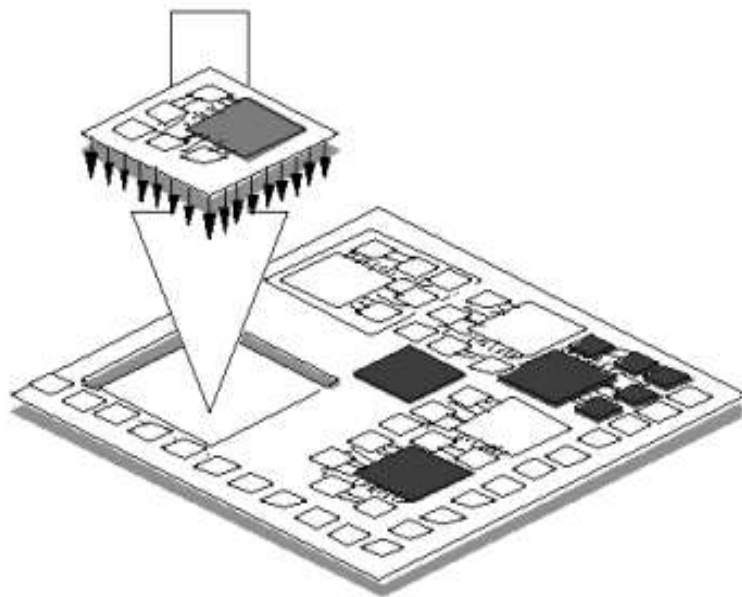


# IP核

- IP (Intellectual Property)核： 又称智权

在SOC设计时，  
重复使用已验  
证的模块，  
利用的  
称为IP核，  
(Virtual component)

重复使用已验  
证的模块，  
利用的  
具有知识产权的IC模块，就  
或虚拟部件VC



# IP核类型

- 通常IP核分为三类：软核、固核、硬核
- a.软核 soft core
- 包括逻辑描述（RTL和门级HDL代码）网表和不能物理实现的用于测试 的文档（test bench）

特点:

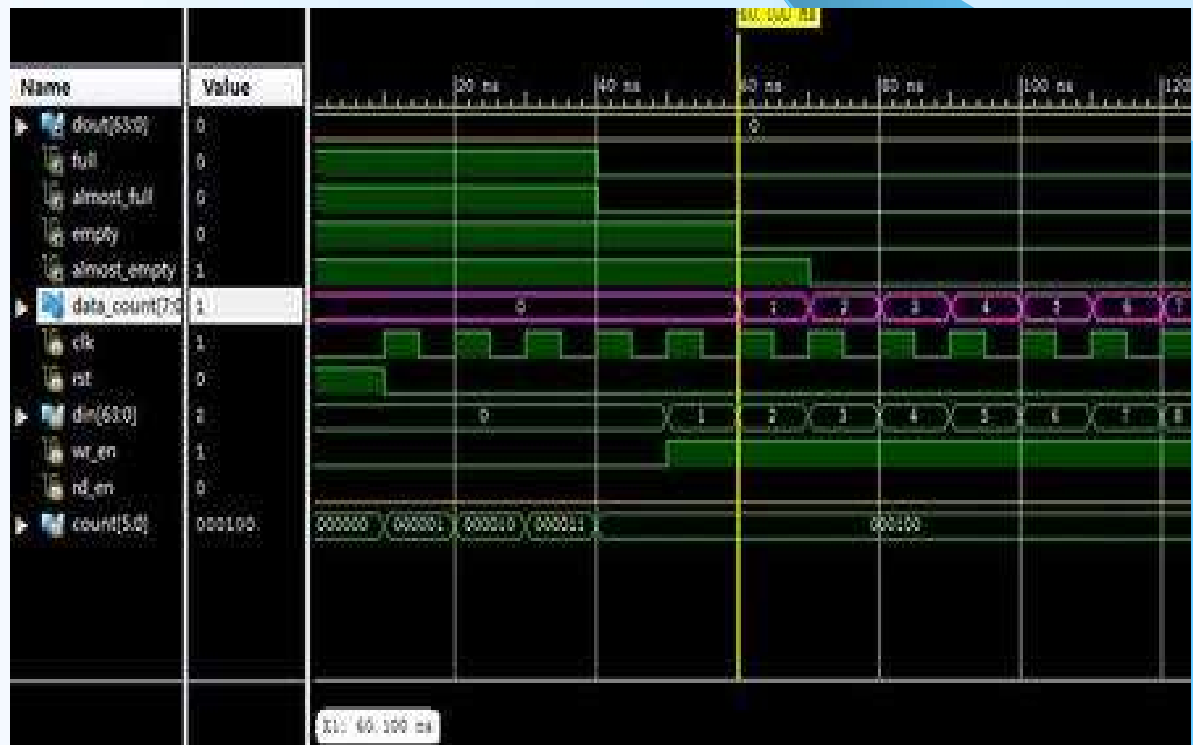
灵活性最大、

可修改、

知识产权 保护最难、

与工艺 无关、

费用最低



## ● b. 硬核 hard core

硬核是已完成了全部的前端和后端设计，制造也已确定。

硬核的电路布局和工艺是固定的，不能修改。

特点：

灵活性最小、

知识产权保护较简单、

费用最高、

附加值最高

Hard IP	Function
Ethernet MAC	10/40/100G
100G Interlaken	• 10G x 12
PCI Express	• Includes DMA • Gen 1/2/3 • x1, x4, x8
DDR3 Controllers	• 72 bit banks • 2.133 Gbps



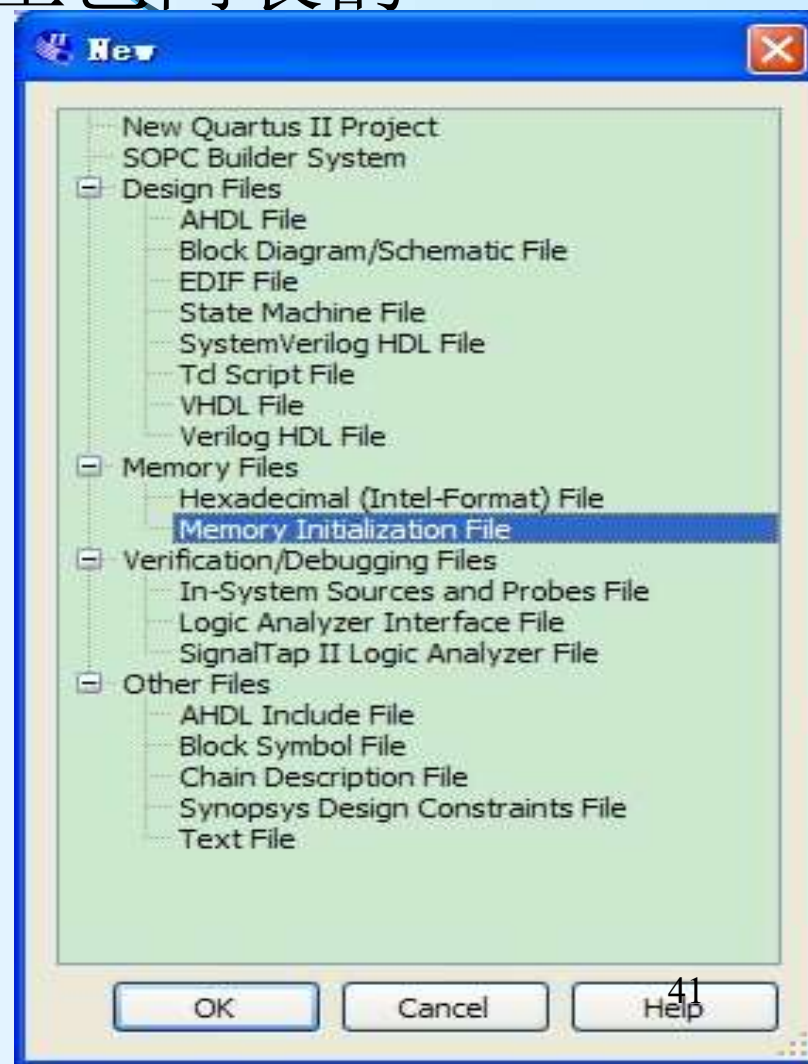


## ● c. 固核 firm core

固核是介于软核、硬核之间的IP，通常以RTL代码和对应具体工艺网表的混合形式提供。

固核既不是独立的，也不是固定的，可根据用户要求进行修改，使它适合用于某种可实现的工艺过程。

固核允许用户重新确定关键的性能参数。



# SOC芯片设计有三种方法：

- a. 专用系统设计方法：

系统厂商确定指标，

SOC中无论IP核还是专用电路，  
全由芯片厂商设计。

特点：

成本较低、

设计时间长、

灵活性较小，

适合量产

- b. 部分集成方法：

系统厂商设计SOC中专用电路部分，  
SOC中DSP、MPU  
以及存储器等IP都由IP公司提供，  
芯片厂商完成整体设计。

- 特点：
- 具有一定灵活性、
- 新产品开发周期较短
-

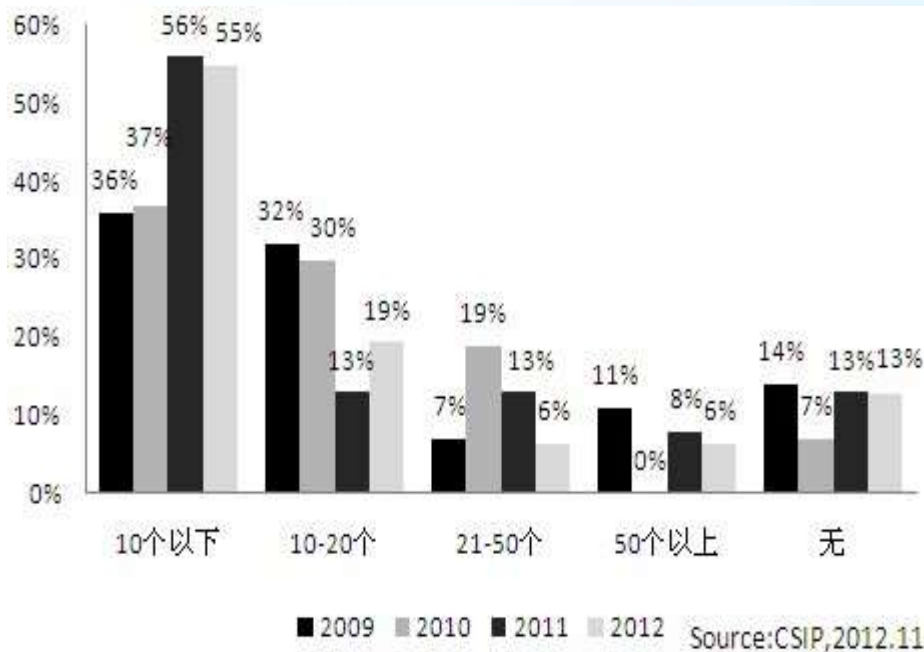
- c.桌面集成方法:

由IP核公司提供IP提供,

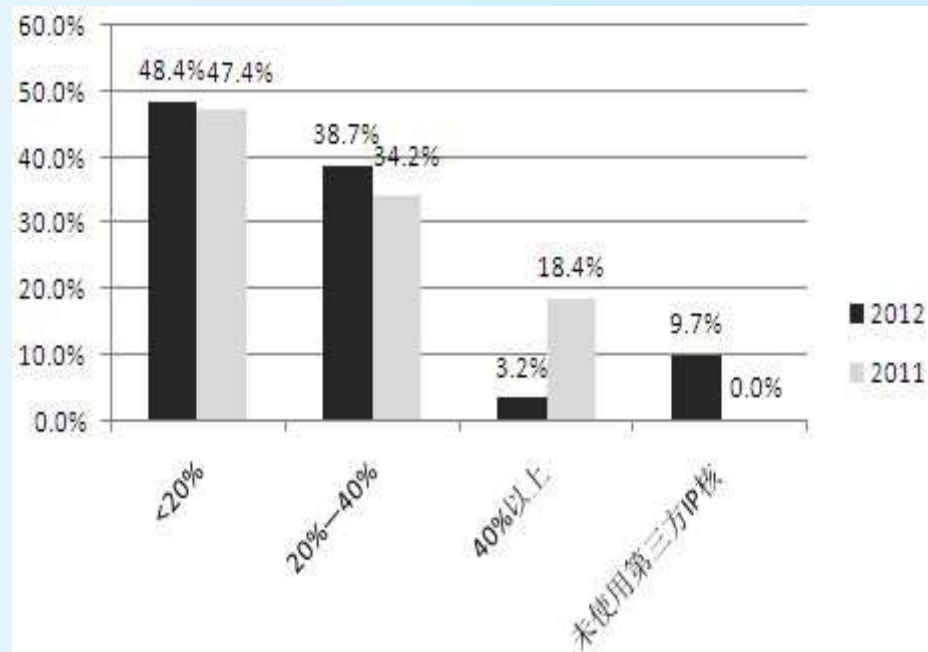
由系统商设计其专用电路和整体设计。

- 特点:
- 成本最低、
- 设计灵活性最大
-

- 2012年国内IP核市场规模约为10.7亿元。  
其中，约40%是嵌入式CPU的License和Royalty，另外两类需求比较大的是高速串行接口和模拟混合信号IP核。



我国**IC**设计企业的IP核数量



我国**IC**设计企业的IP核支出占项目预算的比例

- 2013年全球“IP核”的年销售额已超24亿美元，前五大IP供应商的市场份额达73.2%，其中2家英国公司、3家美国公司。
- 同期中国IP核市场规模约13.9亿元，85%以上为国外供应商提供。
- 截至2014年底，中国占全球半导体消费市场的份额已达到了创纪录的56.6%，而2013年是47%。  
过去11年中国市场复合年增长率达到了18.8%，而同期全球芯片消费的复合年增长率仅为6.6%。
- 世界半导体贸易统计组织预计，2015年全球半导体产业规模将继续增长3.4%，达到3445亿美元，全球半导体产业正向中国转移。
- 2014年我国12寸晶圆厂占全球12寸晶圆厂产能比重为7%，产品线主要有十条，其中四条为外企投资设立，分别为海力士（无锡）、英特尔（大连）和三星（西安）。
- 2015年国家集成电路产业基金一期预计总规模已达1387.2亿元，未来10年将拉动5万亿元资金投入到芯片产业领域。

- 2015年1-6月中国进口集成电路143982百万个，与去年同期相比增长10.6%；进口金额达6326.07亿元，同比增长4.6%。  
金额超过原油30%，成第一大进口商品。
- 中国集成电路设计业 2015年全行业销售收入预计为1234.16亿元，比2014年的982.5亿元增长25.62%
- 从全球产业链结构来看，IC设计、制造业、封装和测试业的收入占比大约为3:5:2。我国的IC设计收入仍然小于封装测试业的收入，值得重视的是，IC设计的收入正在高速增长。
- 在业内人士看来，核心技术和知识产权的缺失，仍是制约我国集成电路产业发展的重要因素。

以华润为首的中国财团25亿美元竞购“硅谷活化石”仙童半导体

- 作为全球最大的手机芯片厂商，高通在手机芯片和无线通信标准必要专利技术上居于支配地位，几乎把控着全球中高端手机的“命门”。凭借知识产权的垄断地位，高通建立起获利高昂、广受业界诟病的商业模式。
- 高通的专利许可费被业界称为“高通税”，是按照**整机售价的5%来计费**，而不是按照其提供的芯片来计，也就是说对和高通毫无关系的显示器、电池、软件等部分甚至手机营销费用和利润，高通也要收费。
- 据报道，扣除高通3.5~5%的专利费后，2013年华为、中兴等手机厂商的利润不到**0.5%**。
- 15年发改委判决**只是**把原来的按照**整机价格**收取专利费改成了起点为**总设备销售额度65%**收取专利许可费
- 16年6月高通诉讼魅族，标的是5.2亿，以魅族2015年出货2000万，一台手机1000元计算，总出货金额是200亿，按照发改委判决按照整机销售额度65%起点收取专利费计算， $130\text{亿} \times 4\% = 5.2\text{亿}$ 。阿里巴巴投资魅族也就36<sub>48</sub>亿。



# IP核来源

➤ 芯片设计公司自身积累

➤ Foundry积累

➤ 专业IP公司

➤ EDA厂商

➤ 设计服务公司



授权IP核主要来源

www.LAOYANBA.COM

# 知识产权保护

- IP核是SOC芯片中一个非常复杂的问题，IP核设计公司面临许多方面问题；
- 知识产权保护是SOC设计、IP核重复使用的关键；
- 美国专家认为：  
目前没有现成的法律可以保护这种知识产权，估计也很难批准通过这样的法律，因为，这样的法律执行起来也很难。

# 两个基本问题

- a.IP核提供者来看：
- 如何设计商用IP，  
如何进行恰当的描述使得既能  
方便使用者进行**再利用**，  
又不暴露知识产权的秘密；
- b. IP核使用者来看：
- 通过何种渠道找到所需要的IP核，  
如何对它进行评估、验证，  
如何正确使用以及许多标准化的问题。



## 国际上主要IP联盟/组织

所在国家	成立时间	组织名称
美国	1996	VSIA
法国	1997	D&R
英国	1998	VCX
日本	2000	IPTC
台湾	2000	Taiwan SOC Consortium
韩国	2001	SIPAC
美国	2001	OCP-IP



## **VSIA(Virtual Socket Interface Alliance)**

- **VSIA(虚拟插座接口联盟)成立于1996年9月，最初是由80多个公司发起成立的，现在发展到大约200家成员，其目的是为系统芯片工业建立统一的技术规范和标准，可以作到使不同来源的IP进行集成并相匹配。**
- **到目前为止，VSIA陆续成立了11个开发工作组，为IP/SoC工业界制定的规范和标准内容覆盖IP设计、接口、使用、交换、测试和质量的各个环节。**

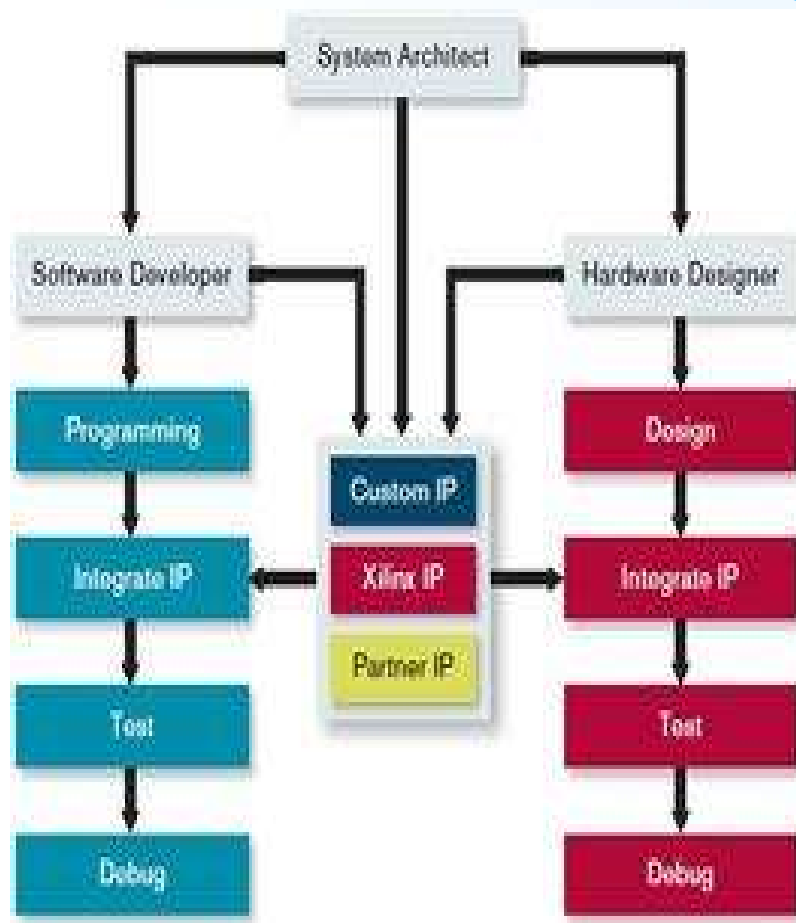




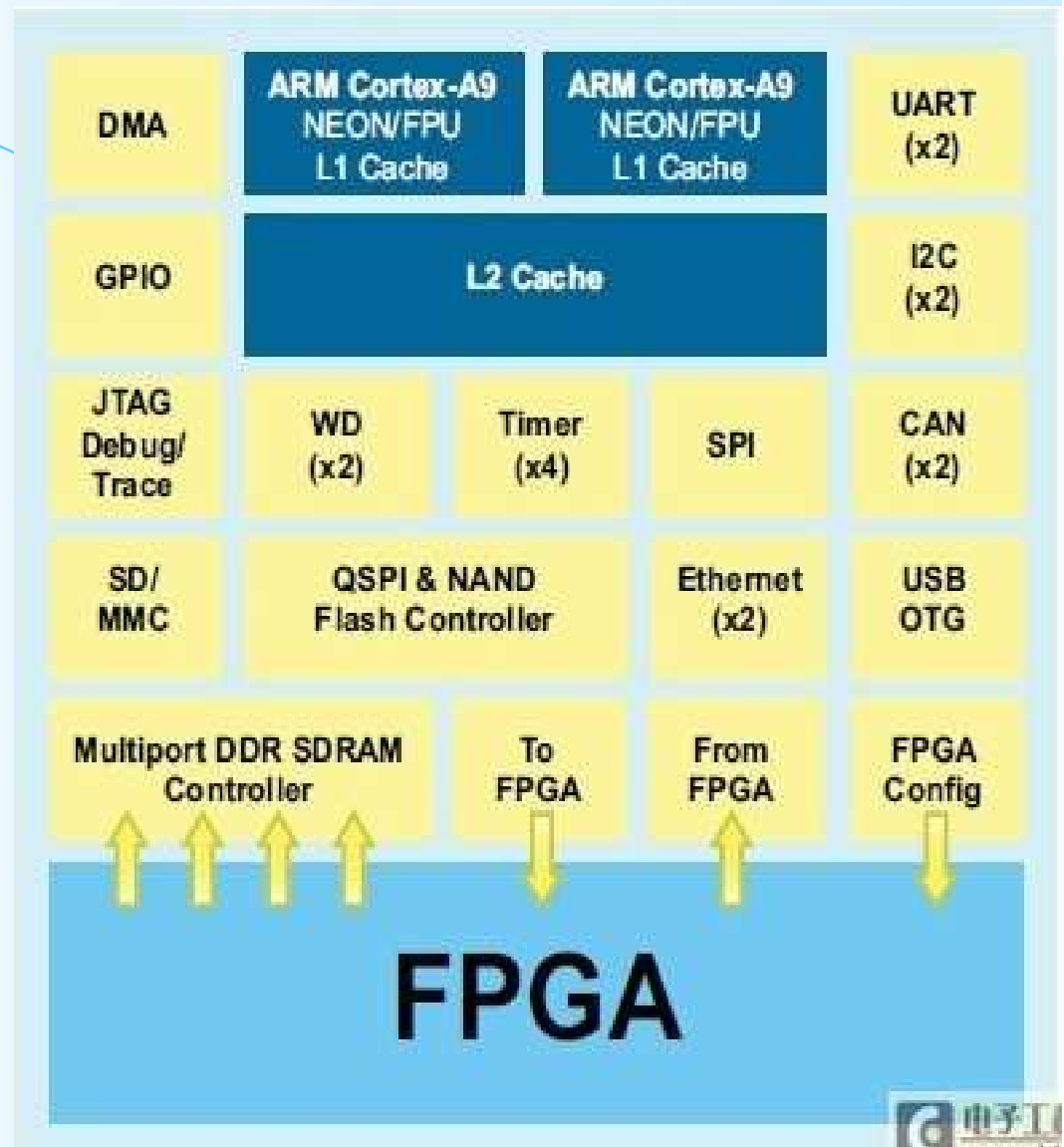
## **OCP-IP ( Open Core Protocol International Partnership)**

最初由Sonics公司制定的Open Core Protocol (OCP)，现已联合其他几家公司（Nokia、Texas Instruments、MIPS Technologies等）组成一个非盈利性的国际联盟OCP-IP，其主要宗旨即是为解决即插即用（plug and play）的SoC设计提供一套完整的通用标准IP核插座接口及其技术支持和服务

由信息产业部软件与集成电路促进中心(CSIP)、大唐微电子、神州龙芯、苏州国芯、中芯国际等8家单位发起的中国硅知识产权产业联盟(简称中国IP联盟)宣告在京成立，共有51家企业加入的联盟组织。



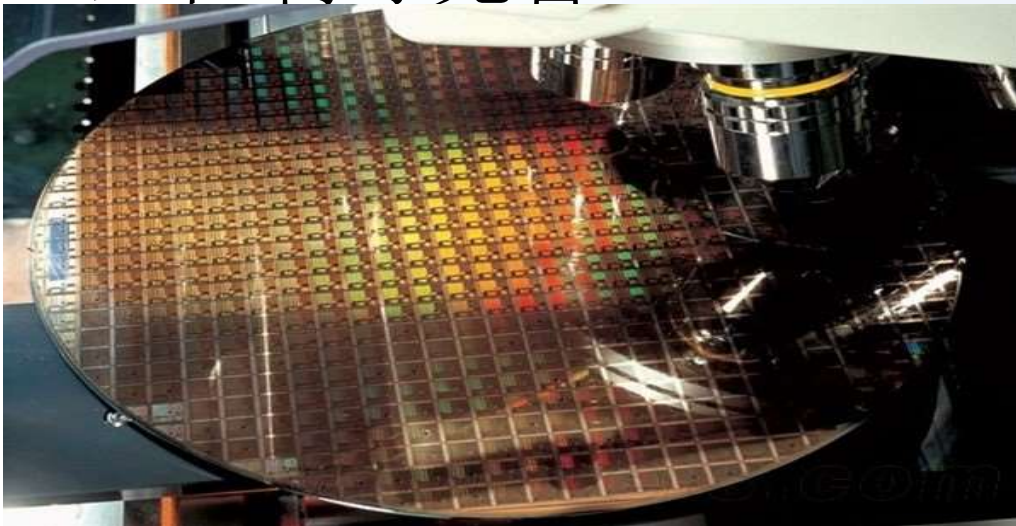
Xilinx SOC IP



Altera SOC FPGA体系结构示例图

# SOC测试技术

- 由于在单芯片上涉及到几种技术的集成，SOC芯片的测试技术难度较大；
- SOC芯片测试设备必须能够精确地检测模拟和数字**两种**电路，并支持扫描检测和嵌入式存储器检测；
- 传统方式不能满足
- 目前没有统一标准，美国IEEE学会专业组正在制订完善。





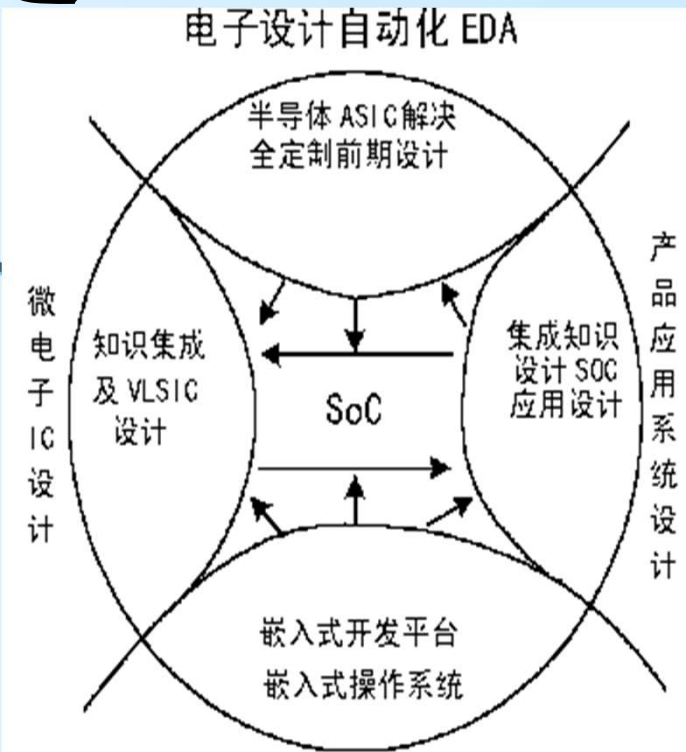
# SOC加工技术

- 深亚微米加工技术是实现SOC芯片的关键条件，特征尺寸：  
从早期的0.25um—0.18um  
发展到目前 16纳米—14纳米
- 新加工技术：  
紫外线、电子束和X射线暴光光刻技术、 多层布线，  
提高互连线电导率（采用Cu导线）
- 在同一条加工线上能兼容不同IC 工艺



# SOC技术难题

- EDA工具
- IP再利用
- SOC芯片测试
- 加工、封装
- 设计缺乏复合型人才，要求设计人员具有**综合性**知识结构
- 据业界统计，2015年中国集成电路从业人数39.4万人，其中技术人员14.1万人；预计到2020年，从业人数将达到79.2万人，其中技术人员32.44万人。但中国集成电路行业专业人才储备数量少，中高级人才(系统、前端)缺口很大。



# 大规模可编程 逻辑器件

- 可编程逻辑器件(简称PLD)是一种由用户编程以实现某种逻辑功能的新型逻辑器件;
- 现场可编程门阵列 (FPGA) 和复杂可编程逻辑器件 (CPLD), 是在PAL、GAL、EPLD等可编程器件的基础上进一步发展的产物;
- 作为专用集成电路 (ASIC) 领域中的一种半定制电路而出现的, 既解决了定制电路的不足, 又克服了原有可编程器件门电路数有限的缺点。

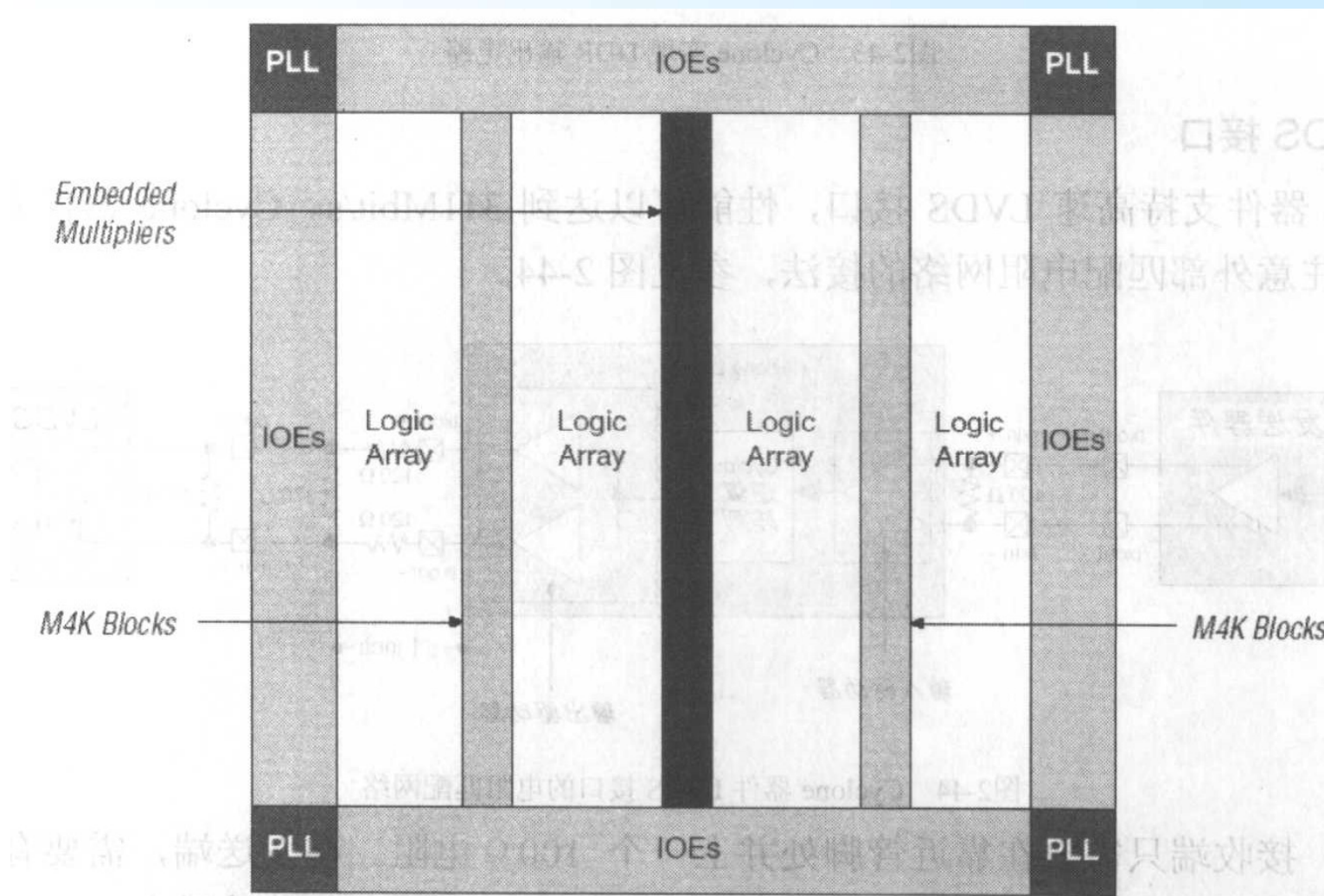


# 主要厂商

- Xilinx的FPGA器件有Spartan、Virtex等系列;
- Altera的CPLD器件有FLEX、Cyclone、Startix等系列;
- Lattice的ISP-PLD器件有LatticeEC/ECP、XP等系列。
- 一种侧重低成本应用，容量中等，性能可以满足一般的逻辑设计要求;
- 一种侧重于高性能应用，容量大，性能可以满足各类高端应用。
- 
-

# FPGA基本结构

- FPGA采用了逻辑单元阵列LCA（Logic Cell Array）这样一个新概念，内部包括三个部分：
- 可配置逻辑模块CLB（Configurable Logic Block）
- 输出输入模块IOB（Input Output Block）
- 内部连线（Interconnect）
- 
- 采用查找表的（Look-Up-Table）简称为LUT，LUT本质上就是一个RAM；
- 目前FPGA中多使用4输入的LUT，所以每一个LUT可以看成是一个有4位地址线的16x1的RAM。
-



- Altera Cyclone II EP2C20器件结构



# 基本特点有

- 用户不需要投片生产，就能得到合适的ASIC芯片；
- 可做其它全定制或半定制ASIC电路的中试样片；
- 内部有丰富的触发器和I/O引脚；
- 是ASIC电路中设计周期最短、开发费最低、风险最小的器件之一；
- 采用高速CHMOS工艺，功耗低，可以与CMOS、TTL电平兼容；
- 芯片是小批量系统提高系统集成度、可靠性的最佳选择之一

●



- 作业
- Verilog HDL入门(第3版), (美)巴斯克 著, 夏宇闻译, 北航
- 第1章 2、3、4、5、7、9、10
- Verilog数字系统设计教程 (第3版), 夏宇闻, 北航
- 第1章 3、8、11
- 第2章 4、8、10、14
- 两本教材作业任选其一

