



# 系统架构设计师

DESIGNER: 王川林

计算机组成与体系结构





Flynn分类法 ★ ★

CISC与RISC ★ ★

存储系统 ★ ★ ★

嵌入式系统 ★ ★ ★ ★

体系结构类型	结构	关键特性	代表
单指令流单数据流SISD	控制部分：一个 处理器：一个 主存模块：一个		单处理器系统
单指令流多数据流SIMD	控制部分：一个 处理器：多个 主存模块：多个	各处理器以异步的形式执行同一条指令	并行处理机 阵列处理机 超级向量处理机
多指令流单数据流MISD	控制部分：多个 处理器：一个 主存模块：多个	被证明不可能 至少是不实际	目前没有，有文献称流水线计算机为此类
多指令流多数据流MIMD	控制部分：多个 处理器：多个 主存模块：多个	能够实现作业、任务、指令等各级全面并行	多处理机系统  多计算机

指令系统类型	指令	寻址方式	实现方式	其它
CISC（复杂）	数量多，使用频率差别大，可变长格式	支持多种	微程序控制技术（微码）	研制周期长
RISC（精简）	数量少，使用频率接近，定长格式，大部分为单周期指令，操作寄存器只有Load/Store操作内存	支持方式少	增加了通用寄存器；硬布线逻辑控制为主；适合采用流水线	优化编译，有效支持高级语言

冯.诺依曼结构（也称普林斯顿结构）

程序指令存储与数据存储合并在一起。

一般用于PC，如I3，I5，I7

指令与数据都通过相同的数据总线传输。

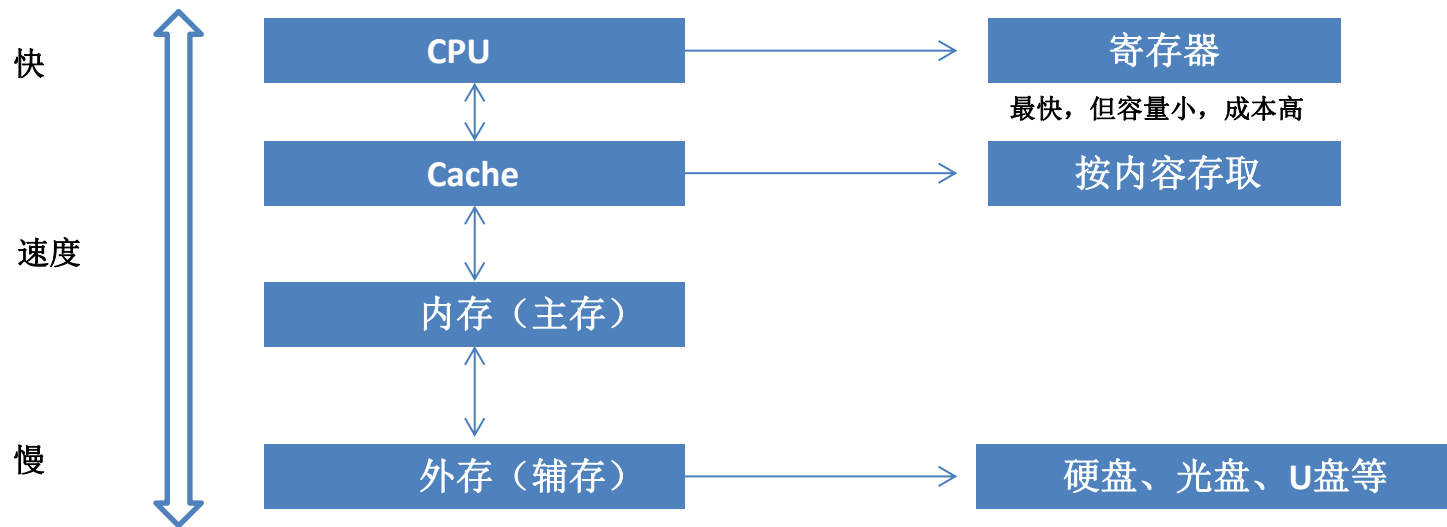
哈佛结构

程序指令存储与数据存储分开。

用于嵌入式系统处理器（DSP）

可并行读取，有较高数据吞吐率

4条总线：指令与数据的数据总线与地址总线。



- **Cache的功能：**提高CPU数据输入输出的速率，突破冯.诺依曼瓶颈，即CPU与存储系统间数据传送带宽限制。
- 在计算机的存储系统体系中，**Cache**是（除寄存器）访问速度最快的层次。
- 使用**Cache**改善系统性能的依据是程序的局部性原理。

如果以 $h$ 代表对**Cache**的访问命中率， $t_1$ 表示**Cache**的周期时间， $t_2$ 表示主存储器周期时间，以读操作为例，使用“**Cache+主存储器**”的系统的平均周期为 $t_3$ ,则：

$$t_3 = h \times t_1 + (1-h) \times t_2$$

其中， $(1-h)$ 又称为失效率（未命中率）。

- ▶ 时间局部性：指程序中的某条指令一旦执行，不久以后该指令可能再次执行，典型原因是由于程序中存在大量的循环操作。
- ▶ 空间局部性：指一旦程序访问了某个存储单元，不久以后，其附近的存储单元也将被访问，即程序在一段时间内访问的地址可能集中在一定的范围内，其典型情况是程序顺序执行。
- ▶ 工作集理论：工作集是进程运行时被频繁访问的页面集合。

例：

```
int ij,s=0,n=10000;  
for(i=1;i<=n;i++)  
    s+=j;  
printf("结果为: %d",s)
```

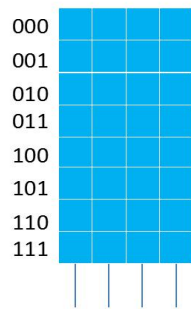


随机存取存储器  
只读存储器

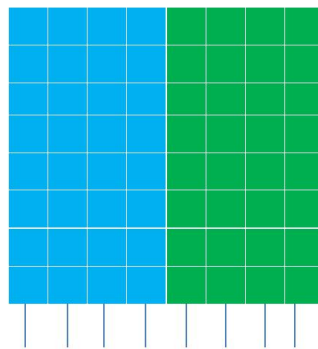
```
graph LR; A[随机存取存储器<br/>只读存储器] --> B[DRAM (Dynamic RAM, 动态RAM) -SDRAM<br/>SRAM (Static RAM, 静态)]; A --> C[MROM (Mask ROM, 掩模式ROM)<br/>PROM (Programmable ROM, 一次可编程ROM)<br/>EPROM (Erasable PROM, 可擦除的 PROM)<br/>闪存 (flash memory, 闪存)];
```

DRAM (Dynamic RAM, 动态RAM) -SDRAM  
SRAM (Static RAM, 静态)

MROM (Mask ROM, 掩模式ROM)  
PROM (Programmable ROM, 一次可编程ROM)  
EPROM (Erasable PROM, 可擦除的 PROM)  
闪存 (flash memory, 闪存)



8\*4位的存储器



8\*8位的存储器

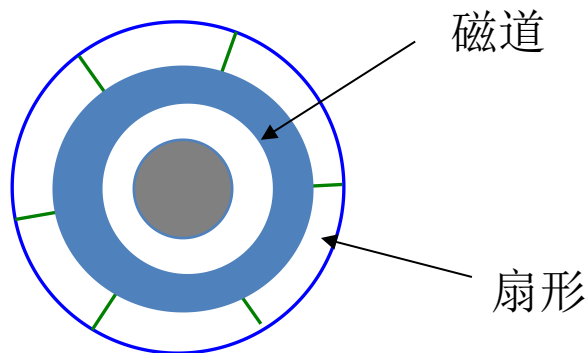
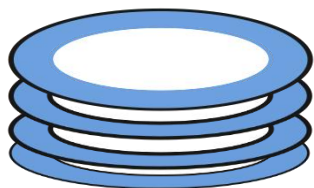


16\*4位的存储器

内存地址从AC000H到C7FFFG，共有（1）K个地址单元，如果该内存地址按字（16bit）编址，由28片存储器芯片构成。已知构成此内存的芯片每片有16K个存储单元，则该芯片每个存储单元存储（2）位。

（1） A.96 B.112 C.132 D.156

（2） A.4 B.8 C.16 D.24



★存取时间=寻道时间+等待时间（平均定位时间+转动延迟）

注意：寻道时间是指磁头移动到磁道所需的时间；等待时间为等待读写的扇区转到磁头下方所用时间

假设某磁盘的每个磁道划分为11个物理块，每块存放1个逻辑记录。逻辑记录 $R_0, R_1, \dots, R_9, R_{10}$ 存放在同一个磁道上，记录的存放顺序如下表所示：

物理块	1	2	3	4	5	6	7	8	9	10	11
逻辑记录	$R_0$	$R_1$	$R_2$	$R_3$	$R_4$	$R_5$	$R_6$	$R_7$	$R_8$	$R_9$	$R_{10}$

如果磁盘的旋转周期为33ms,磁头当前处在  $R_0$  的开始处。若系统使用单缓冲区顺序处理这些记录，每个记录处理时间为3ms，则处理这11个记录的最长时间为（ ）；若对信息存储进行优化分布后，处理11个记录的最少时间为（ ）。

A. 33ms

B. 336ms

C. 366ms

D. 376ms

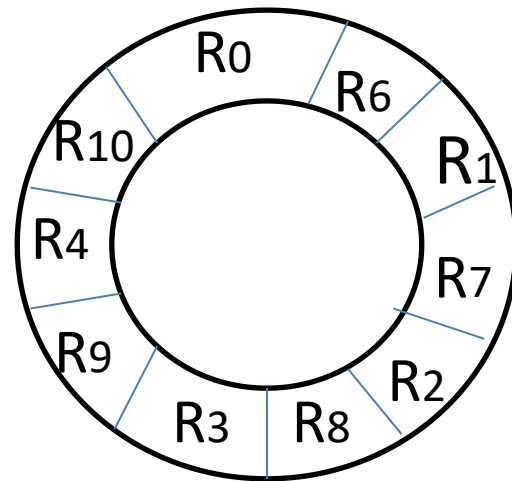
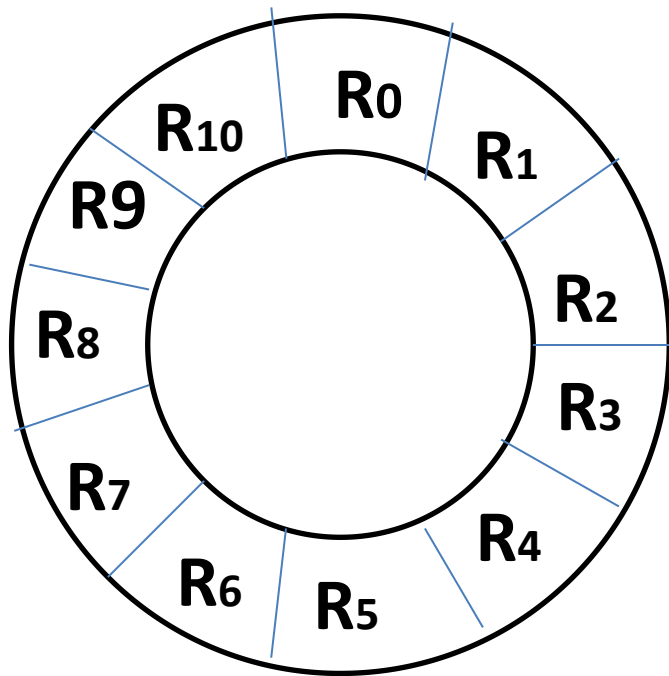
A. 33ms

B. 66ms

C. 86ms

D. 93ms





## 试题

若磁头的当前位置在第100磁道，现在有一磁盘读写请求序列如下：

23,376,205,132,19,61,190,398,29,4,18,40。若采用最短寻道时间优先算法，则平均寻道长度是多少？

133

58.3

57.7

70.9

**\*\*最短寻道时间优先算法(SSTF): \*\*从等待的访问者中挑选寻找时间最短的那个请求执行。如上题当前位置为100，则顺序为(100),132,190,205,61,40,29,23,19,18,4,376,398，因此磁头移动磁道总数为 $(132-100)+(190-132)+(205-190)+(205-61)+(61-40)+(40-29)+(29-23)+(23-19)+(19-18)+(18-4)+(376-4)+(398-376)=700$ ，平均移动磁道数为 $700/12=58.3$ ；**



一条总线同一时刻仅允许一个设备发送，但允许多个设备接收

### 总线的分类:



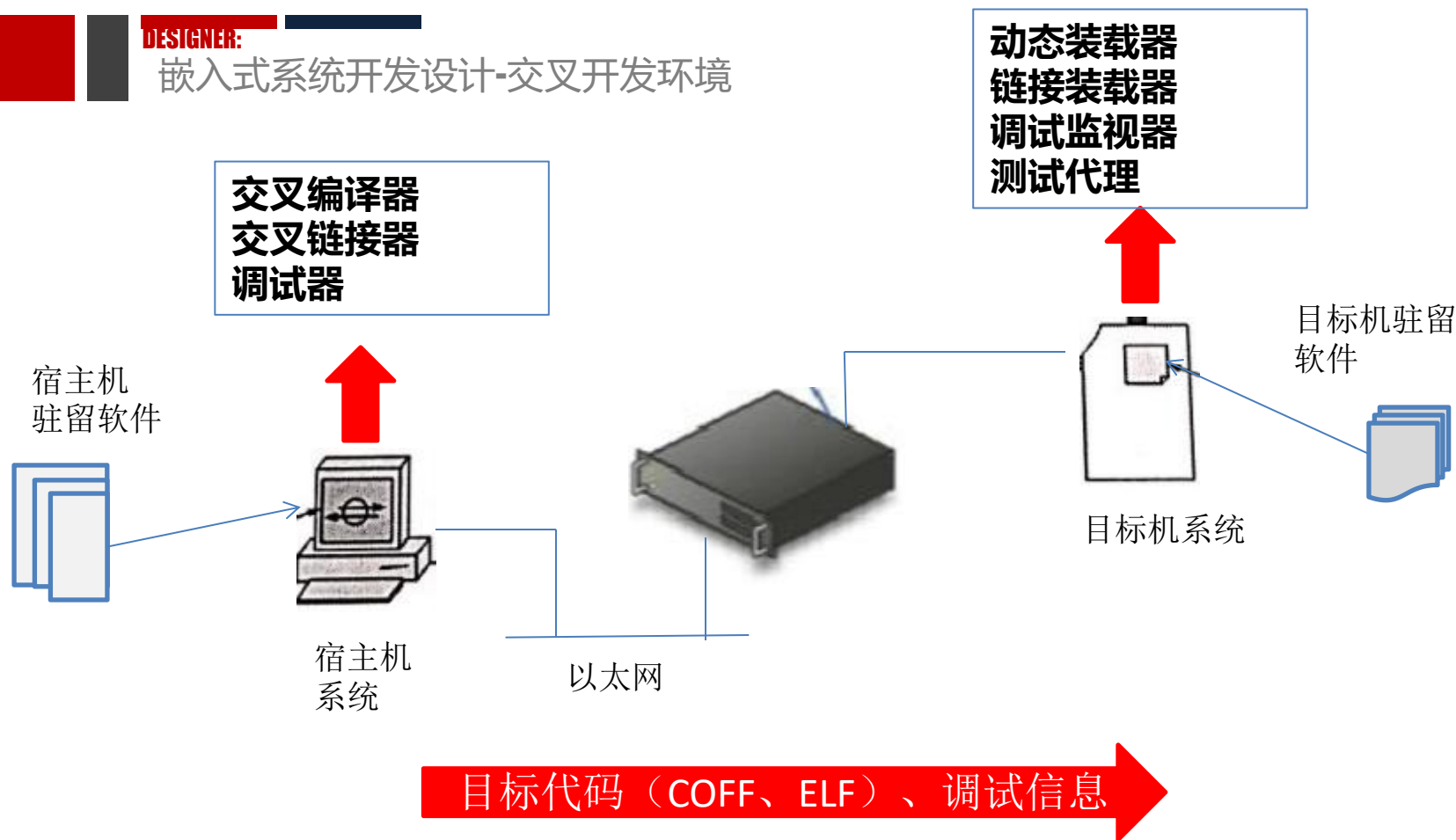
数据总线 (Data Bus): 在CPU与RAM之间来回传送需要处理或是需要储存的数据。



地址总线 (Address Bus): 用来指定在RAM (Random Access Memory) 之中储存的数据的地址。



控制总线 (Control Bus): 将微处理器控制单元 (Control Unit) 的信号，传送到周边设备，一般常见为USB Bus 和1394 Bus。





## 嵌入式系统初始化过程

片级初始化



板级初始化



系统初始化

### 片级初始化

完成嵌入式微处理器的初始化，包括设置嵌入式微处理器 核心寄存器和控制寄存器、嵌入式微处理器核心工作模式和嵌入式微处理器的局部总线模式等。片级初始化把嵌入式微处理器从上电时的默认状态逐步设置成系统所要求的工作状态。这是一个纯硬件的初始化过程。

### 板级初始化

完成嵌入式微处理器以外的其他硬件设备的初始化。另外，还需设置某些软件的数据结构和参数，为随后的系统初始化和应用程序的运行建立硬件和软件环境。这是一个同时包含软硬件两部分再内的初始化过程。

### 系统初始化

该初始化过程以软件初始化为主，主要进行操作系统的初始化。BSP将对嵌入式微处理器的控制权转交给嵌入式操作系统，由操作系统完成余下的初始化操作，包含加载和初始化与硬件无关的设备驱动程序，建立系统内存区，加载并初始化其他系统软件模块，如网络系统、文件系统等。最后，操作系统创建应用程序环境，并将控制权交给应用程序的入口。