

Cyclone10 FPGA 开发平台 用户手册

AX1006/AX1016/AX1025

REV 1.0 版

芯驿电子科技（上海）有限公司

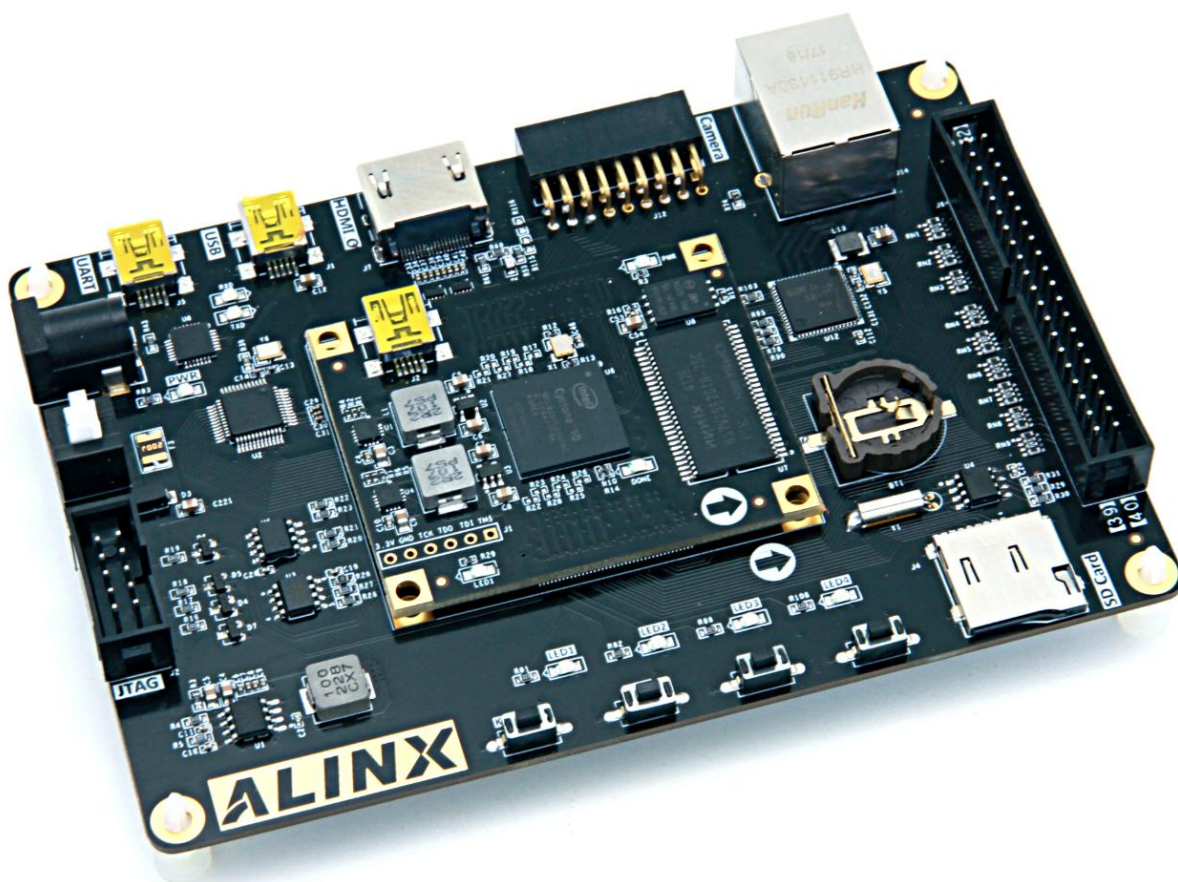
黑金动力社区

目录

一、 开发板简介	4
二、 FPGA 核心板.....	7
(一) 简介	7
(二) FPGA	8
(三) 有源晶振	10
(四) SDRAM	11
(五) SPI Flash	14
(六) LED 灯	15
(七) JTAG 接口.....	16
(八) 电源接口	17
(九) 扩展接口	18
(十) 电源	22
(十一) 结构图	25
三、 扩展板.....	26
(一) 简介	26
(二) 千兆以太网接口.....	27
(三) HDMI 输出接口	29
(四) USB2.0 通信接口	30
(五) SD 卡槽.....	32
(六) USB 转串口	33
(七) EEPROM 24LC04.....	35
(八) 实时时钟 DS1302.....	36
(九) 扩展口	37
(十) JTAG 接口.....	39
(十一) 摄像头接口	40
(十二) 按键	41
(十三) LED 灯	42
(十四) 供电电源	43

黑金 Cyclone 10 系列的高端 FPGA 开发平台(型号 :AX1006/AX1016/AX1025) 正式发布了, 3 个型号之间的差别就是 FPGA 所使用的芯片型号不同。为了让您对此开发平台可以快速了解, 我们编写了此用户手册。

这款 Cyclone 10 FPGA 开发平台采用核心板加扩展板的模式, 方便用户对核心板的二次开发利用。在底板设计上我们设计了丰富的外围接口, 比如千兆以太网接口, HDMI 输出接口, USB2.0 通信接口, Uart 通信接口, SD 卡接口, RTC 电路等等。满足用户各种高速数据传输, 视频图像处理和工业控制的要求, 是一款“全能级”的 FPGA 开发平台。为高速视频传输, 网络和 USB 通信及数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。



一、 开发板简介

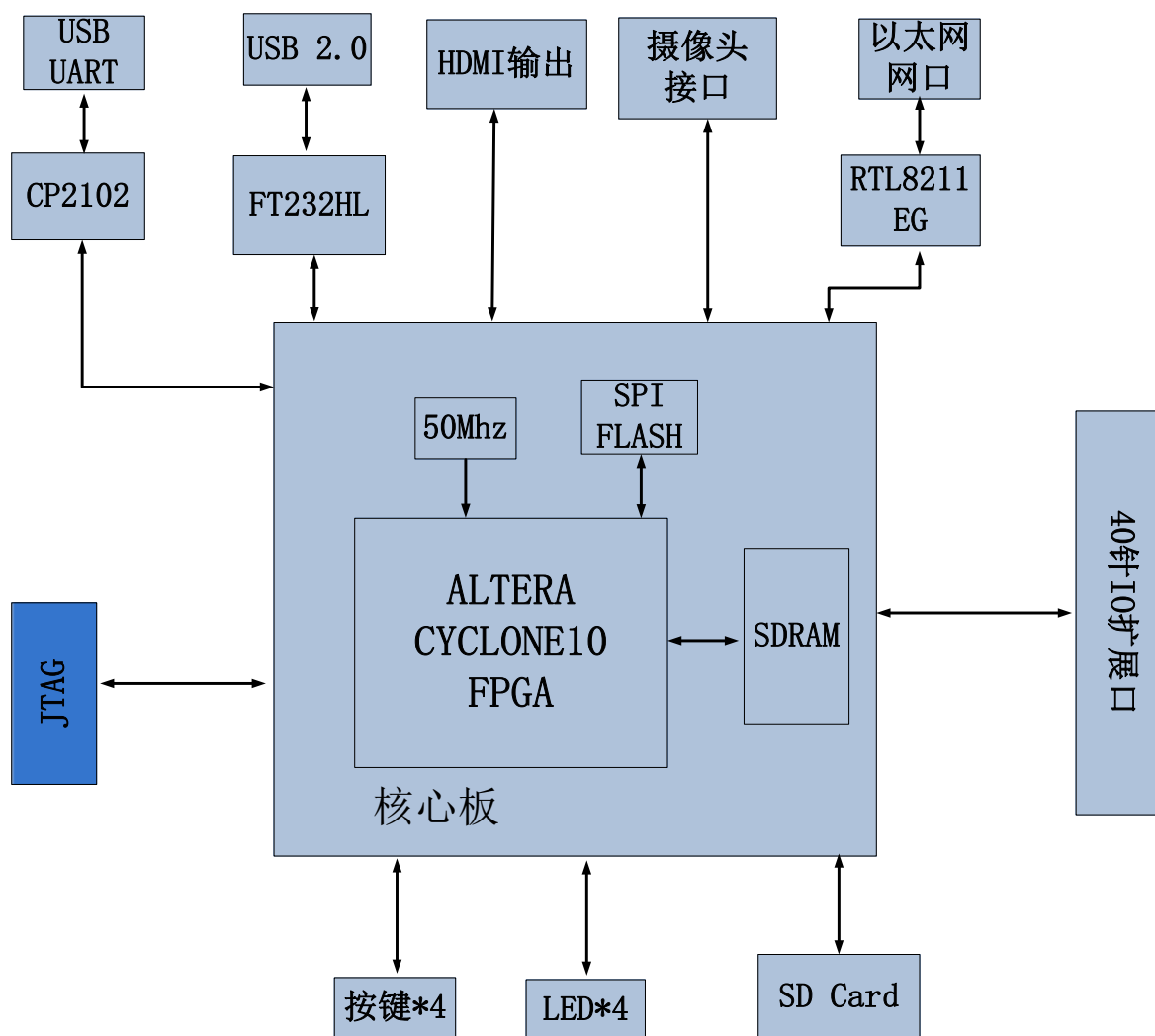
在这里，对这款 AX1006/AX1016/AX1025 FPGA 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 FPGA + SDRAM + SPI FLASH 构成，承担 FPGA 高速数据处理和存储的功能，加上 FPGA 和一片 SDRAM 之间的高速数据读写，数据位宽为 16 位，整个系统的带宽高达 2.1Gb/s (133M*16bit)；另外 SDRAM 容量高达 256Mbit，满足数据处理过程中对高缓冲区的需求。我们选用的 FPGA 为 ALTERA 公司最新的 Cyclone 10 系列的芯片，其中 AX1006 开发板采用的是 10CL006，AX1016 开发板采用的是 10CL016，AX1025 开发板采用的是 10CL025，FPGA 是 ubga256 封装。

底板为核心板扩展了丰富的外围接口，其中包含 1 路千兆以太网接口、1 路 HDMI 输出接口、1 路 USB2.0 接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 JTAG 调试接口、一个摄像头接口、1 路 40 针的扩展口和一些按键，LED，RTC 和 EEPROM 电路。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- AC1006/AC1016/AC1025 核心板

由 Cyclone10 FPGA+256Mb SDRAM+16Mb SPI FLASH 组成，另外板上有一个高精度的 50Mhz 晶振，为 FPGA 系统提供稳定的时钟输入。

- 一路 10/100M/1000M 以太网 RJ-45 接口

千兆以太网接口芯片采用 Realtek 公司的 RTL8211EG 以太网 PHY 芯片为用户提供网络通信服务。RTL8211EG 芯片支持 10/100/1000 Mbps 网络传输速率；全双工和自适应。

- 一路 HDMI 输出

使用 FPGA 的 4 路 LVDS 差分信号（3 路数据加 1 路时钟）接口直接驱动 HDMI 输出，为开发板提供不同格式的视频输出接口。

- 一路高速 USB2.0 接口

使用 FTDI Chip 公司的 FT232H 单通道 USB 芯片，可用于开发板和 PC 之间的 USB2.0 高速通信，最高速度达 480Mb/s。

- 一路 USB Uart 接口

一路 Uart 转 USB 接口 ,用于和电脑通信 ,方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片。

- Micro SD 卡座

一路 Micro SD 卡座 , 支持 SPI 模式。

- EEPROM

板载一片 IIC 接口的 EEPROM 24LC04。

- RTC 实时时钟

一路 RTC 实时时钟 , 配有电池座 , 电池的型号为 CR1220。

- 40 针扩展口

预留 2 个 40 针 2.54mm 间距的扩展口 , 可以外接黑金的各种模块 (双目摄像头 , TFT LCD 屏 , 高速 AD 模块等等)。扩展口包含 5V 电源 1 路 , 3.3V 电源 2 路 , 地 3 路 , IO 口 34 路。

- CMOS 接口

一个 18 针的摄像头接口 , 可以接黑金的 500 万 OV5640 摄像头。

- JTAG 口

10 针 2.54mm 标准的 JTAG 口 , 用于 FPGA 程序的下载和调试。

- 按键和 LED 灯

4 个用户按键 , 5 个用户发光二极管 LED (1 个在核心板 , 4 个在扩展板)。

二、FPGA 核心板

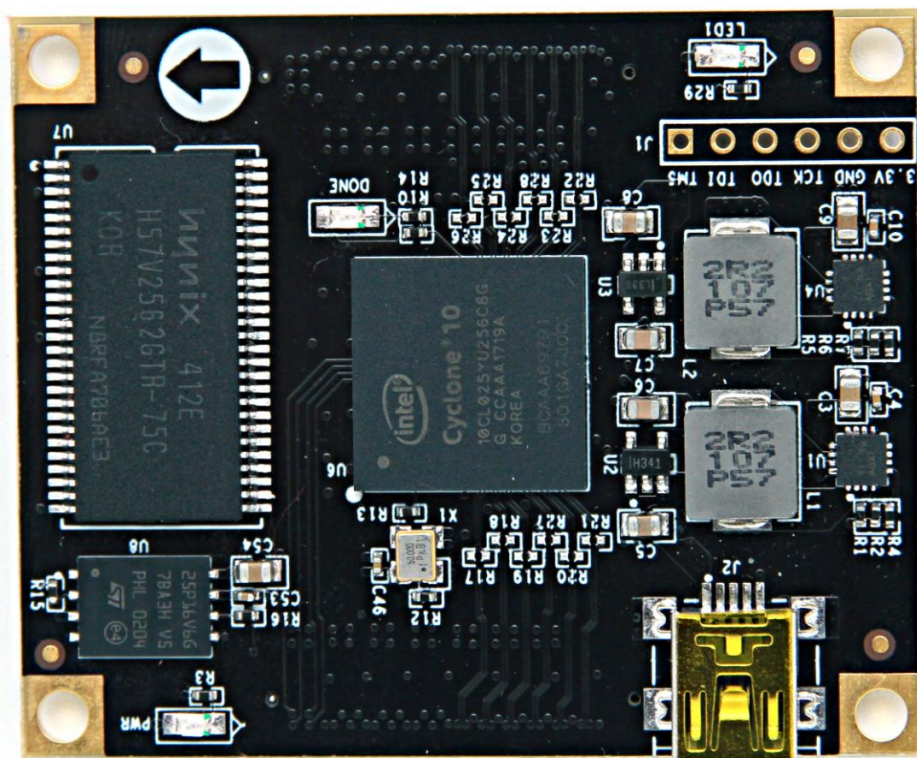
(一) 简介

AX1006 开发板的核心板型号是 **AC1006**，使用 Cyclone10 系列的 10CL006YU256C8 芯片；AX1016 开发板的核心板型号是 **AC1016**，使用 Cyclone10 系列的 10CL016YU256C8 芯片；AX1025 开发板的核心板型号是 **AC1025**，使用 Cyclone10 系列的 10CL015YU256C8 芯片。

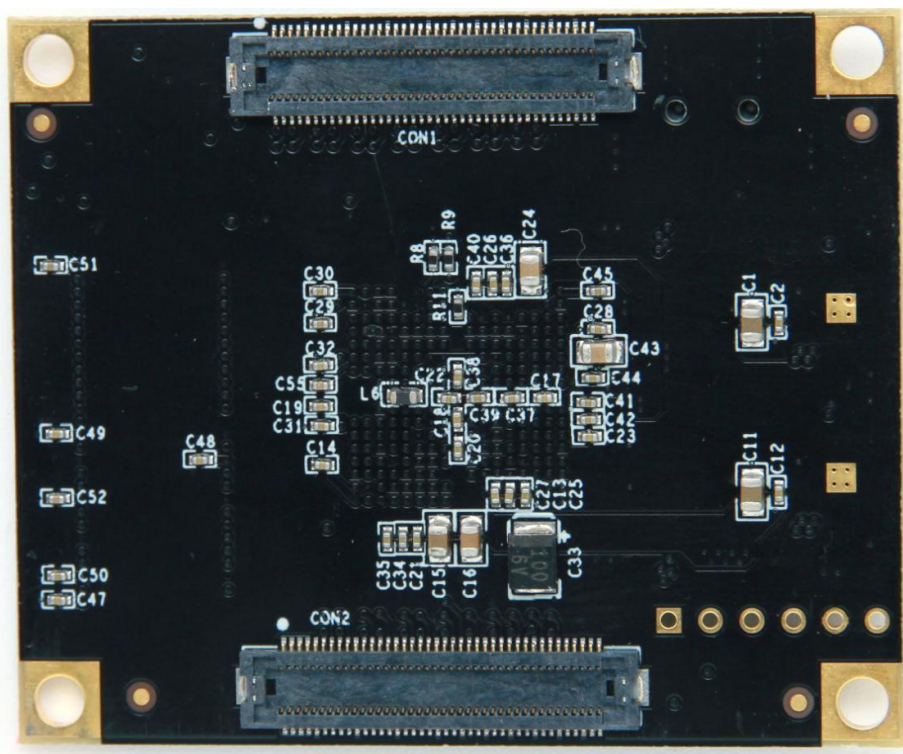
核心板采用的 ALTERA 最新的 Cyclone10 系列的 FPGA 芯片开发设计，具有高速，高带宽，高容量等特点，适合高速数据通信，视频图像处理，高速数据采集等方面使用。

核心板使用了 1 片海力士（Hynix）公司的 HY57V2562GTR 这款 SDRAM 芯片，SDRAM 的容量为 256Mbit；SDRAM 芯片和 FPGA 芯片的数据总线宽度为 16bit，数据时钟频率高达 133Mhz；这样的配置，可以满足高带宽的数据处理的需求。板上的 16M SPI FLASH 芯片的型号为 M25P16，用于存储 FPGA 系统的启动镜像文件。

这款核心板扩展出 103 个 FPGA 的 3.3V 电平标准的 IO 口，其中有 10 个 IO 是只能作为输入口，其它 93 个 IO 口都为双向的 IO 口（包含 12 对 LVDS 差分）。对于需要大量 IO 的用户，此核心板将是不错的选择。而且，FPGA 芯片到接口之间走线做了等长和 12 对 LVDS 差分处理，并且核心板尺寸仅为 45*55（mm），对于二次开发来说，非常适合。



AC1006/AC1016/AC1025 核心板正面图



AC1006/AC1016/AC1025 核心板背面图

(二) FPGA

前面已经介绍过了，AC1006 核心板所使用的 FPGA 型号为 **10CL006YU256C8**，AC1016 核心板所使用的 FPGA 型号为 **10CL016YU256C8**，AC1025 核心板所使用的 FPGA 型号为 **10CL025YU256C8**。它属于 ALTERA 公司最新的 Cyclone10 系列的产品，速度等级为-8，温度等级为商业级。此型号为 U256 封装，256 个引脚。ALTERA Cyclone10 FPGA 的芯片命名规则如下：

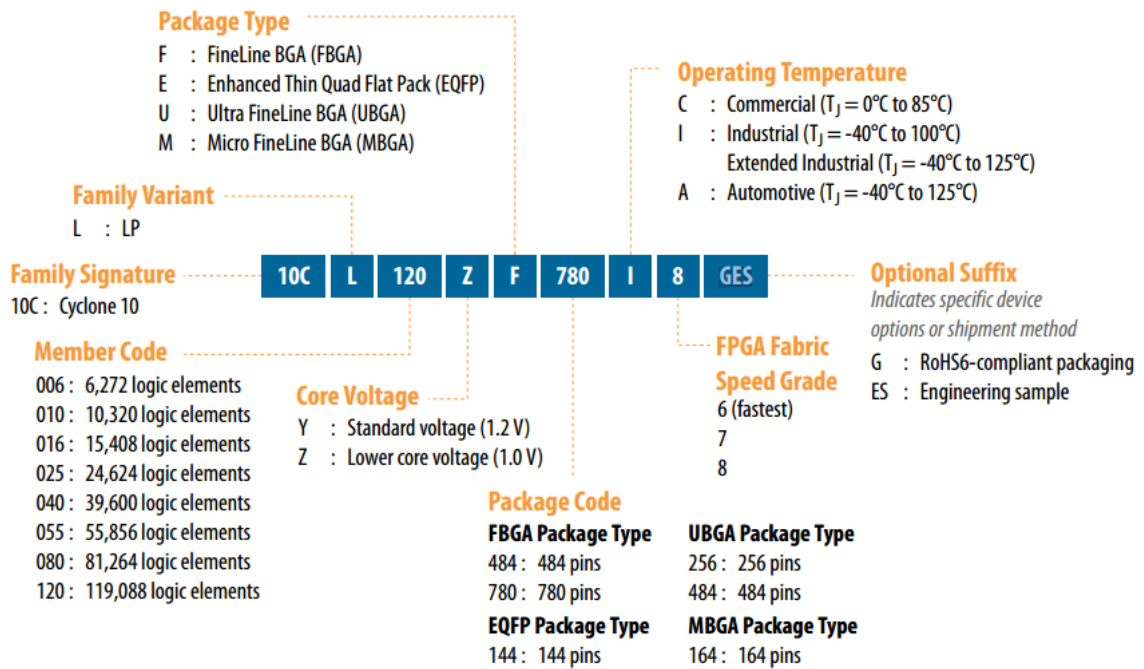


图 2-2-1 为开发板所用的 FPGA 芯片实物图。

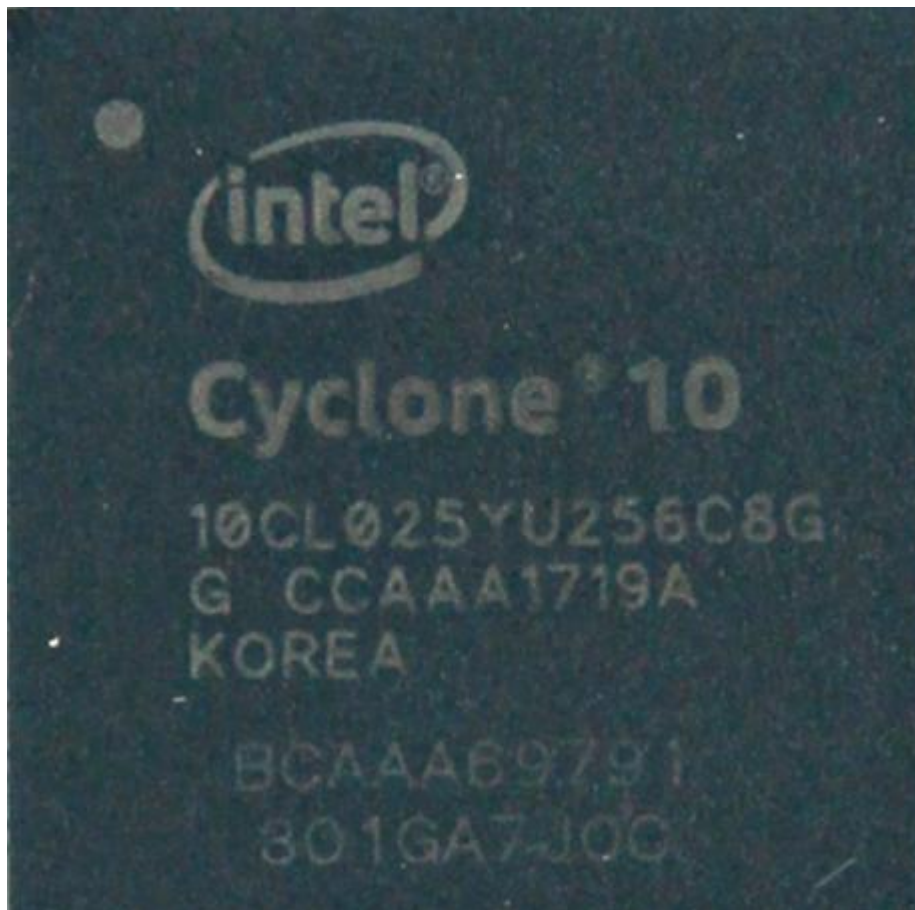


图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 10CL006/10CL016/10CL025 的主要参数如下所示：

Resource		Device							
		10CL006	10CL010	10CL016	10CL025	10CL040	10CL055	10CL080	10CL120
Logic Elements (LE)		6,272	10,320	15,408	24,624	39,600	55,856	81,264	119,088
M9K Memory	Block	30	46	56	66	126	260	305	432
	Capacity (Kb)	270	414	504	594	1,134	2,340	2,745	3,888
18 × 18 Multiplier		15	23	56	66	126	156	244	288
PLL		2	2	4	4	4	4	4	4
Clock		20	20	20	20	20	20	20	20
Maximum I/O		176	176	340	150	325	321	423	525
Maximum LVDS		65	65	137	52	124	132	178	230

FPGA 供电系统

ALTERA Cyclone10 FPGA 电源有 VCCINT, VCCIO, VCCA 和 VCCD_PLL。VCCINT 为 FPGA 内核供电引脚, 需接+1.2V; VCCIO 为 FPGA 的各个 BANK 的 IO 电压, 包含 BANK1~8, 在 AC1006/AC1016/AC1025 核心板上, BANK2 和 BANK6 的 VCCIO 是由 LDO 供电, 可以通过更换 LDO 芯片来更改 BANK 的电平, 默认为+3.3V, 其它 BANK 的 VCCIO 电压都是+3.3V 供电。VCCD_PLL 和 VCCA 为 FPGA 的 PLL 的电源和 JTAG 的电源, 都接+2.5V。

(三) 有源晶振

AC1006/AC1016/AC1025 核心板上配有一个 50Mhz 的有源差分晶振, 用于 FPGA 的系统主时钟。晶振输出连接到 FPGA 的时钟输入管脚(DIFFCLK_0N, Pin E1), 这个时钟可以用来驱动 FPGA 内的用户逻辑电路, 用户可以通过配置 FPGA 内部的 PLLs 来实现更高的时钟。

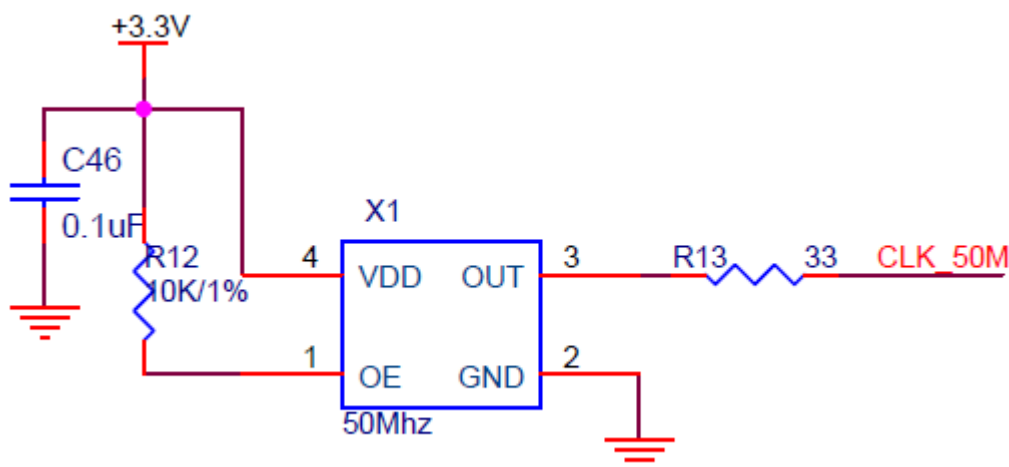


图 2-3-1 50Mhz 有源晶振

图 2-3-2 为 50Mhz 有源晶振实物图



图 2-3-2 50M 有源晶振实物图

时钟引脚分配：

引脚名称	FPGA 引脚
CLK_50M	E1

(四) SDRAM

AC1006/AC1016/AC1025 核心板上配有一片 Hynix(h 海力士) 的 256Mbit 的 SDRAM 芯片, 型号为 HY57V2562GTR。SDRAM 的数据总线宽度为 16bit。SDRAM 和 FPGA 的最高运行时钟速度可达 133MHz。该 SDRAM 存储芯片直接连接到了 FPGA 的 BANK7 和 BANK8 的 IO 口上。SDRAM 的具体配置如下表 2-4-1 所示。

表 2-4-1 SDRAM 配置

位号	芯片类型	容量	厂家
U7	HY57V2562GTR	4Bank x 4M x 16bit	Hynix

SDRAM 的 PCB 的硬件设计需要考虑数据线和地址控制线的等长, 保证 SDRAM 的高速稳定的工作。SDRAM 的硬件连接示意图如图 2-4-1 所示:

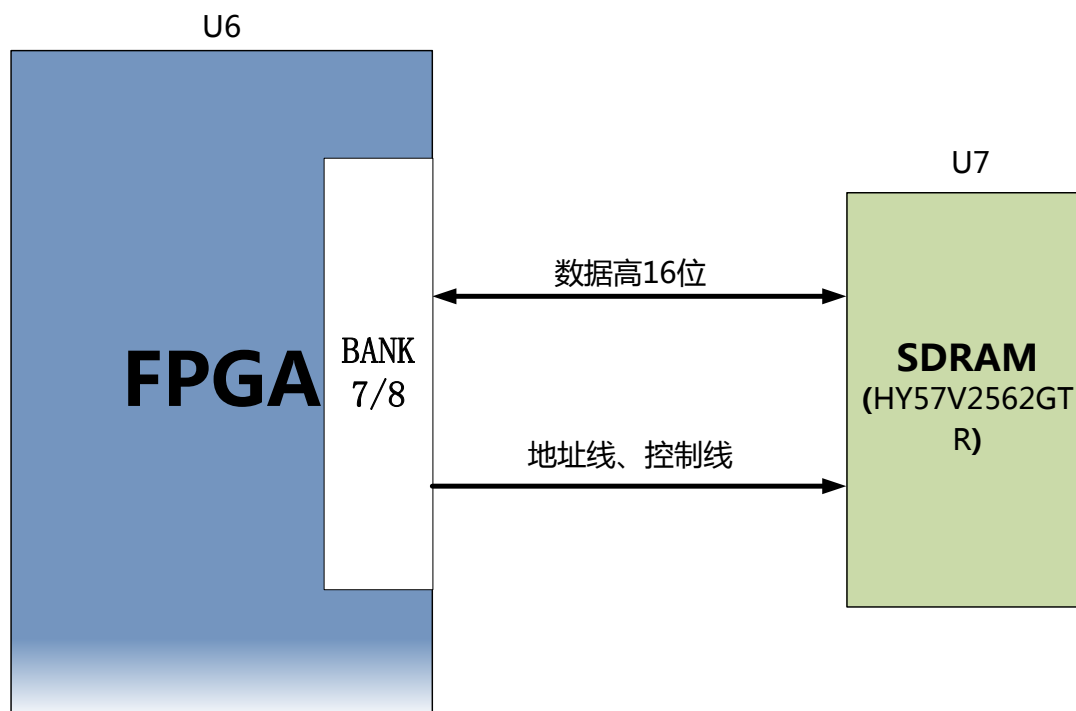


图2-4-1 SDRAM原理图示意图

图 2-4-2 为 SDRAM 实物图：



图2-4-2 SDRAM实物图

SDRAM 引脚分配：

引脚名称	FPGA 引脚
S_CLK	D3
S_CKE	C9
S_NCS	A7
S_NWE	A10
S_NCAS	B10

S_NRAS	B7
S_DQM[0]	A11
S_DQM[1]	D9
S_BA[0]	A6
S_BA[1]	B6
S_A[0]	B5
S_A[1]	A4
S_A[2]	B4
S_A[3]	A2
S_A[4]	D6
S_A[5]	C6
S_A[6]	E7
S_A[7]	D8
S_A[8]	C8
S_A[9]	E8
S_A[10]	A5
S_A[11]	F8
S_A[12]	F9
S_DB[0]	A15
S_DB[1]	B14
S_DB[2]	A14
S_DB[3]	B13
S_DB[4]	A13
S_DB[5]	B12
S_DB[6]	A12
S_DB[7]	B11
S_DB[8]	E9
S_DB[9]	C11
S_DB[10]	E10
S_DB[11]	D11
S_DB[12]	D12

S_DB[13]	C14
S_DB[14]	E11
S_DB[15]	D14

(五) SPI Flash

核心板上使用了一片 16Mbit 大小的 SPI FLASH 芯片，型号为 M25P16，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，SPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的配置文件、软核的应用程序代码以及其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U8	M25P16	16M Bit	ST

表2-5-1 SPI Flash的型号和参数

SPI FLASH 连接到 FPGA 芯片的专用管脚上，图 2-5-1 为 SPI Flash 在硬件连接示意图。

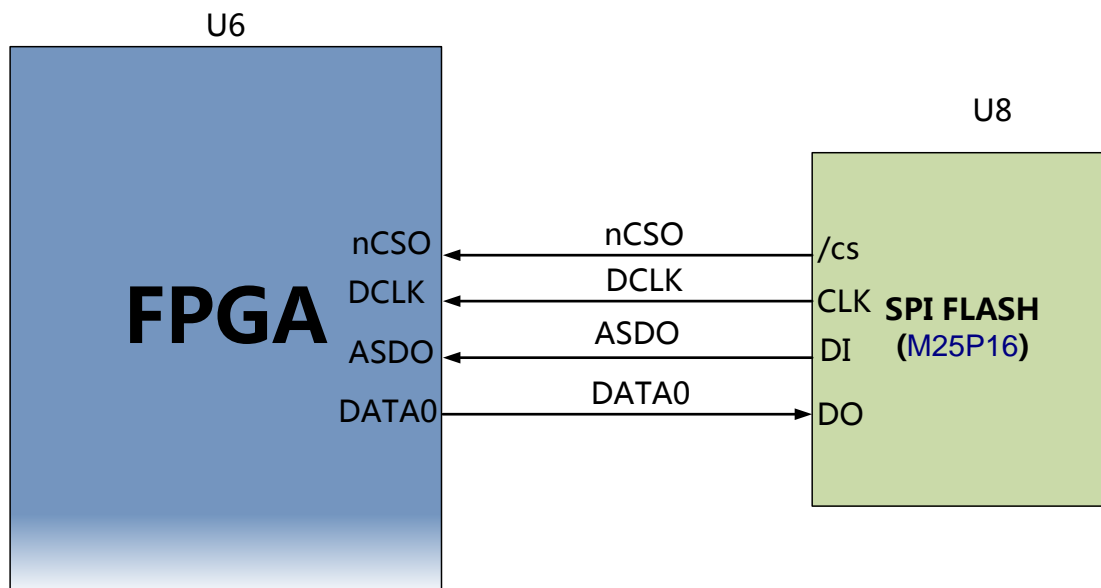


图2-5-1 SPI Flash连接示意图

配置芯片引脚分配：

信号名称	FPGA 管脚号
nCSO	D2

DCLK	H1
ASDO	C1
DATA0	H2

图 2-5-2 为开发板上 SPI Flash 的实物图



图 2-5-2 SPI FLASH 部分实物图

(六) LED 灯

AC1006/AC1016/AC1025 核心板上有 3 个红色 LED 灯，其中 1 个是电源指示灯 (PWR)，1 个是配置 LED 灯(DONE)，另外一个为用户 LED 灯 (LED1)。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会熄灭。用户 LED 灯用户连接到 BANK3 的 IO 上，可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯熄灭，当连接 IO 电压为低时，用户 LED 会被点亮。LED 灯硬件连接的示意图如图 2-6-1 所示：

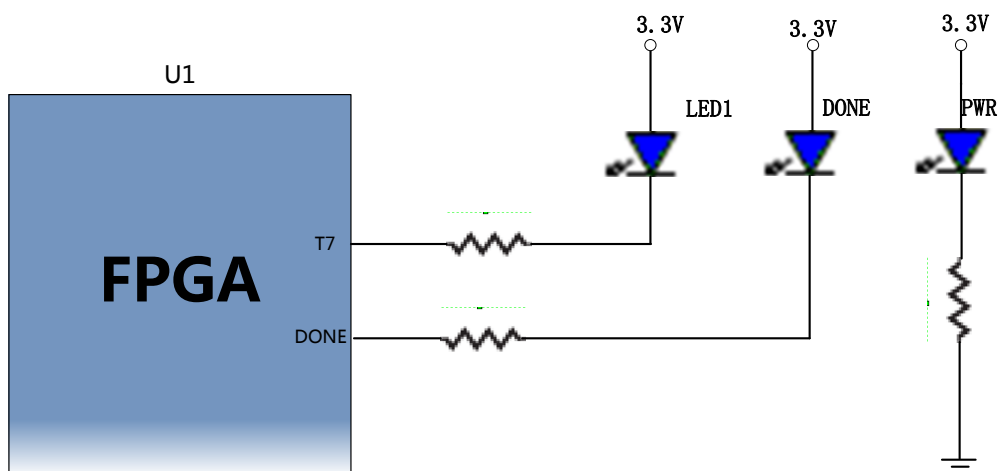


图 2-6-1 核心板 LED 灯硬件连接示意图

图 2-6-2 为核心板上的 LED 灯实物图

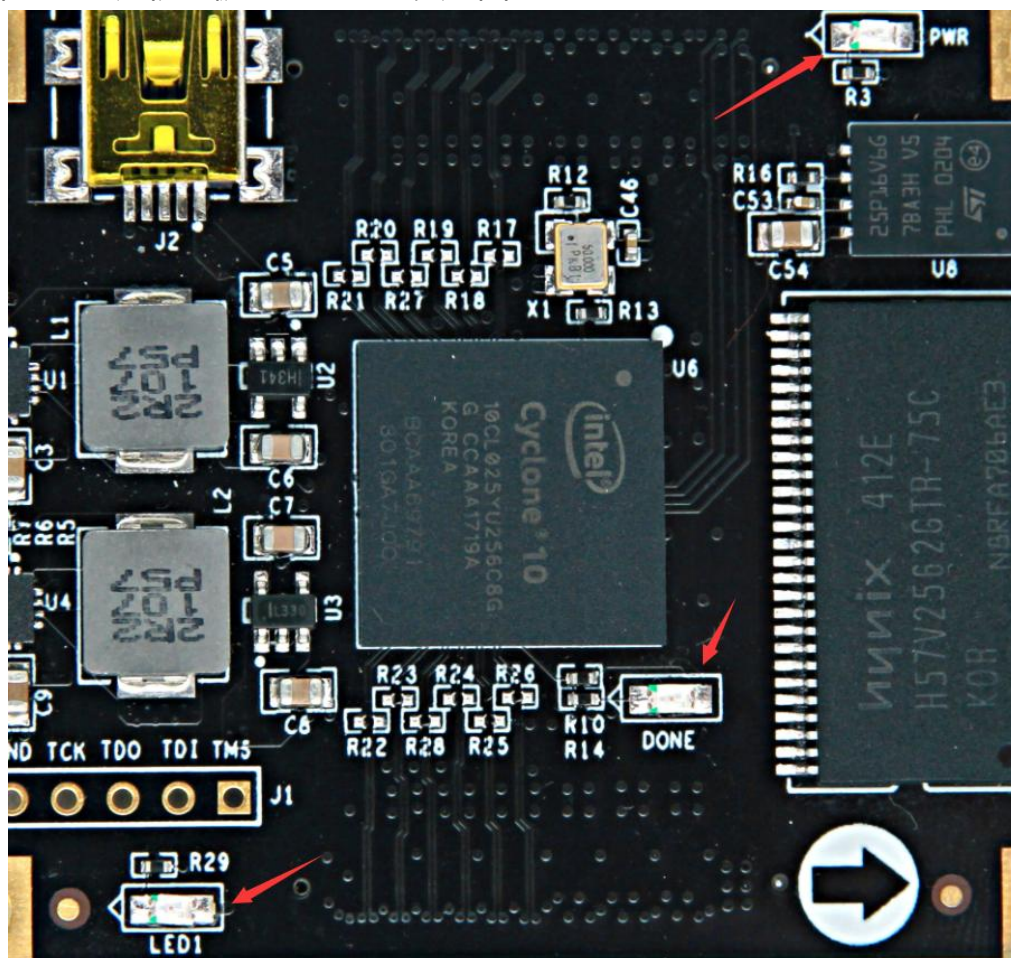


图 2-6-2 核心板的 LED 灯实物图

用户 LED 灯的引脚分配

信号名称	FPGA 管脚号	备注
LED1	T7	用户LED灯

(七) JTAG 接口

在 AC1006/AC1016/AC1025 核心板上我们也预留了 JTAG 的测试座 J1，用来核心板单独 JTAG 下载和调试，图 2-7-1 就是 JTAG 口的原理图部分，其中涉及到 TMS,TDI,TDO,TCK,GND,+3.3V 这六个信号。

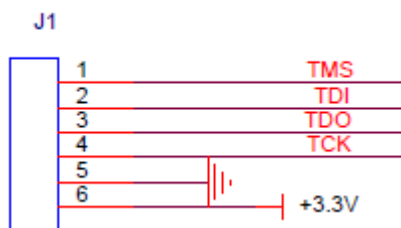


图 2-7-1 核心板原理图中 JTAG 接口部分

核心板上 JTAG 接口 J1 采用 6 针的 2.54mm 间距的单排测试孔，用户如果需要在核心板上用 JTAG 连接调试的话，需要焊接 6 针的单排排针。图 2-7-2 为 JTAG 接口在开发板上的实物图



图 2-7-2 JTAG 接口实物图

(八) 电源接口

为了能使核心板单独工作，我们为核心板预留了 Mini USB 接口，通过 USB 线连接电脑的 USB 口给核心板进行+5V 供电。这样用户就可以无需底板的情况下调试核心板的功能。Mini USB 口在核心板上的接口是 J2，当用户通过 Mini USB 口（J2）给核心板供电时，不能再通过底板供电，否则会造成电流冲突，可能会烧坏电脑的 USB 接口。

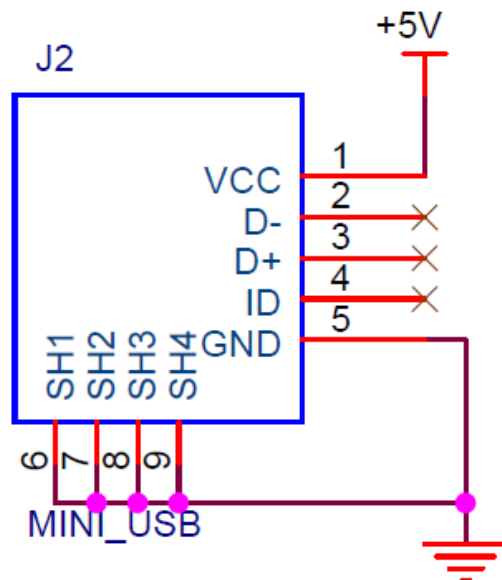


图 2-8-1 MINI USB 接口电路

图 2-8-2 为 Mini USB 接口在开发板上的实物图



图 2-8-2 MINI USB 接口实物图

(九) 扩展接口

核心板的背面一共扩展出 2 个高速扩展口，使用 2 个 80Pin 的板间连接器和底板连接，FPGA 的 IO 口和差分信号通过通过这 2 个扩展口跟底板连接。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器连接来实现核心板和底板的高速数据通信。

扩展口 CON1

80Pin 的连接器 CON1 用来连接 FPGA 的普通 IO (其中包含 6 对差分方式的 IO , 可作为 LVDS 数据通信使用), 默认 IO 的电平标准为 3.3V。这里需要注意, CON1 口有 10 个管脚(PIN1~PIN8,PIN59,PIN61)是连接到 FPGA 的时钟输入引脚, 所以这 10 个 IO 口只能作为输入 IO 使用。CON1 扩展口的管脚分配如表 2-9-1 所示:

2-9-1 表: 扩展口 CON1 引脚分配

CON1 管脚	信号 名称	FPGA 管脚号	输入/ 输出	CON1 管脚	信号 名称	FPGA 管脚号	输入/ 输出
PIN1	CLK_IN_A9	A9	I	PIN2	CLK_IN_R9	R9	I
PIN3	CLK_IN_B9	B9	I	PIN4	CLK_IN_T9	T9	I
PIN5	CLK_IN_A8	A8	I	PIN6	CLK_IN_T8	T8	I
PIN7	CLK_IN_B8	B8	I	PIN8	CLK_IN_R8	R8	I
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	BANK8_A3	A3	I/O	PIN12	BANK3_L8	L8	I/O
PIN13	BANK8_B3	B3	I/O	PIN14	BANK3_M8	M8	I/O
PIN15	BANK1_B1	B1	I/O	PIN16	BANK3_L7	L7	I/O
PIN17	BANK1_C2	C2	I/O	PIN18	BANK2_L4	L4	I/O
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	BANK8_C3	C3	I/O	PIN22	BANK3_M6	M6	I/O
PIN23	BANK1_D1	D1	I/O	PIN24	BANK3_M7	M7	I/O
PIN25	BANK8_E6	E6	I/O	PIN26	BANK3_N8	N8	I/O
PIN27	BANK1_F3	F3	I/O	PIN28	BANK3_P6	P6	I/O
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	BANK1_G2	G2	I/O	PIN32	BANK2_R1	R1	I/O
PIN33	BANK1_G1	G1	I/O	PIN34	BANK3_T2	T2	I/O
PIN35	BANK2_K5	K5	I/O	PIN36	BANK3_R3	R3	I/O
PIN37	BANK2_L3	L3	I/O	PIN38	BANK3_T3	T3	I/O
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	DIFF_L7N	J1	I/O	PIN42	BANK3_R4	R4	I/O
PIN43	DIFF_L7P	J2	I/O	PIN44	BANK3_T4	T4	I/O
PIN45	GND	-	地	PIN46	BANK3_N6	N6	I/O
PIN47	DIFF_L10N	K1	I/O	PIN48	BANK3_R5	R5	I/O
PIN49	DIFF_L10P	K2	I/O	PIN50	BANK3_N3	N3	I/O

PIN51	GND	-	地	PIN52	GND	-	地
PIN53	DIFF_L11N	L1	I/O	PIN54	BANK3_N5	N5	I/O
PIN55	DIFF_L11P	L2	I/O	PIN56	BANK3_T5	T5	I/O
PIN57	GND	-	地	PIN58	BANK3_P3	P3	I/O
PIN59	DIFFCLK_1N	M1	I	PIN60	BANK3_P8	P8	I/O
PIN61	DIFFCLK_1P	M2	I	PIN62	BANK3_R7	R7	I/O
PIN63	GND	-	地	PIN64	GND	-	地
PIN65	DIFF_L13N	N1	I/O	PIN66	BANK3_T6	T6	I/O
PIN67	DIFF_L13P	N2	I/O	PIN68	BANK3_R6	R6	I/O
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	DIFF_L15N	P1	I/O	PIN72	NC	-	空脚
PIN73	DIFF_L15P	P2	I/O	PIN74	NC	-	空脚
PIN75	GND	-	地	PIN76	NC	-	空脚
PIN77	NC	-	空脚	PIN78	NC	-	空脚
PIN79	NC	-	空脚	PIN80	NC	-	空脚

其中 DIFF_LxxN 和 DIFF_LxxP 的管脚在 PCB 上以差分方式引出，可以作为 LVDS 数据通信使用。

图 2-9-1 为 CON1 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

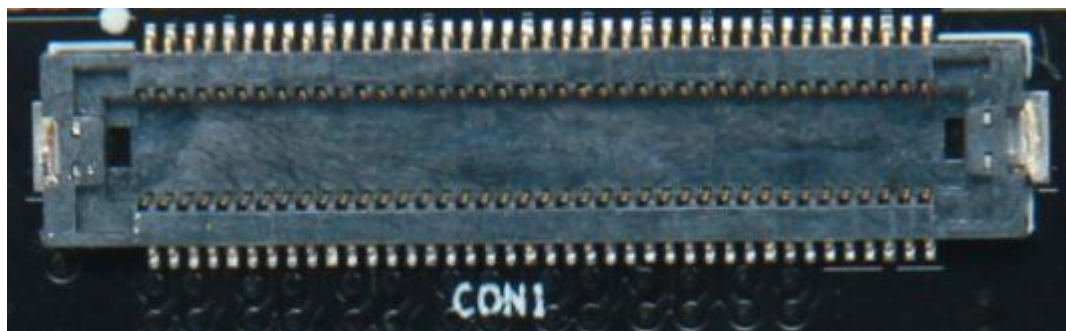


图 2-9-1 CON1 扩展口连接器的实物图

扩展口 CON2

80Pin 的连接器 CON2 用来连接核心板的 +5V 电源, JTAG 接口信号和 FPGA 的普通 IO 口 (其中包含 6 对差分方式的 IO , 可作为 LVDS 数据通信使用) 到底板 , IO 的电压标准默认都是 3.3V 的。这里需要注意，CON2 口有 4 个管脚(PIN24，PIN26，PIN60，

PIN62)是连接到FPGA的时钟输入引脚,所以这4个IO口只能作为输入IO使用。CON2扩展口的管脚分配如表 2-9-2 所示：

2-9-2 表：扩展口 CON2 引脚分配

CON2 管脚	信号 名称	FPGA 管脚号	输入/ 输出	CON2 管脚	信号 名称	FPGA 管脚号	输入/ 输出
PIN1	+5V	-	电源	PIN2	+5V	-	电源
PIN3	+5V	-	电源	PIN4	+5V	-	电源
PIN5	+5V	-	电源	PIN6	+5V	-	电源
PIN7	+5V	-	电源	PIN8	+5V	-	电源
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	BANK4_M10	M10	I/O	PIN12	BANK6_B16	B16	I/O
PIN13	BANK4_N9	N9	I/O	PIN14	BANK6_C15	C15	I/O
PIN15	BANK5_J14	J14	I/O	PIN16	BANK6_C16	C16	I/O
PIN17	BANK5_J13	J13	I/O	PIN18	BANK6_D15	D15	I/O
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	BANK4_P9	P9	I/O	PIN22	BANK6_D16	D16	I/O
PIN23	BANK4_N11	N11	I/O	PIN24	CLK_IN_E15	E15	I
PIN25	BANK5_L14	L14	I/O	PIN26	CLK_IN_E16	E16	I
PIN27	BANK5_L13	L13	I/O	PIN28	BANK6_F13	F13	I/O
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	BANK4_N12	N12	I/O	PIN32	BANK6_F16	F16	I/O
PIN33	BANK5_N14	N14	I/O	PIN34	BANK6_F15	F15	I/O
PIN35	BANK5_P15	P15	I/O	PIN36	BANK6_G16	G16	I/O
PIN37	BANK4_P14	P14	I/O	PIN38	BANK6_G15	G15	I/O
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	BANK4_T15	T15	I/O	PIN42	DIFF_R9N	J16	I/O
PIN43	BANK4_R14	R14	I/O	PIN44	DIFF_R9P	J15	I/O
PIN45	BANK4_P11	P11	I/O	PIN46	GND	-	地
PIN47	BANK4_T14	T14	I/O	PIN48	DIFF_R10N	K16	I/O
PIN49	BANK6_F14	F14	I/O	PIN50	DIFF_R10P	K15	I/O
PIN51	GND	-	地	PIN52	GND	-	地
PIN53	BANK4_T13	T13	I/O	PIN54	DIFF_R11N	L16	I/O

PIN55	BANK4_R13	R13	I/O	PIN56	DIFF_R11P	L15	I/O
PIN57	BANK4_T12	T12	I/O	PIN58	GND	-	地
PIN59	BANK4_R12	R12	I/O	PIN60	DIFFCLK_3N	M16	I
PIN61	BANK4_T11	T11	I/O	PIN62	DIFFCLK_3P	M15	I
PIN63	GND	-	地	PIN64	GND	-	地
PIN65	BANK4_R11	R11	I/O	PIN66	DIFF_R13N	N16	I/O
PIN67	BANK4_R10	R10	I/O	PIN68	DIFF_R13P	N15	I/O
PIN69	BANK4_T10	T10	I/O	PIN70	GND	-	地
PIN71	NC	-	空脚	PIN72	DIFF_R15N	P16	I/O
PIN73	NC	-	空脚	PIN74	DIFF_R15P	R16	I/O
PIN75	GND	-	地	PIN76	GND	-	地
PIN77	TDI	H4	O	PIN78	TCK	H3	O
PIN79	TMS	J5	O	PIN80	TDO	J4	I

其中 DIFF_LxxN 和 DIFF_LxxP 的管脚在 PCB 上以差分方式引出, 可以作为 LVDS 数据通信使用。

图 2-9-2 为 CON2 扩展口连接器的实物图, 连接器的 Pin1 已经在板上用圆点标示出。



图 2-9-2 CON2 扩展口连接器的实物图

(十) 电源

AC1006/AC1016/AC1025 核心板供电电压为+5V, 单独使用时通过 Mini USB 接口供电, 连接底板时通过底板供电, 请注意不要 Mini USB 和底板同时供电, 以免造成损坏。板上的电源设计示意图如下图 2-10-1 所示:

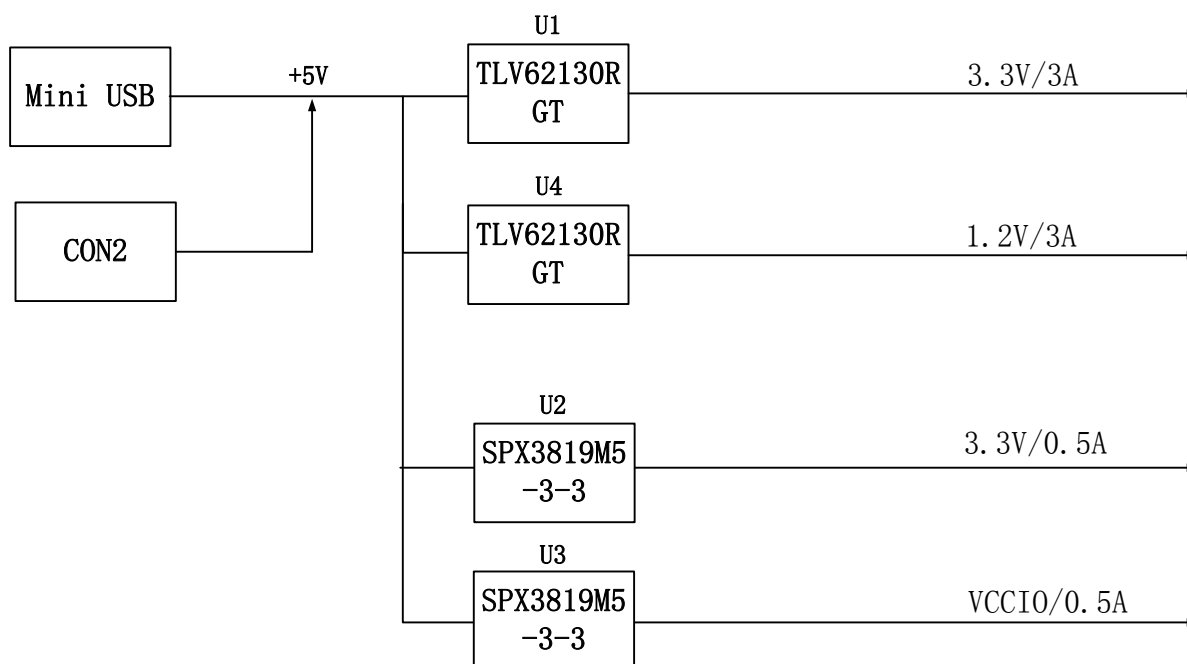
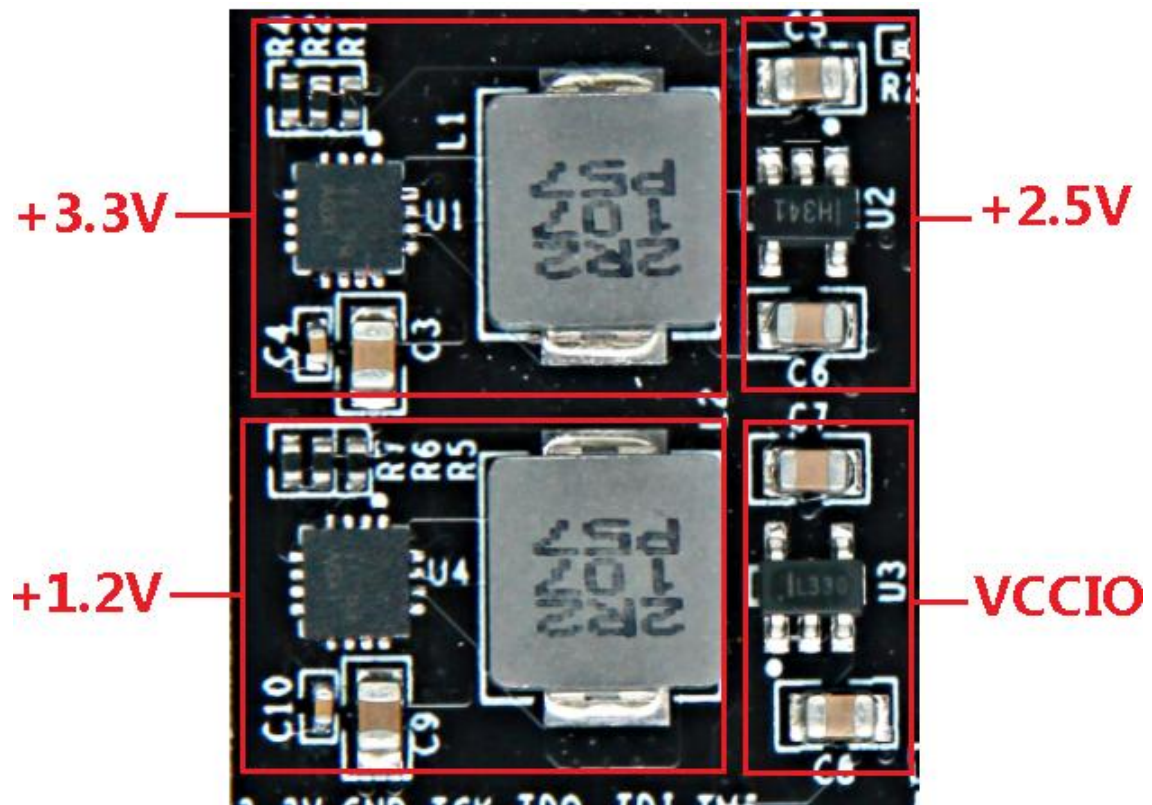


图 2-10-1 原理图中电源接口部分

核心板通过+5V 供电, 通过 2 路 DC/DC 电源芯片 TLV62130RGT 转化成+3.3V , +1.2V两路电源, 每路输出电流可高达 3A。通过 2 路 LDO SPX3819M5-3-3 产生 VCCIO 电源和+2.5V 电源, VCCIO 主要是对 FPGA 的 BANK2, BANK5 进行供电, 用户可以通过更换其它的 LDO 芯片, 使得 BANK2, 5 的 IO 适应不同的电压标准, 连接的差分信号实现不同电平标准的 LVDS 数据通信。各个电源分配的功能如下表所示:

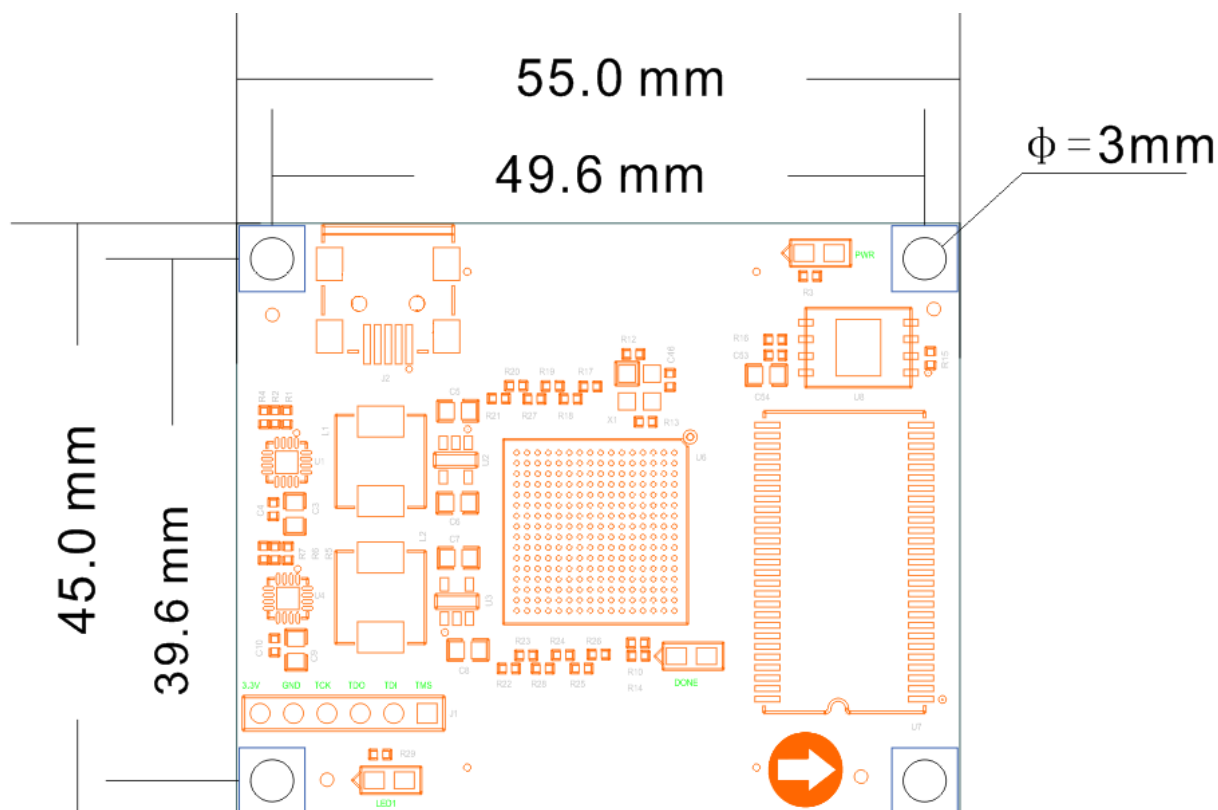
电源	功能
+3.3V	FPGA Bank1,Bank3~4, Bank6~8 的 Bank 电源, SIP FLASH, Clock 晶振
+1.2V	FPGA 的核心电压
VCCIO(+3.3V)	FPGA Bank2, Bank5 的 Bank 电源,
+2.5V	JTAG 电源, FPGA 的模拟电源和 PLL 电源

AC1006/AC1016/AC1025 核心板的电源电路在板上的分别实物图所下图 2-11-2 所示。

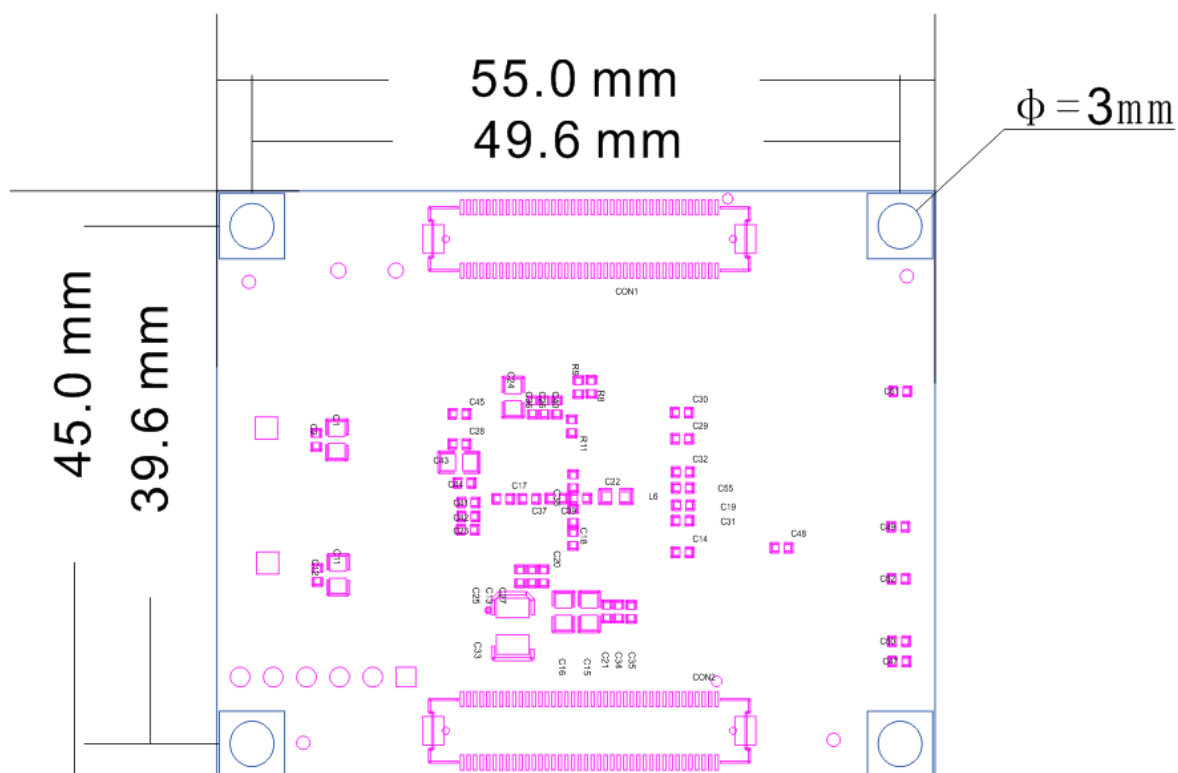


2-11-2 核心板电源部分实物图

(十一) 结构图

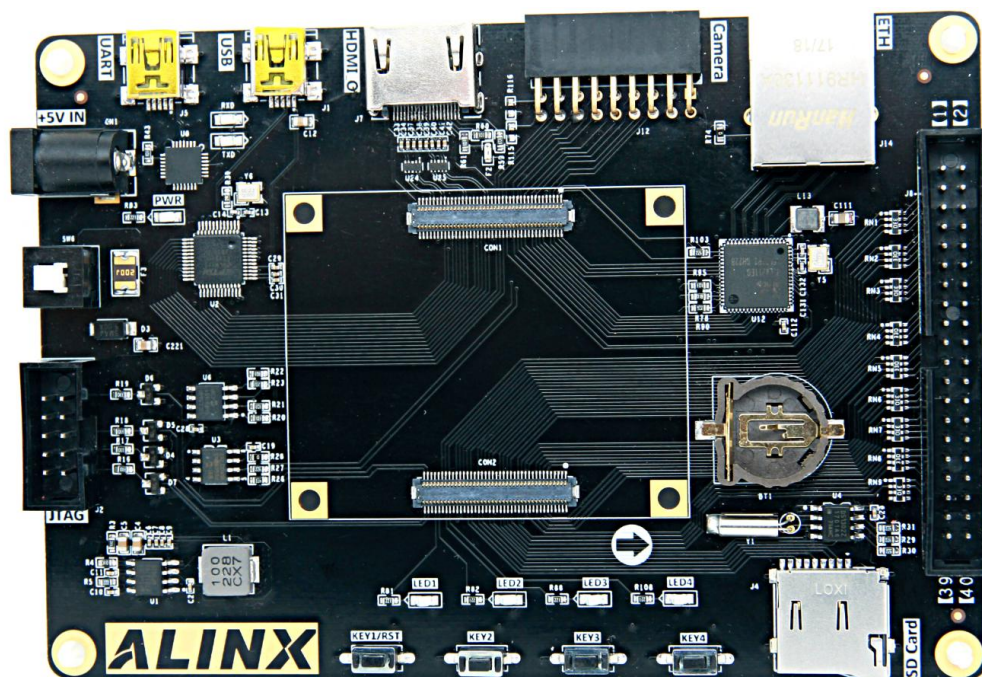


正面图 (Top View)



背面图 (Bottom View)

三、 扩展板



(一) 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 一路 10/100M/1000M 以太网 RJ-45 接口
- 一路 HDMI 视频输出接口
- 一路 USB2.0 通信接口
- 一路 USB Uart 通信接口
- SD 卡接口
- RTC 实时时钟
- EEPROM
- 一个 40 针扩展口
- 一个摄像头接口
- JTAG 调试口
- 4 个独立按键
- 4 个用户 LED 灯

(二) 千兆以太网接口

开发板上通过 Realtek RTL8211EG 以太网 PHY 芯片为用户提供网络通信服务。RTL8211EG 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 FPGA 进行数据通信。RTL8211EG 支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

RTL8211EG 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。下表描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
PHYAD[2:0]	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
SELRGV	3.3V,2.5V,1.5/1.8V 电压选择	3.3V
AN[1:0]	自协商配置	(10/100/1000M)自适应
RX Delay	RX 时钟 2ns 延时	延时
TX Delay	TX 时钟 2ns 延时	延时
MODE	RGMII 或 GMII 选择	RGMII

当网络连接到千兆以太网时，FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz,数据在时钟的上升沿和下降沿采样。接收时钟 E_RXC 由 PHY 芯片提供,发送时钟 E_GTXC 由 FPGA 提供,数据在时钟的上升沿采样。

当网络连接到百兆以太网时，FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 MII 总线通信，传输时钟为 25Mhz。接收时钟 E_RXC 和发送时钟 E_TXC 都由 PHY 芯片提供，数据在时钟的上升沿采样。

图 3-2-1 为 FPGA 与以太网 PHY 芯片连接示意图:

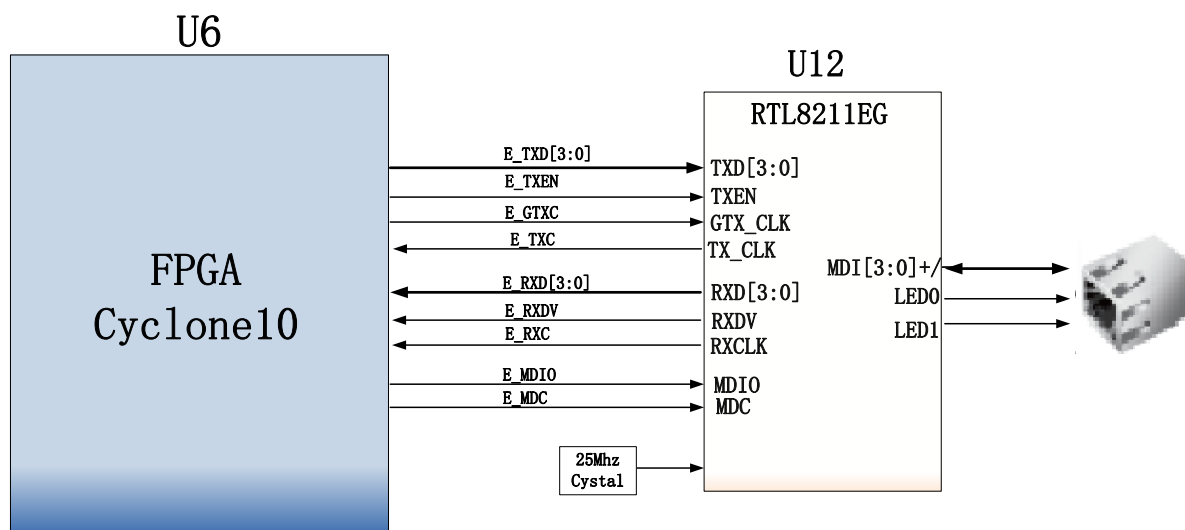


图 3-2-1 FPGA 与 PHY 芯片连接示意图

图 3-2-2 为以太网 PHY 芯片的实物图

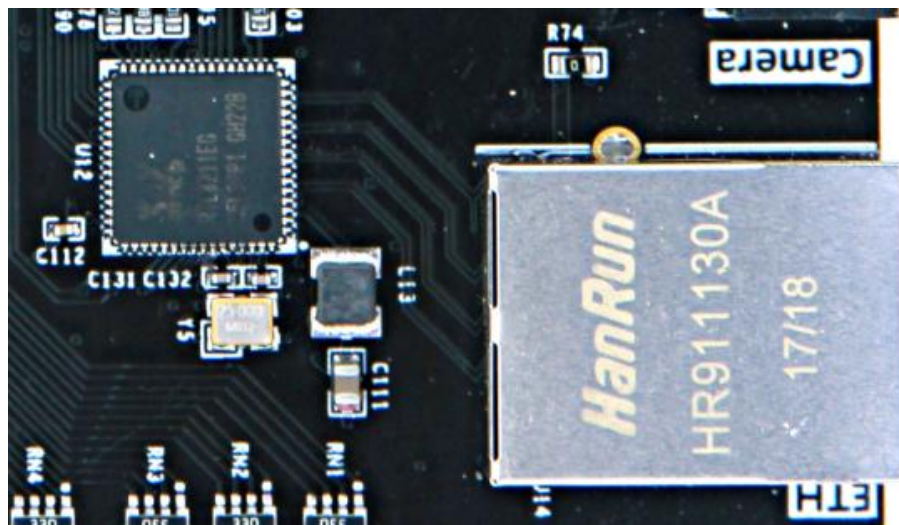


图 3-2-2 以太网 PHY 芯片实物图

以太网 PHY1 的 FPGA 引脚分配如下：

信号名称	FPGA 引脚号	备注
E_GTXC	L8	RGMII 发送时钟
E_TXD0	L7	发送数据 bit 0
E_TXD1	L4	发送数据 bit1
E_TXD2	M6	发送数据 bit2
E_TXD3	M7	发送数据 bit3
E_TXEN	M8	发送使能信号
E_TXC	N8	100M/10 时的发送时钟
E_RXC	R8	RGMII 接收时钟
E_RXD0	A9	接收数据 Bit0
E_RXD1	R9	接收数据 Bit1
E_RXD2	T9	接收数据 Bit2
E_RXD3	T8	接收数据 Bit3
E_RXDV	B9	接收数据有效信号
E_MDC	P6	MDIO 管理时钟
E_MDIO	R1	MDIO 管理数据

(三) HDMI 输出接口

HDMI 输出接口的实现，是通过 FPGA 的 4 路 LVDS 差分信号（3 路数据和一路时钟）接口直接驱动 HDMI 输出，为开发板提供不同格式的视频输出接口。

其中，HDMI 接口和 FPGA 之间的 LVDS 差分信号的连接使用 AC Couple 的模式，起到隔直的作用。另外在硬件设计上，每对 LVDS 差分信号上增加了 TVS 保护管，防止外面静电对 FPGA 的损坏。HDMI 输出接口的硬件连接如图 3-3-1 所示。

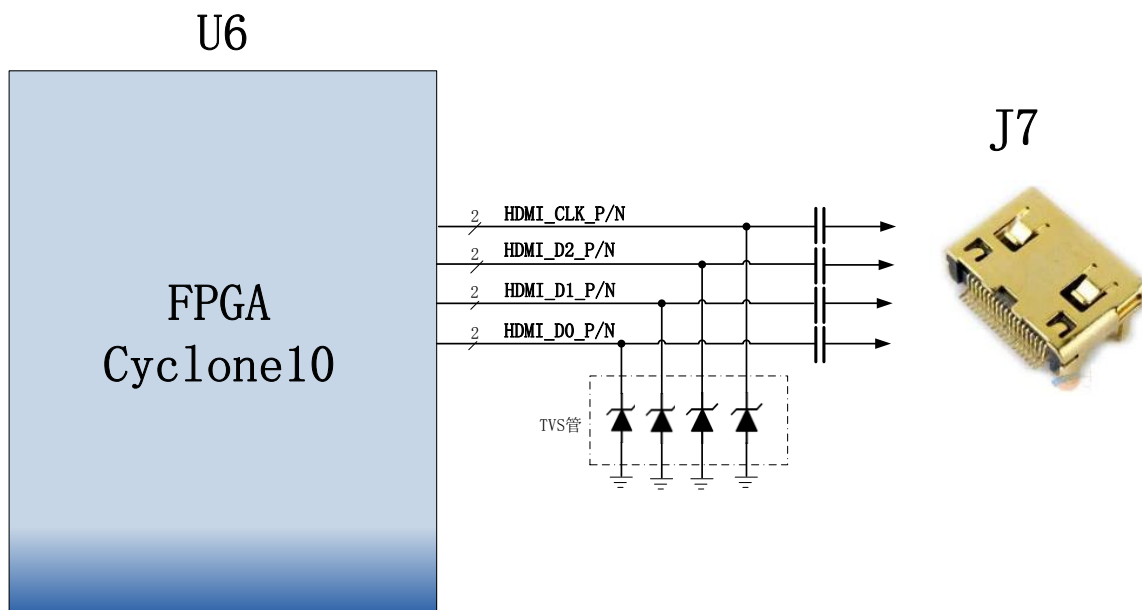


图 3-3-1 HDMI 输出接口原理图

HDMI 输出接口在扩展板的实物图如下图 3-3-2 所示:

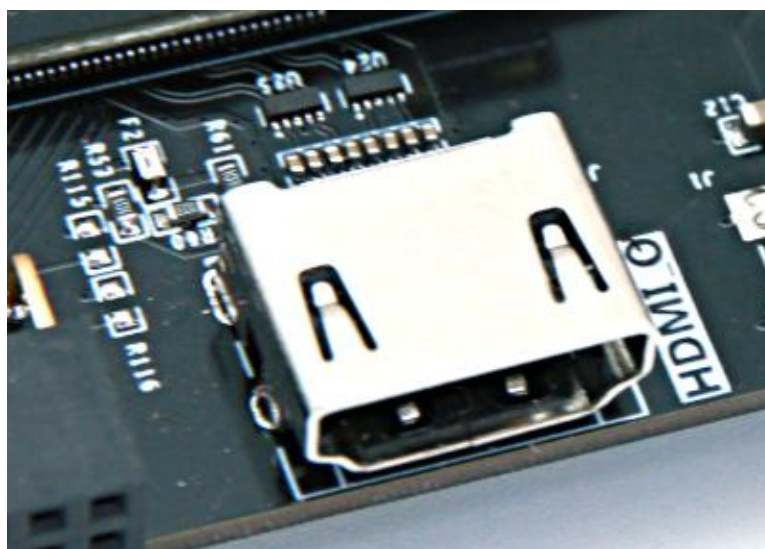


图 3-3-2 HDMI 输出接口实物图

FPGA 引脚分配：

引脚名称	FPGA 引脚
HDMI_CLK_P	J2
HDMI_CLK_N	J1
HDMI_D2_P	P2
HDMI_D2_P	P1
HDMI_D1_N	N2
HDMI_D1_P	N1
HDMI_D0_N	L2
HDMI_D0_P	L1

(四) USB2.0 通信接口

我们采用了 FTDI Chip 公司的 FT232H 单通道高速 USB 芯片为开发板实现和电脑之间的 USB2.0 数据通信。最高 USB2.0 高速通信 (480Mb/s) 和全速通信 (12Mb/s)，数据接口支持不同的数据通信模式 (FIFO, I2C, SPI, JTAG)，上电后读取外置的 EEPROM 配置内容来决定数据通信模式，也可以通过 PC 方便的修改配置方式。USB 芯片的接口管脚的功能是复用的，具体请参考 FT232H 的芯片手册。

USB 芯片 FT232H 的数据接口信号与 FPGA 的 IO 相连，通过 FPGA 的编程来对 FT232H 进行数据通信，FT232H 的硬件连接是按照 FT245 同步 FIFO 接口方式连接的。如图 3-4-1 所示。

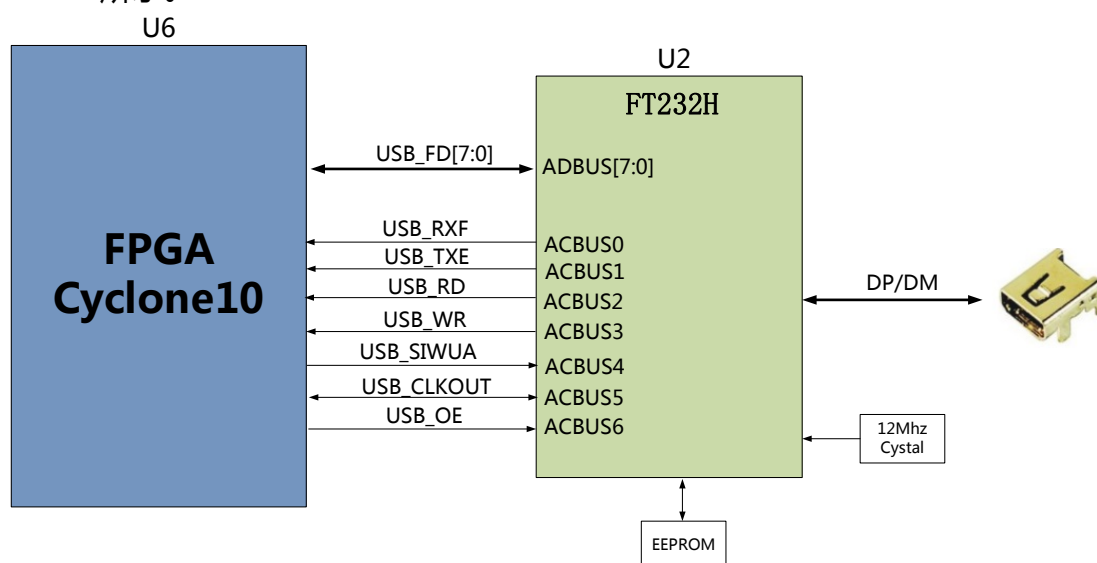


图 3-4-1 USB2.0 接口原理图

USB2.0 接口在扩展板的实物图如下图 3-4-2 所示:

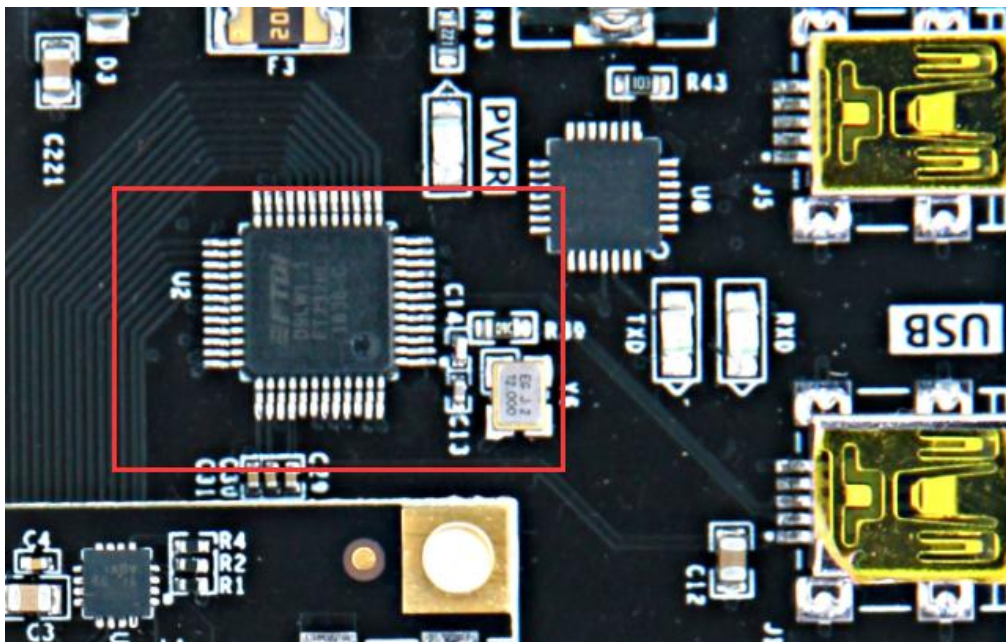


图 3-4-2 USB2.0 接口实物图

FPGA 引脚分配：

引脚名称	FPGA 引脚	说明
USB_FD0	T2	USB2.0 的数据 bit0
USB_FD1	R3	USB2.0 的数据 bit1
USB_FD2	T3	USB2.0 的数据 bit2
USB_FD3	R4	USB2.0 的数据 bit3
USB_FD4	T4	USB2.0 的数据 bit4
USB_FD5	N6	USB2.0 的数据 bit5
USB_FD6	R5	USB2.0 的数据 bit6
USB_FD7	N3	USB2.0 的数据 bit7
USB_RXF	N5	低表示接收 FIFO 数据可读
USB_TXE	T5	低表示发送 FIFO 数据可以写
USB_RD	P3	数据接收 FIFO 读信号，低有效
USB_WR	P8	数据发送 FIFO 写信号，低有效
USB_SIWUA	R7	立刻发送/唤醒功能
USB_CLKOUT	M2	60MHz 的时钟输出
USB_OE	T6	USB 数据输出使能

(五) SD 卡槽

SD 卡(Secure Digital Memory Card)是一种基于半导体闪存工艺的存储卡，1999 年由日本松下主导概念，参与者东芝和美国 SanDisk 公司进行实质研发而完成。2000 年这几家公司发起成立了 SD 协会(Secure Digital Association 简称 SDA)，阵容强大，吸引了大量厂商参加。其中包括 IBM，Microsoft，Motorola，NEC、Samsung 等。在这些领导厂商的推动下，SD 卡已成为目前消费数码设备中应用最广泛的一种存储卡。

SD 卡是现在非常常用的存储设备，我们扩展出来的 SD 卡，支持 SPI 模式，使用的 SD 卡为 MicroSD 卡。原理图如下图 3-5-1 所示。

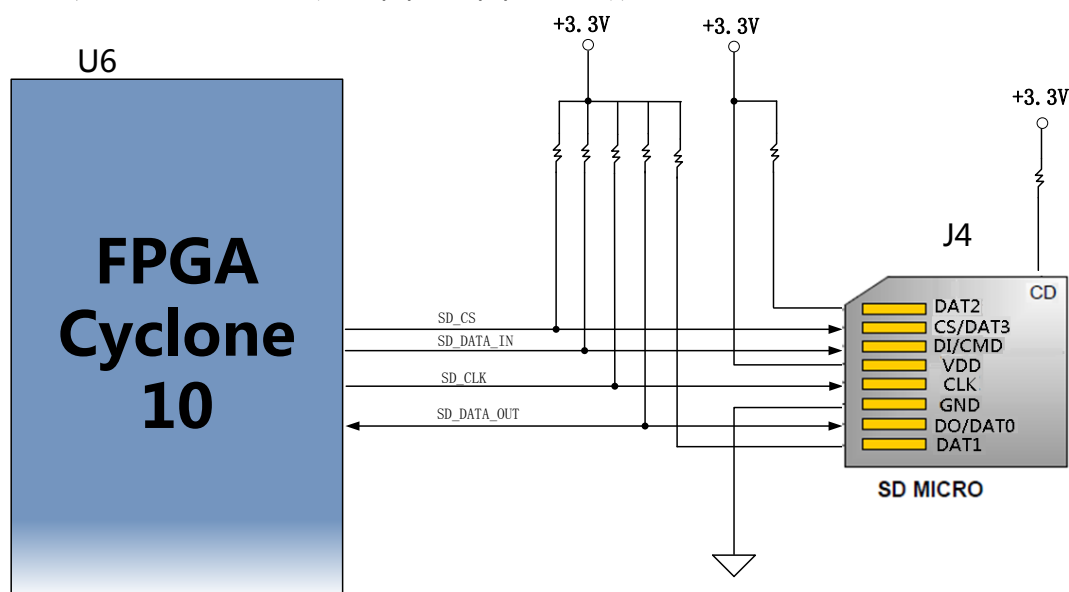


图 3-5-1 SD 卡槽原理图

下图为 AX1006/AX1016/AX1025 开发板的 SD 卡槽实物图

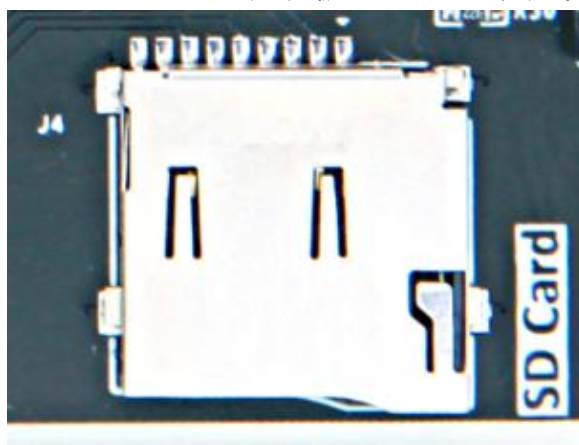


图 3-5-2 SD 卡槽实物图

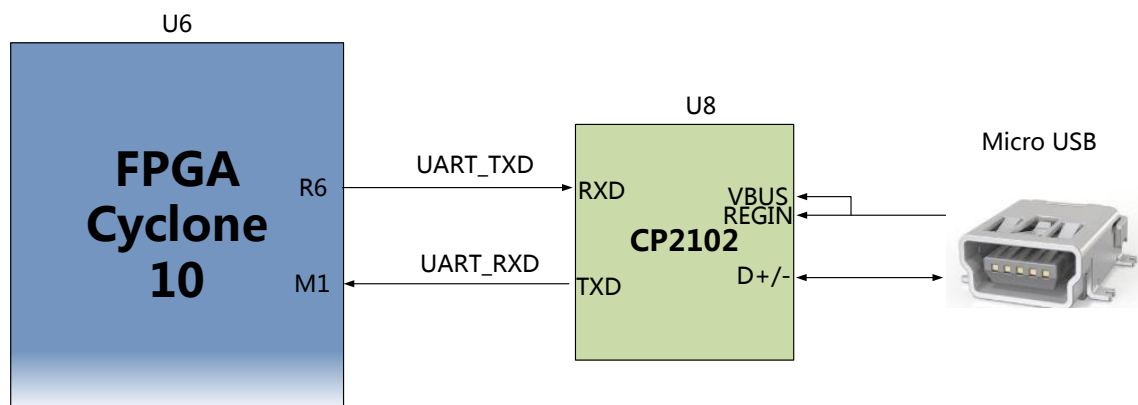
SD 卡槽引脚分配

SPI 模式	
引脚名称	FPGA 引脚
SD_CS	K16
SD_CLK	L16
SD_DATA_IN	K15
SD_DATA_OUT	L15

(六) USB 转串口

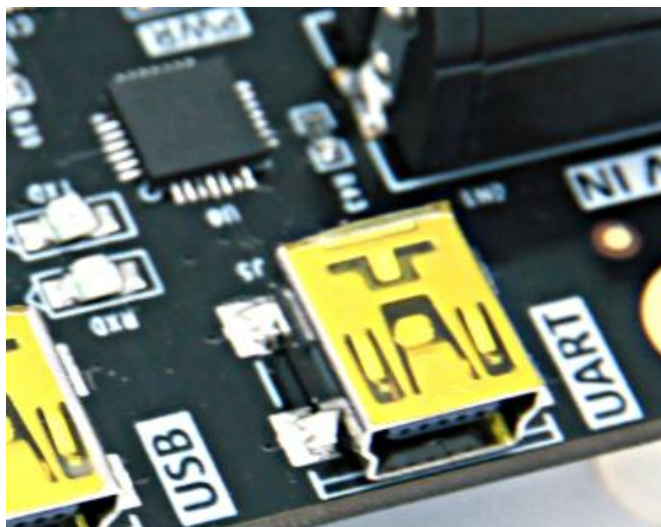
AX1006/AX1016/AX1025 开发板包含了 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口, 可以用一根 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。

USB Uart 电路设计的示意图如下图所示:



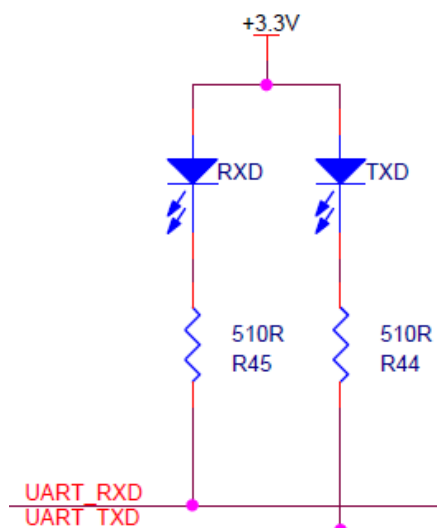
3-6-1 USB 转串口示意图

下图为 USB 转串口的实物图



3-6-2 USB 转串口实物图

同时对串口信号设置了 2 个 PCB 上丝印为 TXD 和 RXD 的 LED 指示灯，TXD 和 RXD LED 灯会指示串口是否有数据发出或者是否有数据接受，如下图所示，



3-7-3 USB 转串口信号指示灯

UART 转串口的 FPGA 引脚分配：

引脚名称	FPGA 引脚
UART_RXD	M1
UART_TXD	R6

(七) EEPROM 24LC04

AX1006/AX1016/AX1025 开发板板载了一片 EEPROM ,型号为 24LC04,容量为 : 4Kbit (2*256*8bit) , 由 2 个 256byte 的 block 组成,通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 的 I2C 信号连接的 FPGA 的 IO 口上。下图 3-7-1 为 EEPROM 的设计示意图

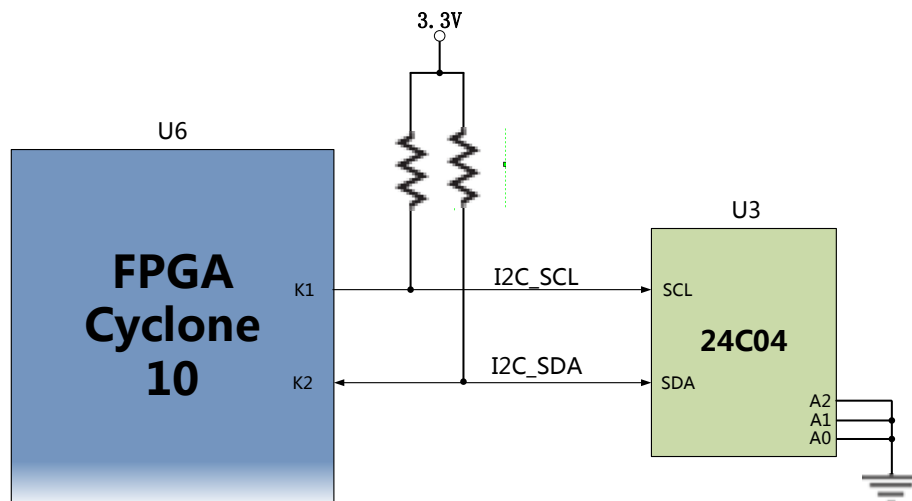


图 3-7-1 EEPROM 原理图部分

下图为 EEPROM 实物图

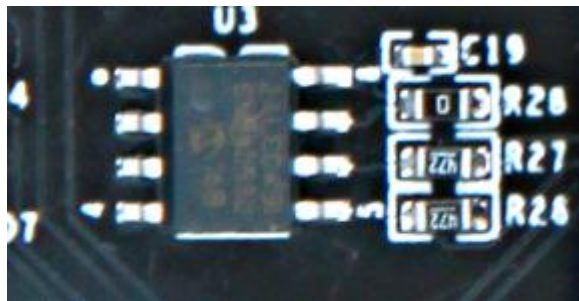


图 3-7-2 EEPROM 实物图

EEPROM 引脚分配：

引脚名称	FPGA 引脚
I2C_SCL	K1
I2C_SDA	K2

(八) 实时时钟 DS1302

开发板板载了一片实时时钟 RTC 芯片，型号 DS1302，他的功能是提供到 2099 年内的日历功能，年月日时分秒还有星期。如果系统中需要时间的话，那么 RTC 就需要涉及到产品中。他外部需要接一个 32.768KHz 的无源时钟，提供精确的时钟源给时钟芯片，这样才能让 RTC 可以准确的提供时钟信息给产品。同时为了产品掉电以后，实时时钟还可以正常运行，一般需要另外配一个电池给时钟芯片供电，图 3-8-2 中为 BT1 为电池座，我们将纽扣电池（型号 CR1220，电压为 3V）放入以后，当系统掉电，纽扣电池还可以给 DS1302 供电，这样，不管产品是否供电，DS1302 都会正常运行，不会间断，可以提供持续不断的时间信息。RTC 的接口信号也是连接到 FPGA 的 IO 口上。图 3-8-1 为 DS1302 设计示意图：

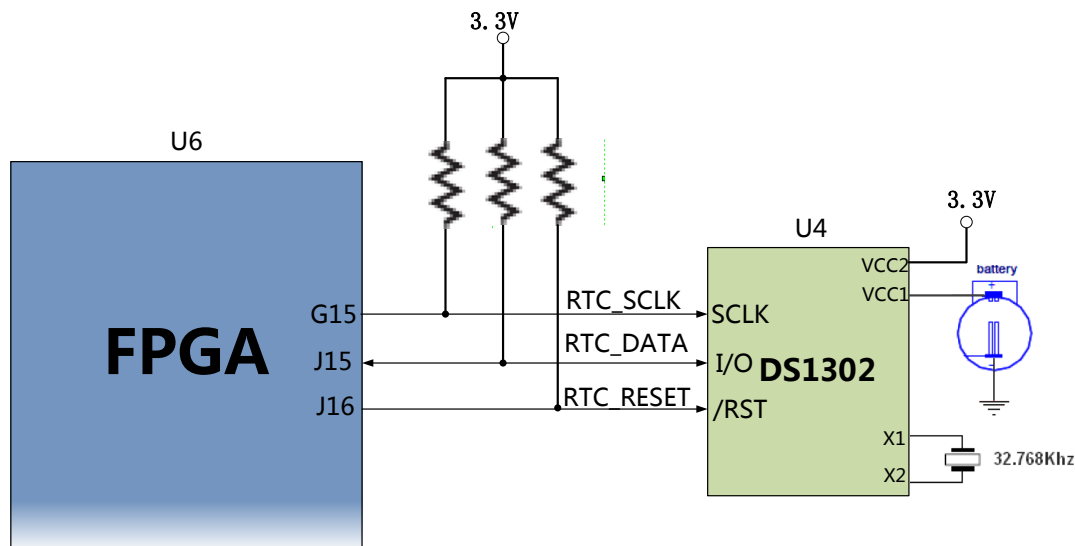


图 3-8-1 DS1302 设计示意图

图 3-8-2 为 DS1302 实物图

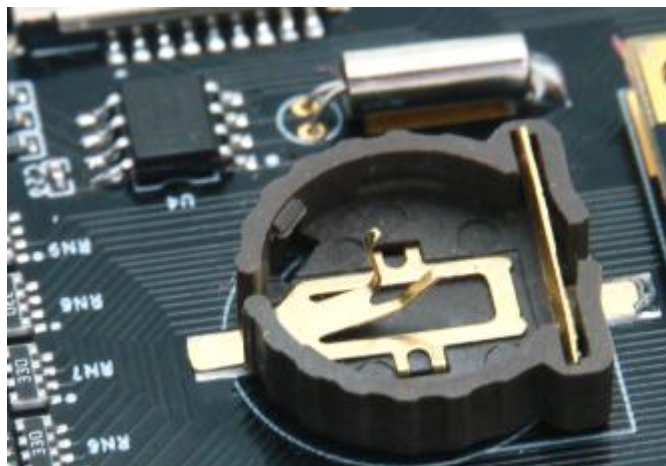


图 3-8-2 DS1302 实物图

DS1302 接口引脚分配：

引脚名称	FPGA 引脚
RTC_SCLK	G15
RTC_DATA	J15
RTC_RESET	J16

(九) 扩展口

扩展板预留 1 个 2.54mm 标准间距的 40 针的扩展口 J8，用于连接黑金的各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 FPGA。**
如果要接 5V 设备，需要接电平转换芯片。

在扩展口和 FPGA 连接之间串联了 33 欧姆的排阻，用于保护 FPGA 以免外界电压或电流过高造成损坏，扩展口(J8)的电路如下图 3-9-1 所示

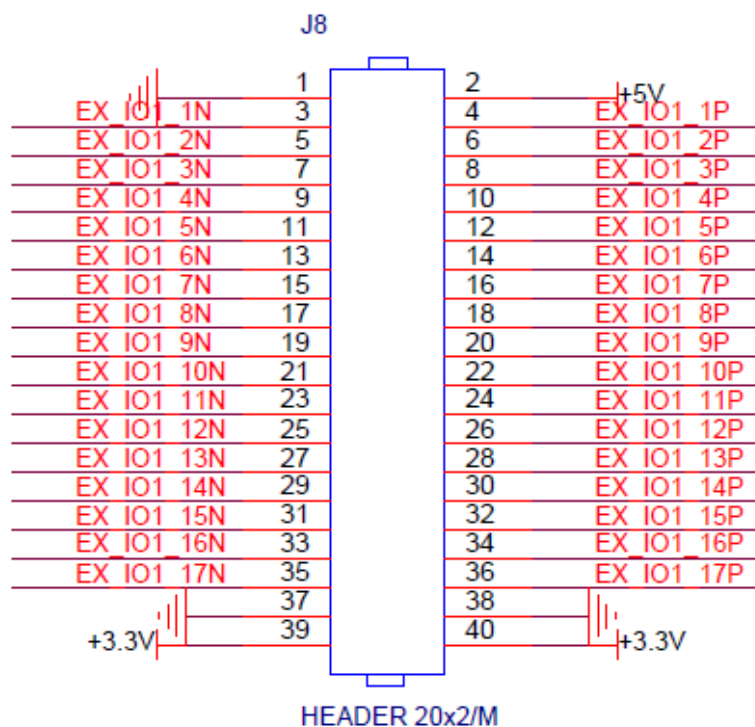


图 3-9-1 扩展口 J8 原理图

下图为 J8 扩展口实物图，扩展口的 Pin1，Pin2 已经在板上标示出。

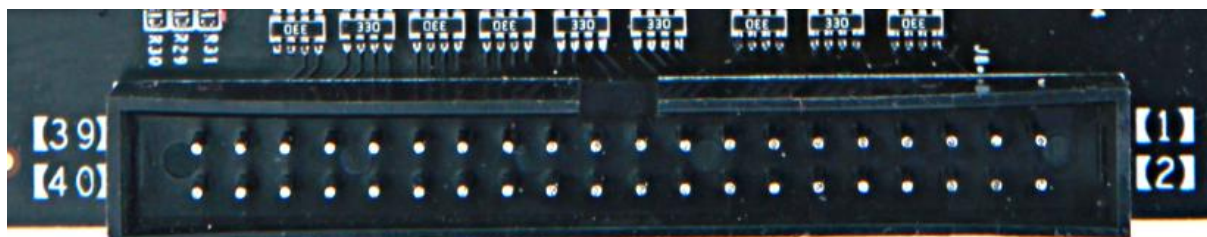


图 3-9-2 扩展口 J8 实物图

J8 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	+5V
3	R10	4	T10
5	T11	6	R11
7	T12	8	R12
9	T13	10	R13
11	T14	12	F14
13	R14	14	P11
15	P14	16	T15
17	N14	18	P15
19	L13	20	N12
21	N11	22	L14
23	J13	24	P9
25	N9	26	J14
27	B16	28	M10
29	C16	30	C15
31	D15	32	D16
33	F13	34	F16
35	F15	36	G16
37	GND	38	GND
39	+3.3V	40	+3.3V

(十) JTAG 接口

开发板预留了一个标准的 10 针 2.54mm 间距的 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 FPGA 的损坏。

JTAG Connector

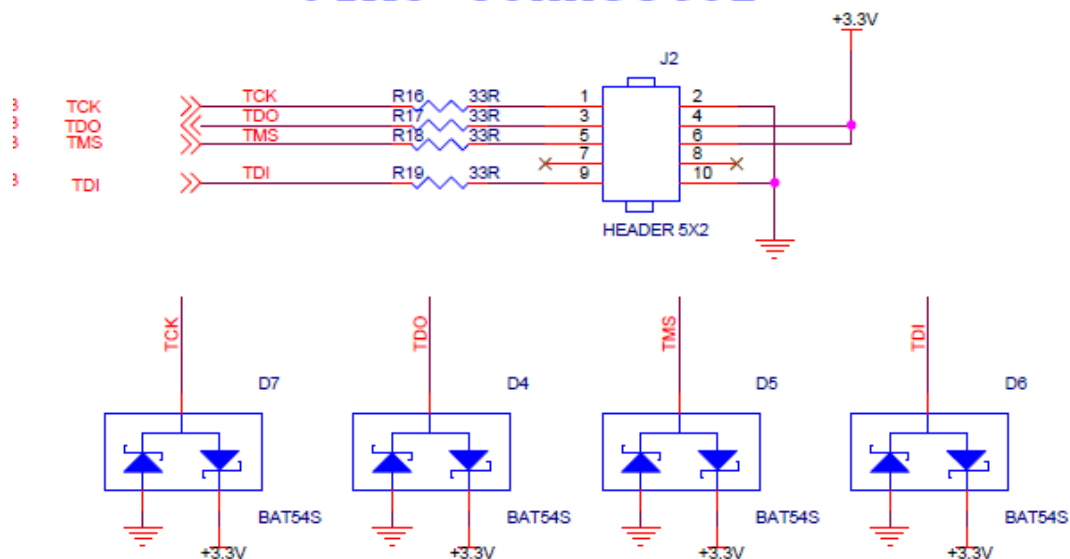


图 3-10-1 JTAG 接口原理图

下图为扩展板上 JTAG 接口实物图，JTAG 线插拔的时候注意不要热插拔。

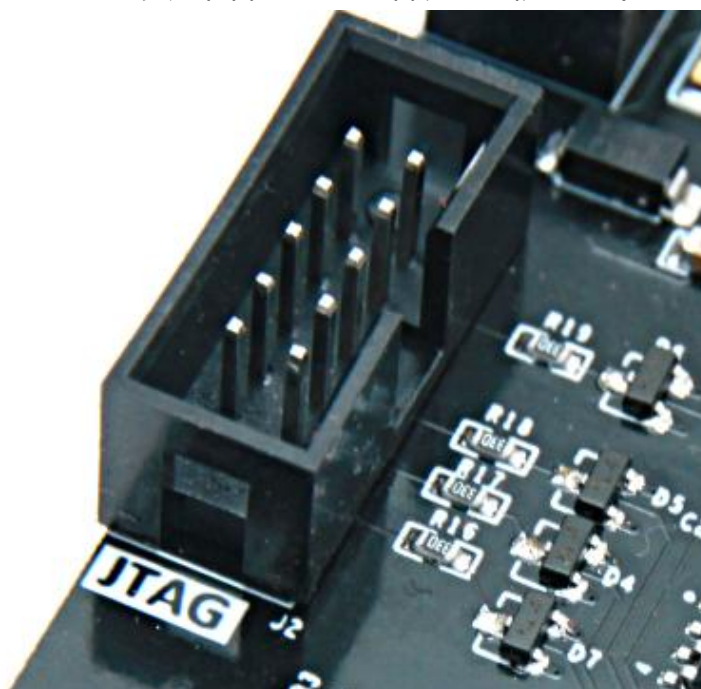


图 3-10-2 JTAG 接口实物图

(十一) 摄像头接口

开发板包含了一个 18 针的 CMOS 摄像头接口，用于连接黑金的 OV5640 摄像头模块，可以实现视频采集功能，采集以后，可以通过 HDMI 或者 VGA 接口连接显示器进行显示。关于摄像头选择，用户可以根据自己实际需要进行选购，但接口不接摄像头的时候，可以作为 FPGA 普通 IO 口使用。

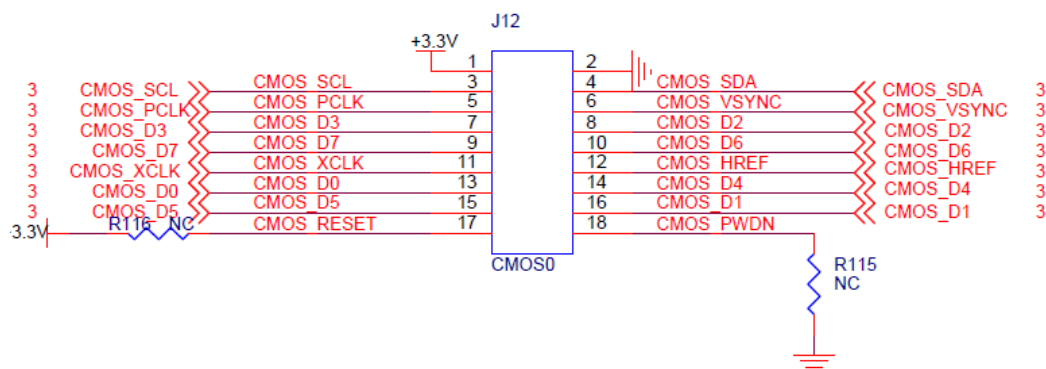


图 3-11-1 CMOS 摄像头接口原理图

下图为扩展板上摄像头接口实物图，

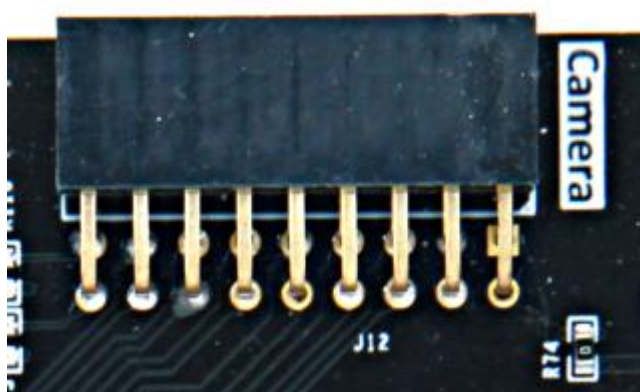


图 3-11-2 CMOS 摄像头接口实物图

下表为连接 500 万 CMOS 摄像头(AN5640 模组)的 FPGA 引脚分配：

引脚名称	FPGA 引脚
CMOS_SCL	B3
CMOS_SDA	A3
CMOS_PCLK	B8
CMOS_VSYNC	A8
CMOS_D[3]	C2

CMOS_D[2]	B1
CMOS_D[7]	D1
CMOS_D[6]	C3
CMOS_XCLK	F3
CMOS_HREF	D3
CMOS_D[0]	G1
CMOS_D[4]	G2
CMOS_D[5]	L3
CMOS_D[1]	K5
CMOS_RESET	-
CMOS_PWDN	-

(十二) 按键

扩展板上含有 4 个用户按键 KEY1~KEY4，两个按键都连接到 FPGA 的普通的 IO 上，按键低电平有效，当按键按下，FPGA 的 IO 输入电压为低，当没有按键按下是，FPGA 的 IO 输入电压为高。按键部分电路如下图 3-12-1 所示

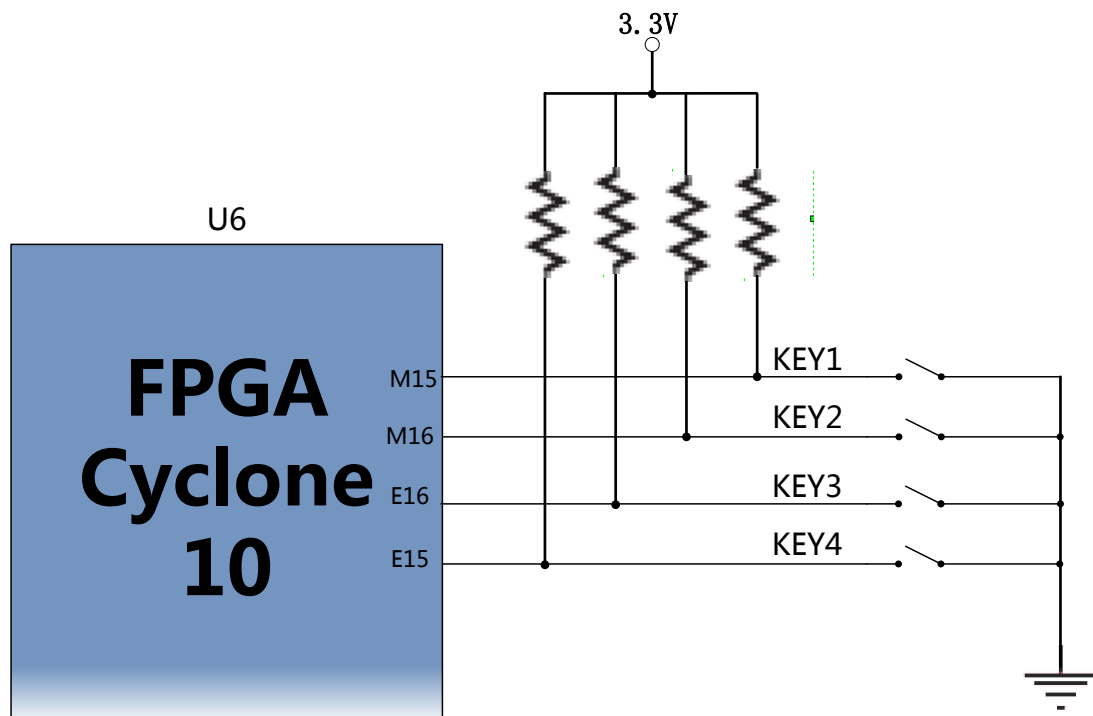


图 3-12-1 按键硬件设计示意图

图 3-12-2 为扩展板上 4 个用户按键实物图

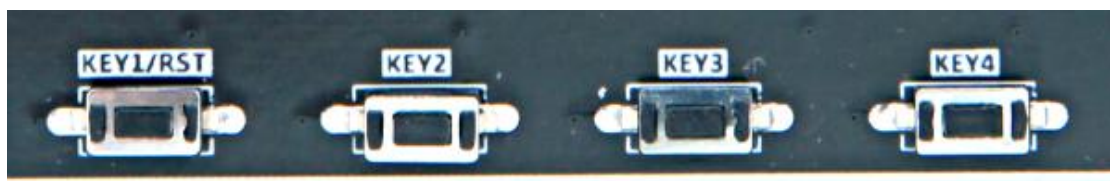


图 3-12-2 按键实物图

按键 FPGA 引脚分配：

引脚名称	FPGA 引脚
KEY1	M15
KEY2	M16
KEY3	E16
KEY4	E15

(十三) LED 灯

扩展板上有 7 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，2 个是 USB Uart 的数据接收和发送指示灯，4 个是用户 LED 灯 (LED1~LED4)。当开发板供电后，电源指示灯会亮起。用户 LED1~LED4 连接到 FPGA 的普通 IO，当连接用户 LED 灯的 IO 电压配置为低电平时，用户 LED 灯点亮，当连接 IO 电压为配置为高电平时，用户 LED 会被熄灭。

LED 灯硬件连接的示意图如图 3-13-1 所示

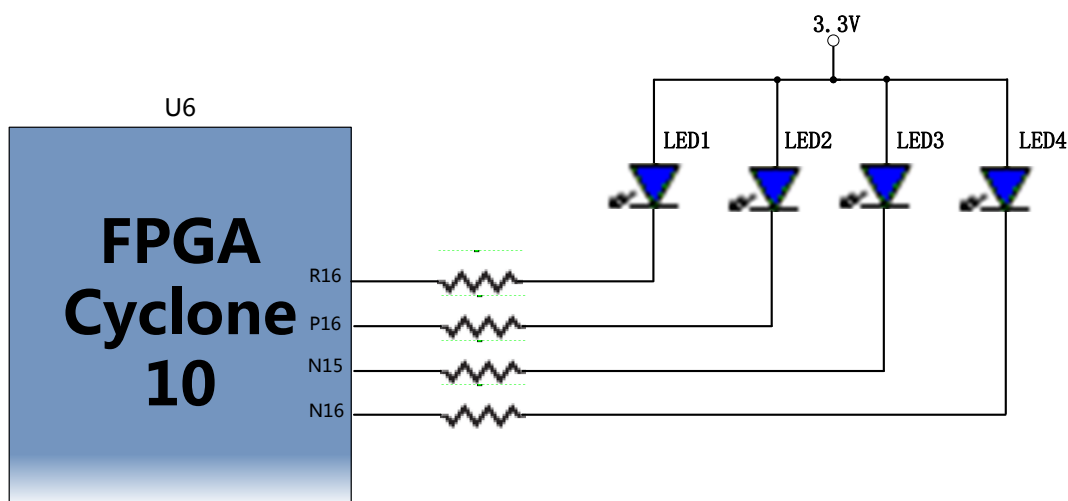


图 3-13-1 LED 灯硬件设计示意图

图 3-14-2 为扩展板上 4 个用户 LED 灯实物图

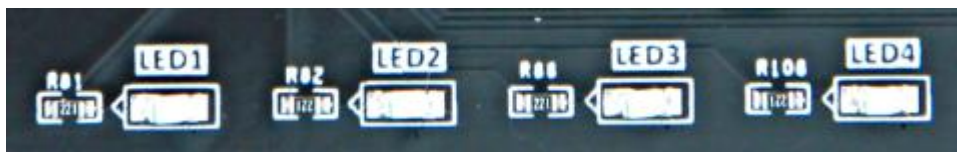


图 3-13-2 用户 LED 灯实物图

LED 灯 FPGA 引脚分配：

引脚名称	FPGA 引脚
LED1	R16
LED2	P16
LED3	N15
LED4	N16

(十四) 供电电源

开发板的电源输入电压为+5V，请使用开发板自带的电源,不要用其他规格的电源，以免损坏开发板。扩展板上通过 1 路 DC/DC 电源芯片 MP1482 把+5V 电压转化成 +3.3V 电源。另外扩展板上的+5V 电源通过板间连接器给核心板供电，扩展上的+3.3V 电源设计如下图 3-14-1 所示:

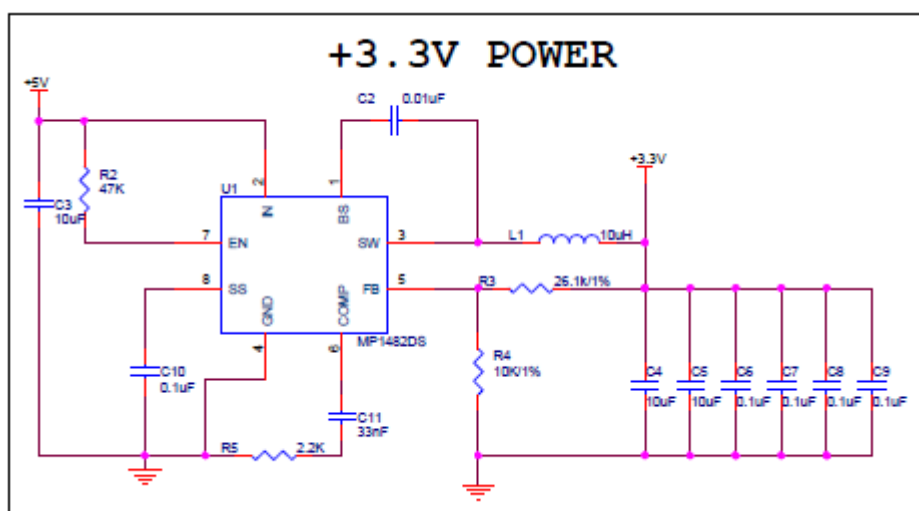


图 3-14-1 扩展板电源原理图

图 3-14-2 为扩展板上电源电路的实物图

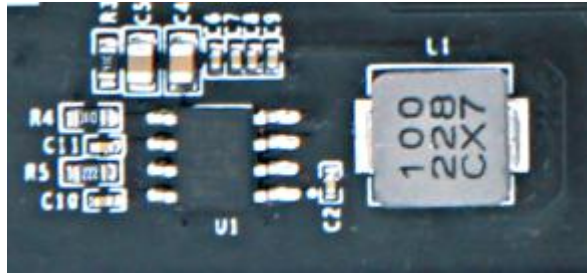
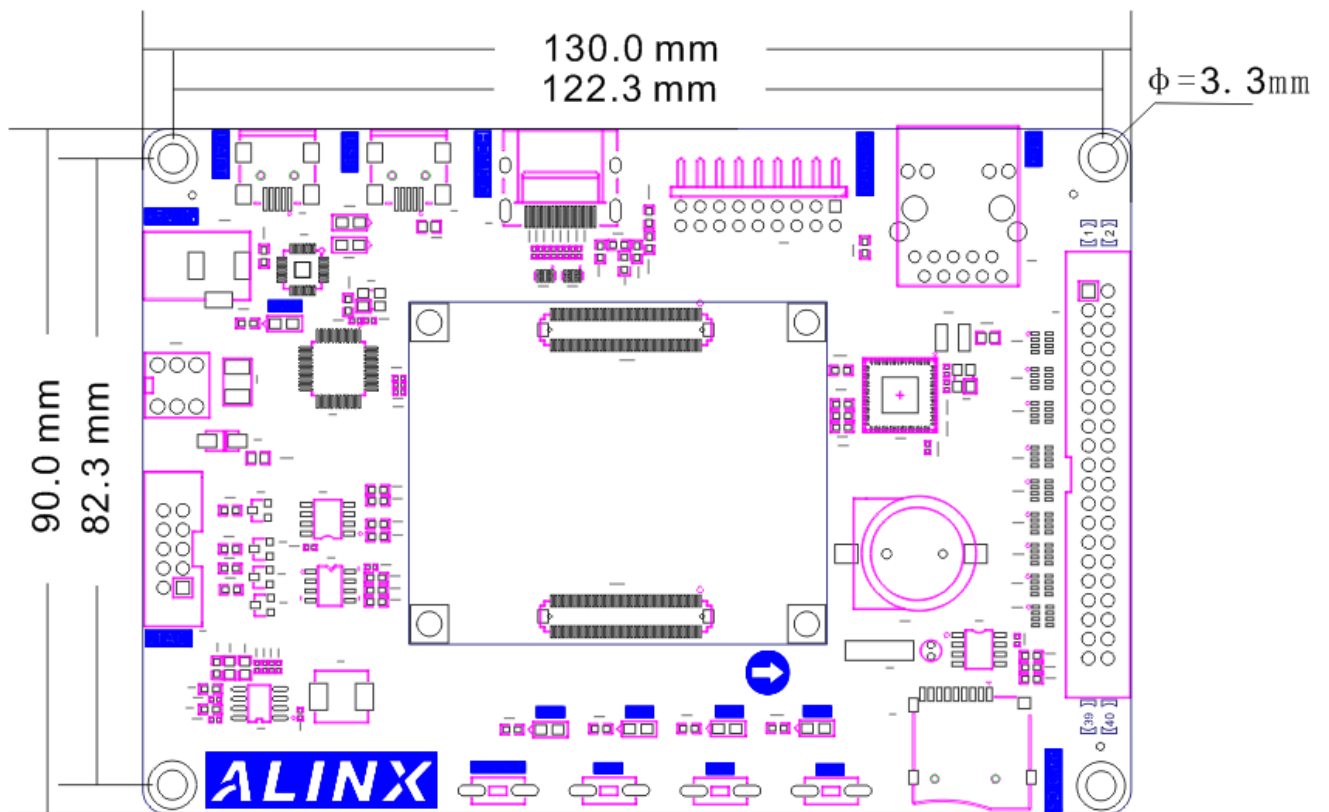


图 3-14-2 扩展板电源电路实物图

(十五) 结构图



底板结构正面图 (Top View)